0.25µm-CMOS-Technologie für Logik-Anwendungen
(MEDEA T 501)

Förderkennzeichen : 01 M 2987

Schlußbericht : 01.07.1997 bis 30.06.1999

Kurzfassung

Ziel : Erforschung und Entwicklung von CMOS-Technologien mit 0.25µm-Strukturen für Logik-Anwendungen

Unternehmen : Infineon Technologies Dresden GmbH & Co. OHG

Laufzeit : 07/1997 - 06/1999

Ergebnis :

Das Projektziel dieses Vorhabens “0.25µm-CMOS-Logik-Technologie für Logik-Anwendungen” wurde mit der Qualifizierung der erarbeiteten 0.25µm-CMOS-Logik-Technologie und dem positiven funktionalen Nachweis an einem als Demonstrator fungierenden komplexen Logikschaltkreis mit Erfolg erreicht. Für die künftige Realisierung komplexer Logikprodukte wird die notwendige Datenbasis in Form einer Technologie- und Anwenderschnittstelle ("Design Package") bereitgestellt.
Auf Basis der erzielten Ergebnisse steht eine 0.25µm-Logik-Technologie zur Verfügung, die durch die strenge Modularität der Fertigungsschritte ein aufwandsminimiertes Prozeßkonzept und damit niedrige Herstellkosten aufweist und so für verschiedene Produktbereiche bzw. Anwendungsgebiete eine wirtschaftliche Nutzung verspricht.
Die Projektergebnisse schaffen die Voraussetzungen für die Realisierung komplexer Logikbausteine der neuesten Technologiegeneration und deren kostengünstigen Fertigung.
Außerdem tragen die erarbeiteten Grundlagen wesentlich zur Vorbereitung der nächsten Logik-Entwicklungsstufen aber auch zur Befruchtung der Speicher-Technologie-Entwicklung bei.

Inhaltsverzeichnis

1	Einführung	3
1.1	Marktbetrachtung	3
1.2	Einführung in den Herstellungsprozeß einer CMOS-Technologie	4
1.2.1	Wanne + Isolationsoxid	5
1.2.2	Transistor	6
1.2.3	Silizierung	7
1.2.4	Metallisierung	7
1.2.5	Prozeßoptionen	8
2	Projektbeschreibung	8
2.1	Aufgabenstellung	8
2.1.1	Unterprojekt 1 “Entwicklung von Prozeßmodulen”	9
2.1.2	Unterprojekt 2 “Prozeßintegration und Charakterisierung”	10
2.1.3	Unterprojekt 3 “ Technologie-Anwenderschnittstelle, Demonstrator”	10
2.2	Voraussetzungen, unter denen das Vorhaben durchgeführt wurde	11
2.3	Planung und Ablauf des Vorhabens	11
2.4	Wissenschaftlich-technischer Stand zu Beginn des Projektes	12
2.5	Zusammenarbeit mit anderen Stellen	13
3	Projektergebnisse	13
3.1	Gesamtergebnis	13
3.2	Entwicklung von Prozeßmodulen	14
3.2.1	Lithografie	14
3.2.2	STI-Isolation	15
3.2.3	Wannen	17
3.2.4	Gateoxid	19
3.2.5	Transistor	21
3.2.6	Silizierung	24
3.2.7	Metallisierung	26
3.3	Prozeßintegration und Charakterisierung	30
3.4	Technologie-Anwenderschnittstelle, Demonstrator	34
4	Erfolgskontrollbericht	36
4.1	Soll-Ist-Vergleich des Meilensteinplanes	36
4.2	Beitrag zu förderpolitischen Zielen	37
4.3	Wissenschaftlich-technischer Erfolg des Vorhabens	37
4.4	Verwertung der Ergebnisse	37
4.5	Einhaltung des Finanzierungs- und Zeitplanes	38
5	Literaturverzeichnis	39
5.1	Zwischenberichte	39
5.2	Veröffentlichungen und Vorträge	39
5.3	Patente / Erfindungen	39

1 Einführung

1.1 Marktbetrachtung

Der Halbleitermarkt wies im ausgehenden Jahrzehnt ein gewaltiges Wachstum auf (jährlich etwa 15%). Entsprechend den gegenwärtig vorliegenden Prognosen wird sich dieser Trend auch in den nächsten Jahren ungebremst fortsetzen. Grundlage für diese Einschätzung bildet die prognostizierte Entwicklung des Anteils der Halbleiterkosten an den Gerätekosten, deren Größe sich nahezu verdoppeln und im Jahr 2000 bereits mit ca. 30% eingeschätzt wird. Im Jahr 2010 könnte der Weltmarkt für integrierte Schaltungen den Automobil-Weltmarkt überflügeln.
Getrieben wird diese Entwicklung der Halbleiterindustrie gegenwärtig vorrangig durch die Bereiche Consumerelectronics, Data Processing, Telecommunications, Automotiv und Industrial Electronics. Dabei nehmen CMOS-Technologien eine Schlüsselfunktion ein, da sie die Anforderungen zukünftiger Technologien (reduzierte Leistungsaufnahme, reduzierter Flächenbedarf, erhöhte Performance, größere Integrationsdichte, reduzierte Kosten pro Funktion) am besten erfüllen können.
Dabei ist der grundsätzliche Aufbau des MOS-Transistors seit seinen Anfängen gleich geblieben und wird auch noch einige Jahre unverändert bleiben. Die Anstrengungen der Industrie sind daher weniger auf völlig neue Bauelemente, sondern mehr auf die Beherrschung der Einzelprozesse und des gesamten Fertigungsablaufes bei ständiger Verkleinerung der erzeugten Strukturgrößen bei oben beschriebenen Randbedingungen gerichtet.
In den vergangenen Jahren ist mit dem Integrationsgrad auch die Funktionskomplexität der mikroelektronischen Bauelemente, d.h. die Integration von Prozessor-, Speicher- und Logikfunktionen sowie entsprechender Interface-Baugruppen auf einem Chip, enorm gestiegen. Bei einigen besonders innovativen Chips betrug die Zahl der Transistoren mehr als 5 Millionen bei einer Chipfläche von ca. 100mm², bezogen auf die letzte Technologiegeneration (0.35µm-CMOS-Technologie).
Mit der weiteren Verringerung der Strukturmaße auf 0.25µm und kleiner wird sich dieser Trend fortsetzen. Dies stellt die technologische Herausforderung künftiger Forschungs- und Entwicklungsarbeiten dar durch gestiegene Anforderungen an weiter steigende Komplexität mikroelektronischer Schaltungen, insbesondere unterschiedlichste Funktionskomplexe auf einem Siliziumchip zu realisieren.

1.2 Einführung in den Herstellungsprozeß einer CMOS-Technologie:

Im weiteren verwendete Abkürzungen:
MOS = metal + oxide + semiconductor = Aufbau des Steuergates eines Transistors
N/PMOS = wirksame Ladungsträger im Transistor sind Elektronen (NMOS) bzw. Löcher(PMOS)
CMOS = Complementary MOS, d.h. Integration von NMOS und PMOS Transistoren auf dem gleichen Chip.

Die grundsätzlichen Vorteile einer CMOS-Technologie liegen in dem sehr geringen Leistungsverbrauch sowie im großen Signal-Geräuschabstand der Schaltungen.
Die Verwendung von NMOS und PMOS Transistoren in einer Inverterschaltung hat als Folge, daß nur im Umschaltzeitpunkt ein Strom über die Versogungsleitung fließt, nicht dagegen im Ruhezustand. Dies führt in Summe über einen Chip zu einer deutlichen Reduktion der Verlustleistung gegenüber reinen NMOS-Schaltungen, die immer einen gewissen Querstrom ziehen. Dies prädestiniert CMOS sowohl für alle Anwendungen im "hand held"-Bereich (Geräte mit Batterieversorgung) sowie generell für alle extrem hoch integrierten Schaltungen, da mit dieser Technologie die Verlustleistung bzw. die Erwärmung des Gesamtchips so gering wie möglich gehalten werden kann.
Der sehr gute Signal-Geräusch-Abstand ergibt sich dadurch, daß der Ausgang eines Inverters ohne Spannungsabfall auf Betriebspannung bzw. Masse liegt, auch dies wird durch NMOS-Schaltungstechnik nicht gewährleistet.
Der Nachteil der CMOS-Technologie ist, daß dafür sowohl NMOS als auch PMOS Transistoren auf einem Substrat hergestellt werden müssen, d.h. es wird ein aufwendigerer Herstellungsprozeß benötigt.
Im Nachfolgenden eine prinzipielle Beschreibung des Prozeßablaufs:

1.2.1 Wanne + Isolationsoxid

Abb. 1: Prinzipskizze zum CMOS-Prozeß

Um NMOS und PMOS gegeneinander zu isolieren, müssen diese Transistoren jeweils in eine gegensätzlich dotierte "Wanne" gelegt werden, wobei die Bezeichnung Wanne ein einheitlich p- oder n-dotiertes Gebiet an der Substratoberfläche benennt (n/p bezeichnet die Dotierung des Siliziums bzw. die vorhandenen Ladungsträger, n = Überschußelektronen, p = Überschuß Löcher). Die Erzeugung dieser Wannen ist bei einem Prozeß der 0.35µm Generation das erste Prozeßmodul: die p- bzw. n-Wannen zur Erzeugung der Substratbereiche der n-Kanal- bzw. p-Kanal-MOS-Transistoren werden implantiert, d.h. es werden entsprechende Donatoren/ Akzeptoren-ionen in das Silizium eingeschossen, die eine entsprechende Leitfähigkeit des Substrats erzeugen.

Der nächste Schritt ist die Isolation benachbarter Transistoren innerhalb einer Wanne. Dies geschieht, indem zwischen den (zukünftigen) Transistoren ein sog. Feldoxid erzeugt wird, das dick genug ist, eine Inversion der Substratoberfläche durch darüberliegende Leitungen, und damit einen Kurzschluß zwischen den Transistoren, zu verhindern. "State of the Art" in 0.35µm Prozessen ist die LOCOS-Prozeßführung (LOCal Oxidation of Silicon), die allerdings in dieser Generation durch die unvermeidbare laterale Oxidation (dies bedeutet einen Verlust nutzbarer Fläche) an die Grenzen der Shrinkbarkeit gerät (shrink = Verkleinerung der Strukturgrößen).

Ab etwa der 0.25µm Prozeßgeneration ist STI (Shallow Trench Isolation) der günstigere Prozeß. Dieser vermeidet den prinzipiellen Nachteil des LOCOS-Prozesses (laterale Oxidation), indem nicht thermisch oxidiert, sondern ein Graben ins Silizium geätzt wird, der anschließend mit einem Abscheideoxid gefüllt wird.

Eine weitere Begrenzung dieser Technik stellt die Wannenimplantation vor der thermischen Oxidation dar, dadurch erhält man ein sehr starkes Verlaufen der Dotierprofile durch die hohe Temperaturbelastung während der Oxidation und somit breite laterale Dotierungs-Übergangsgebiete, die eine weitere Verkleinerung nicht zulassen.
Eine Abhilfe ist die Verwendung von Hochenergieimplantern: man schießt die Wannen durch das vorher hergestellte Isolationsoxid (STI), wobei die Wannendotierung tief unter das Isolationsoxid implantiert werden muß (1-2µm). Dadurch daß kein extremer Oxidationsprozeß mehr folgt, erlaubt dies sehr steile Dotierprofile der Wannen und dadurch geringe laterale Abstände der Bauelemente. Diese Technik bezeichnet man auch als "retrograde Wannen", d.h. die höchste Dotierstoffkonzentration liegt tief im Silizium (Hochdotierung zur Vermeidung parasitärer Effekte wie Latch-up) und nach der Oberfläche hin nimmt der Konzentrationsverlauf ab (niedrige Kapazitäten der p/n-Übergänge an der Siliziumoberfläche).

1.2.2 Transistor

In den sog. aktiven Bereichen (das sind die Gebiete, die nicht von Feldoxid/STI bedeckt sind) entstehen anschließend die MOS-Transistoren. Der grundsätzliche Aufbau eines MOS-Transistors ist folgender:
zwischen zwei Substratgebieten (Source und Drain) liegt ein zum Substrat hin über ein "Gateoxid" isolierte Steuerelektrode (Gate), das den Stromfluß zwischen diesen Gebieten je nach Gate-Potential verhindert bzw. über einen leitenden Oberflächenkanal ermöglicht ("0" und "1" einer Digitalschaltung).
Bis zur 0.35µm Generation wurde zur Herstellung des Steuergates der NMOS und PMOS Transistoren aufgrund der einfachen Herstellbarkeit ein einheitlich n-dotiertes Polysilizium verwendet. Dies führt aufgrund der ungünstigen Verhältnisse der Energiebänder im PMOS zu einem "buried channel" Transistor, d.h. der stromführende Kanal entsteht etwas unterhalb der Siliziumoberfläche und ist damit durch das Gate nicht so gut zu kontrollieren. Dies hat zur Folge, daß dieser Transistortyp auch in der 0.35µm Generation an die Grenzen seiner Shrinkbarkeit stößt.

Für 0.25µm Prozesse wird dagegen folgendes Konzept verwendet:
das Polysiliziumgate wird nicht mehr einheitlich n-dotiert, sondern n- für NMOS und p- für PMOS (“Dual Work Function”-Gates), sodaß sowohl NMOS als auch PMOS einen "surface channel" erhalten. Dies ist nicht mehr über eine thermische Gasphasendotierung möglich, sondern muß durch eine (über Masken getrennte) Ionenimplantation durchgeführt werden. An die strukturelle Herstellung dieses Steuergates (Gateoxidation + Polysiliziumabscheidung + Strukturierung über Lithographie und Ätzung) schließt sich diese Implantation der Gate- und Source/Drainbereiche an.
Ein inherenter Nachteil dieser Technologie, daß n- und p-Gates gegeneinader durch den p/n-Übergang isoliert sind, muß durch das Kurzschließen dieser Gates überwunden werden.

1.2.3 Silizierung

An die Herstellung der Transistoren schließt sich deshalb eine Silizierung der Gates und der aktiven Siliziumgebiete (Source und Drain) an (am weitesten verbreitet ist Titansilizid).
Dies ist zum einen zwingend notwendig zum Kurzschließen der n/p-dotierten Gates, bringt aber auch signifikante Vorteile in der Schaltungsperformance durch die reduzierten Signallaufzeiten auf den nun deutlich niederohmigeren Steuergates (Titansilizid hat einen deutlich geringeren Widerstand als dotiertes Silizium, ca. Faktor 50). Außerdem hat man durch diese Neuerung eine größere Flexibilität im Schaltungs-Layout durch die reduzierten Widerstände der Source und Drain Gebiete, dadurch ist je nach Layout z.T. eine deutliche Verkleinerung der Fläche zu erreichen.

Damit ist der vordere Teil des Gesamtprozesses, der die Transistoren und deren gegenseitige Isolation herstellt, abgeschlossen.
Im weiteren Prozeßablauf geht es um das Kontaktieren und Verbinden der einzelnen mono- oder polykristallinen Siliziumbereiche gemäß der gewünschten integrierten Schaltung.

1.2.4 Metallisierung

Da es sich heute meist um 3-6 Metall-Lagen handelt, spricht man von Mehrlagenmetallisierung. Die Metallisierungsebenen (meist Aluminium, zukünftig auch Kupfer) sind durch metallische Kontakte (meist Wolfram) mit den Siliziumbauelementen sowie untereinander verbunden. Als Isolator zwischen den Metallebenen wird ein Siliziumoxid aus der Gasphase abgeschieden, in das dann die Kontaktlöcher geätzt werden. "State of the Art" ist eine Planarisierung dieser Intermetalldielektrika durch CMP, d.h. chemisch-mechanisches Polieren der Scheiben, um eine fast ideale Planarität der Oxidoberfläche zu erzeugen. Dies ist sehr wichtig für die maßgenaue Strukturierung der daraufliegenden Metallisierungsebene.
Den Abschluß des Gesamtprozesses bildet die Passivierung, meist Siliziumoxid und/oder Siliziumnitrid. Sie soll die Integrierte Schaltung gegen mechanische Schädigung und gegen das Eindringen von Fremdstoffen schützen.

1.2.5 Prozeßoptionen

Durch hinzufügen von spezifischen Prozeßmodulen zum CMOS-Basisprozeß können zusätzliche Funktionen realisiert werden:

Analogfunktionen durch Einbau von
- linearen Kapazitäten (Polysilizium-Gateoxid-Substrat oder Intermetall-kapazitäten)
- Widerständen (meist Polysilizium ohne Titansilizid)
- Bipolartransistoren (Source/Drain-Wanne-Substrat wirkend als Emitter-Basis-Collector),

Speicherzellen
- nichtflüchtig in EEPROM- oder Flash-Technologie (mit zusätzlicher Polysiliziumebene zur Herstellung eines "floating gates")
- bzw. dynamische Speicherzellen ("embedded DRAM" = in Logik eingebetteter DRAM, "dynamische" (=refresh-bedürftige) Speicherzellen mit Substratkapazitäten).

2 Projektbeschreibung

2.1 Aufgabenstellung

Das Gesamtziel dieses Vorhabens besteht in der Erarbeitung der Grundlagen zur Entwicklung und Beherrschung fortschrittlicher CMOS-Technologien mit Strukturgrößen von 0.25µm und kleiner zur Herstellung von Logik-Schaltungen.

Die mikroelektronische Bauelemente produzierende Branche ist zunehmend einerseits einem hohen Kostendruck ausgesetzt, insbesondere im Bereich Telekommunikationsprodukte, und wird andererseits mit den ständig steigenden Anforderungen nach dynamischer Performance, geringerem Leistungsverbrauch und erhöhter Integrationsdichte konfrontiert, denen nur durch eine aggressive Shrinkstrategie zu begegnen ist. Im Interesse niedriger Herstellkosten ist auf ein geradliniges Prozeßkonzept ohne steigende Prozeßkomplexität in logischer Fortführung der 0.35µm-CMOS-Technologie zu achten, wobei die weitere Reduzierung der Strukturgrößen teilweise vollständig neue Prozeßmodule erfordert.
Um die Integration weiterer Prozeßoptionen entsprechend applikativer Anforderungen nachfolgend zu ermöglichen, besteht für das Technologie-konzept das Ziel einer strengen Modularität.

Zur Realisierung dieses Projektes erfolgte eine Gliederung der Aufgaben-stellung in drei Unterprojekte :
1 - Entwicklung von Prozeßmodulen
2 - Prozeßintegration und Charakterisierung
3 - Technologie- / Anwenderschnittstelle-Demonstrator.