

Fortschrittliche Smart-Power-Prozesse für Automobilanwendungen

MEDEA T508

ABSCHLUSSBERICHT

**Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln
des Bundesministeriums für Bildung und Forschung unter dem
Förderkennzeichen 01 M 2978 A gefördert.**

Ausführende Stelle:

Robert Bosch GmbH
Automotive Electronics, AE/DIC

Postfach 13 42

72703 Reutlingen

Inhaltsverzeichnis

1. Einleitung	3
2. Darstellung Gesamtprojekt	6
2.1. Aufgabenstellung	6
2.2. Voraussetzungen des Vorhabens	8
2.3. Planung und Ablauf des Vorhabens	9
2.4. Wissenschaftlich-technischer Stand zu Projektbeginn	12
2.5. Kooperation	13
3. Projektergebnisse	15
3.1. Übersicht	15
3.2. Evaluierung der neuen Smart Power Prozesse BCD5/BCD6	15
3.2.1. Schaltungsmodule	16
3.2.2. Substrateffekte	23
3.2.3. ESD Festigkeit	28
3.3. Aufbau Know-How nichtflüchtige Speicher	35
3.3.1. Optimierung der Qualität dünner Oxide	35
3.3.2. Optimierung der Qualifizierungsmethodik EEPROM	39
3.3.3. Aufbau einer Speicher Bibliothek	48
3.4. Wissenschaftlich-technischer Stand zu Projektabschluss	52
4. Berichte und Literatur	54
4.1. Interne Berichte	54
4.2. Weiterführende Literatur	54

1. Einleitung

Der Anteil der Elektronik am Gesamtwert eines Kraftfahrzeuges nimmt seit Jahren stetig zu. Damit verknüpft ist ein stabiles Wachstum des Marktes für integrierte Halbleiter in Automobilanwendungen wie in Abbildung 1 dargestellt. Hier haben europäische und insbesondere deutsche Anbieter eine gute Position im Weltmarkt, in Konkurrenz hauptsächlich zu Anbietern aus den USA. Starke Treiber für die geschilderte positive Entwicklung sind Innovationen in den Bereichen:

- Senkung des Kraftstoffverbrauchs
- Reduktion der Schadstoffemissionen
- Realisierung neuer Sicherheitssysteme
- Komfortsteigerung im Fahrzeug

In diesen Bereichen muss immer stärker dem Wunsch nach „intelligenten“ Systemlösungen nachgekommen werden, das heißt es müssen analoge Sensorauswertung, aufwendige digitale Berechnungen und die Ansteuerung von DMOS Leistungskomponenten vernetzt werden.

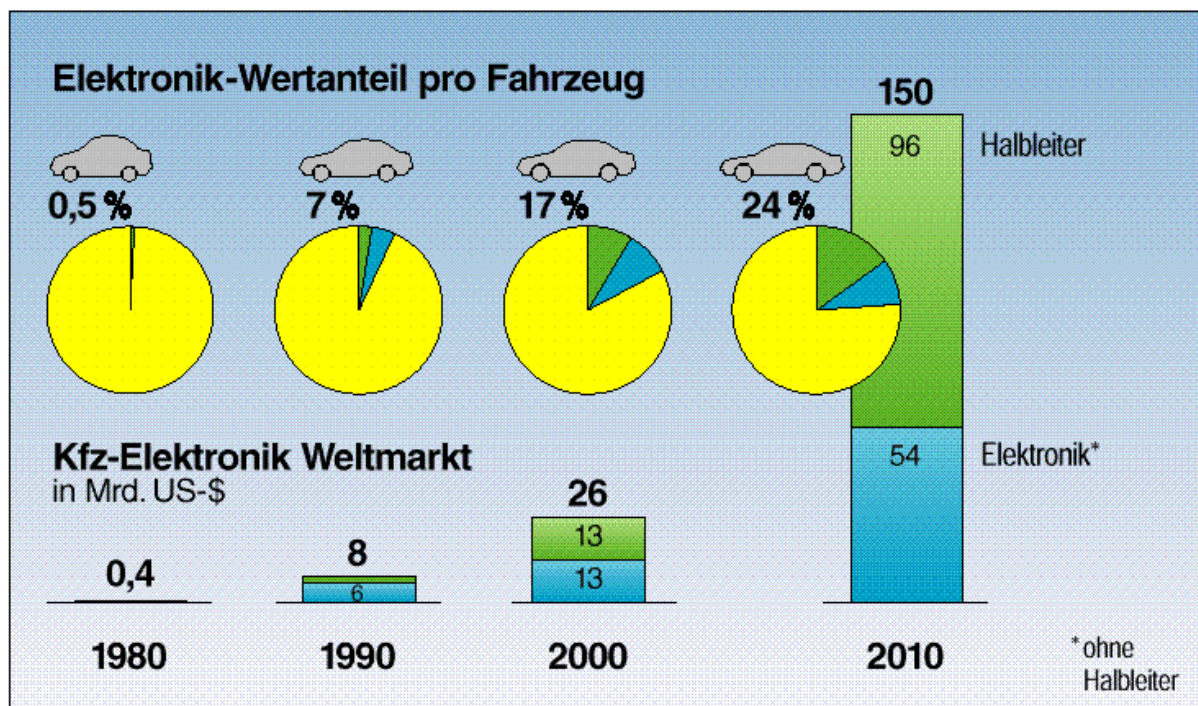


Abbildung 1: Die Steigerung des Wertanteils von Elektronik im Automobil

Wichtige Voraussetzung zur Bedienung dieser Anwendungsfelder mit robusten applikationsspezifischen integrierten Schaltungen (ASICs) ist die Verfügbarkeit modernster Fertigungsprozesse für integrierte Halbleiter, um die notwendige komplexe Funktionalität auf kleinsten Raum zu realisieren. Besondere Bedeutung

besitzen hier Smart Power Prozesse, die es erlauben, verschiedenste Halbleiterbauelemente für analoge, digitale und Leistungsanwendungen auf einem Mikrochip zu integrieren. Dazu gehören auch BCD Prozesse (Bipolar + CMOS + DMOS). Solche innovativen System-on-Chip Lösungen haben dazu beigetragen, dass elektronische Steuergeräte in Automobilen bei steigender Komplexität ständig an Gewicht und Volumen abnehmen (siehe Abbildung 3).

Dabei ist zu beachten, dass im Bereich Automobiltechnik besonders harte Anforderungen an die Robustheit und Funktionssicherheit von ASICs zu stellen sind. Dies stellt eine um so größere technische Herausforderung dar, als die Betriebsbedingungen (Temperatur, Schmutz, Störfelder, mechanische Beanspruchung – siehe Abbildung 2) im Automobil wesentlich rauer sind als in anderen Feldern wie zum Beispiel der Konsumelektronik.

Das in diesem Abschlussbericht beschriebene Projekt Medea T508 „Advanced Smart Power Processes with embedded Memories for Automotive Applications“ hat einen wichtigen Beitrag zur Bewältigung der beschriebenen Aufgabenstellung geleistet. Es wurden zwei neue Generationen von leistungsfähigen Smart Power Prozessen entwickelt und unter dem Gesichtspunkt der Automobilanwendung evaluiert. Zur Begrenzung des Entwicklungsrisikos wurde ein zweistufiges Vorgehen gewählt. Zunächst wurde ein Smart Power Prozess mit einer Strukturgröße von 0.65µm (BCD5) entwickelt und untersucht, im Anschluss ein Smart Power Prozess mit einer minimalen Strukturgröße von 0.35µm (BCD6). Beide Prozesse haben sich am Ende der Evaluierungsphase als im vollem Umfang geeignet für die gestellten Applikationsprobleme im Automobil erwiesen.

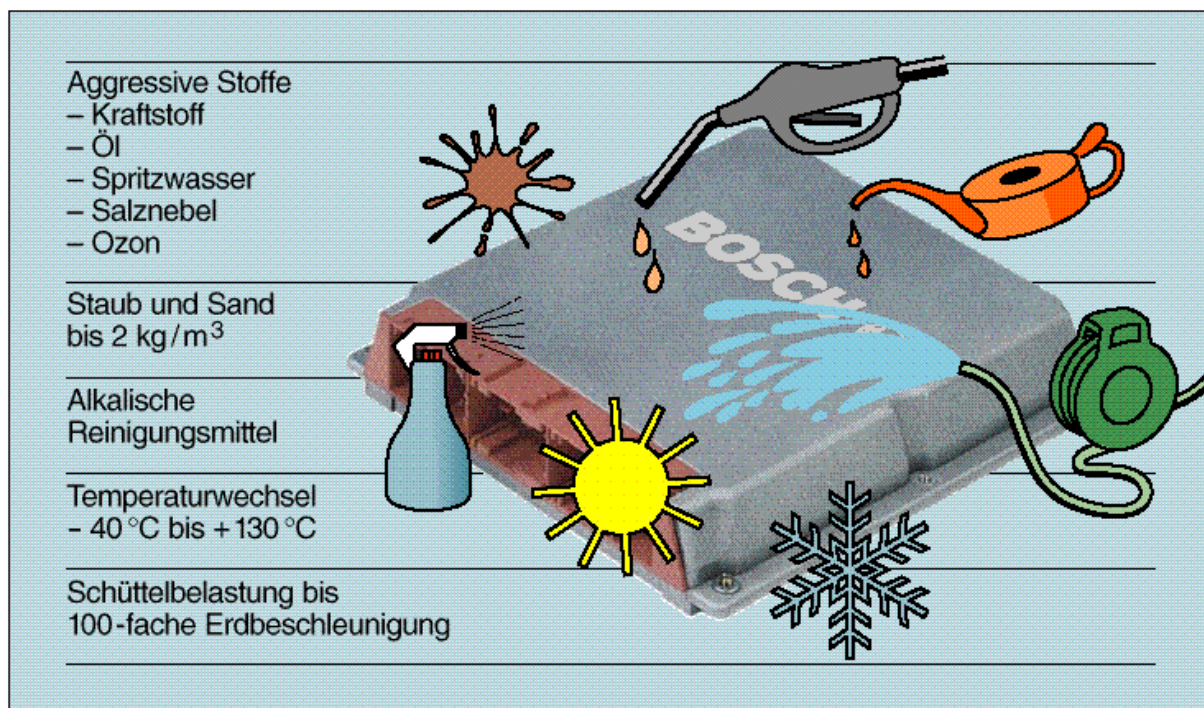


Abbildung 2: Anforderungen an Automobilsteuergeräte

Um Entwicklung und Bewertung der Prozesse zu bewältigen, wurde die Aufgabe in einem europäischen Verbundvorhaben mit zwei deutschen und zwei italienischen Partnern bearbeitet. Der Halbleiterentwickler ST Microelectronics (I) war federführend in der Entwicklung der zu untersuchenden Prozesse. Die Partner Robert Bosch GmbH (D) und Magneti Marelli (I) brachten ihre Erfahrung in der Entwicklung von ASICs ein. Anhand von Testchips (Robert Bosch und Magneti Marelli) wurden in einem umfangreichen Untersuchungsprogramm sowohl einzelne Halbleiterbauelemente als auch komplexe Schaltungseinheiten untersucht und bewertet. Technische Details zu diesem Thema sind in Abschnitt 3.2 dargestellt. In Abstimmung mit den Prozessentwicklern konnten so verschiedene Schwachpunkte in den Prozessen identifiziert und beseitigt werden. Als zweiter deutscher Partner hat das European Automotive Design Center (EADC) der ST Microelectronics GmbH wichtige Schaltungsmodule entwickelt, die gemeinsam mit Robert Bosch realisiert wurden und die wesentlich zum Nachweis der hohen Leistungsfähigkeit der Anwendungen in den neuen Prozessen beigetragen haben.

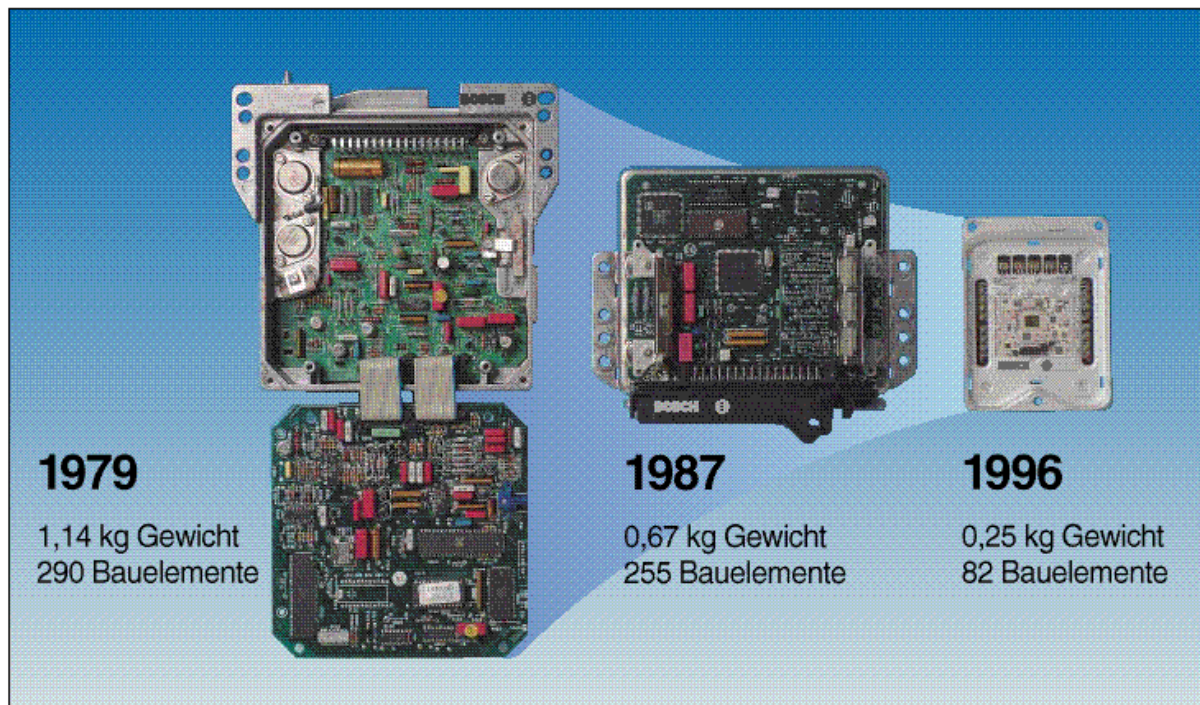


Abbildung 3: Fortschritt bei der Miniaturisierung von Steuergeräten

Ein weiterer Schwerpunkt der Tätigkeit des deutschen Hauptprojektpartners Robert Bosch GmbH war die Erlangung der methodischen und technologischen Voraussetzungen zur Realisierung von eingebetteten nichtflüchtigen Speichern. Die Implementierung von Speicherfeldern gemeinsam mit anderen Schaltungsmodulen auf einem Chip gewinnt zunehmende Bedeutung zur Speicherung von Steuergeräteinformationen und zum Band-Ende Abgleich. Robert Bosch hat hier zusammen mit ST Microelectronics wichtiges Know-How aufgebaut, um den Kundenwünschen der Automobilhersteller in Zukunft noch schneller und flexibler begegnen zu können (technische Details in Abschnitt 3.3).

Die Laufzeit des Projektes war 1. April 1997 bis 30.06.2001. Für das letzte Halbjahr des Projektes in 2001 wurde vom Fördergeber eine kostenneutrale Verlängerung bewilligt, um die noch ausstehende Bewertung der BCD6 Prozessgeneration fertig zu stellen. Im Rahmen dieser Verlängerung wurden alle mit dem Fördergeber abgestimmten Arbeiten planmäßig zuende geführt.

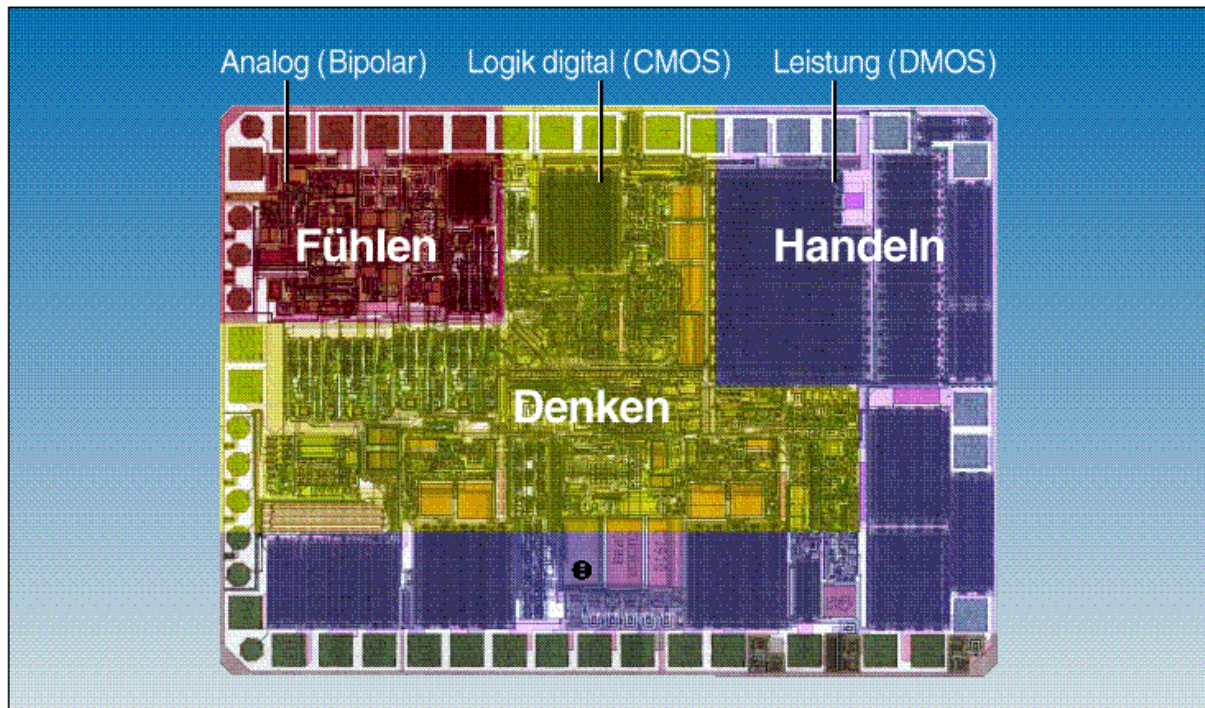


Abbildung 4: Entwicklung neuer Prozesse zur Realisierung System-on-Chip

2. Darstellung Gesamtprojekt

2.1. Aufgabenstellung

Aufgabe des Projektes war die Entwicklung und Bewertung von zwei Generationen von fortschrittlichen Smart Power Prozessen. Die Hauptaufgabe der Robert Bosch GmbH bestand in der Evaluierung der von ST Microelectronics bereitgestellten Prozesse in Hinblick auf die besonders hohen Robustheits- und Zuverlässigkeits-Anforderungen im Bereich Automobilanwendungen. Als technische Fragestellungen standen im Vordergrund:

- Vollständige Charakterisierung aller Bauelemente im aktiven Betriebsbereich
- Bestimmung der maximale Spannungen und Ströme der Bauelemente – insbesondere bei Hochspannungs- und Leistungsanwendungen
- Absicherung gegen ESD (Electro Static Discharge) Störungen – Wirksamkeit von Schutzkonzepten in verschiedenen Spannungsklassen
- Analyse parasitärer Effekte: unerwünschte Substratstromeinprägungen bzw. Substratpotentialanhebungen durch Leistungselemente. Analyse der Verstärkung aller parasitären Bipolar Transistoren

- Untersuchung der Bauelemente im Temperaturbereich, typischerweise $T = -40^{\circ}\text{C}$ bis 150°C
- Funktionalität und Performance der realisierten Schaltungsmodule. Hier wurden typische automobilrelevante Schaltungen gewählt (H-Brücke, CAN-Treiber, Bandgap, etc.)

Die beschriebenen Untersuchungen setzten die Verfügbarkeit von geeigneten Testchips voraus. Die Konzipierung und Abstimmung der Testchips innerhalb des Konsortiums war eine weitere wesentliche Aufgabe. Hier wurden Testelemente für Einzelkomponenten und Schaltungsmodule kombiniert. Das EADC hat in Abstimmung mit Robert Bosch zusätzlich Schaltungseinheiten beigesteuert.

Magneti Marelli hat in einem eigenen Testchip andere Aspekte der Evaluierung abgedeckt, so dass auf Grund dieser Arbeitsteilung die Bewertung des Prozesses sehr breit angelegt werden konnte. Die Prozessierung aller Testchips erfolgte bei ST Microelectronics in Italien.

Darüber hinaus kann ein Testchip nur effektiv realisiert werden, wenn eine moderne CAD Entwurfsumgebung zur Verfügung steht. Robert Bosch hatte direkten Zugriff auf alle notwendigen Technologiedaten, um eine eigenständige CAD Umgebung aufzubauen. Hier liegt ein weiterer wichtiger Gewinn des Projektes. Innerhalb der Projektlaufzeit wurde nicht nur eine genaue Kenntnis der Prozesse von Italien nach Deutschland transferiert, sondern es wurde außerdem die Designfähigkeit für die künftige kommerzielle Nutzung der Prozesse in Deutschland hergestellt.

Wie bereits in der Einleitung erwähnt, erhalten die neu entwickelten Prozesse zusätzliche Flexibilität durch die Möglichkeit nicht flüchtige Speicher einzubetten. Diese Prozessfähigkeit kann jedoch nur genutzt werden, wenn dazu bestimmte methodische Voraussetzungen geschaffen werden. Robert Bosch hat hierzu gemeinsam mit ST Microelectronics folgende Aufgaben bearbeitet:

- Speichertypen wie EPROM und EEPROM sind nur verlässlich prozessierbar, wenn die Herstellung qualitativ hochwertiger dünner Oxide beherrscht wird. Robert Bosch hat daher in seiner eigenen Halbleiterfertigung Untersuchungen zur Sicherung der Oxidqualität und zu Analyseverfahren durchgeführt.
- Weitere wichtige Voraussetzung ist die Beherrschung der Freigabeverfahren für die verwendeten Speichertypen. Um die verschiedenen Testverfahren zu erproben und in den Robert Bosch Freigabefluss zu integrieren, wird ein Chip als Testvehikel benötigt. Robert Bosch hat daher einen eigenen Chip mit eingebetteten EEPROM in Reutlingen entwickelt und prozessiert. Das Konzept dieses Chips geht auf einen BCD5 Prototypen von ST Microelectronics zurück, der zu Robert Bosch transferiert wurde. Die Erprobungsergebnisse zu diesem Test werden in Abschnitt 3.3 dargestellt.
- Zur Implementierung von Speicher in einen Schaltungsentwurf muss eine in den Entwurfsfluss eingebundene Speicherbibliothek erstellt werden. Auch diese Aufgabe wurde innerhalb des Projektes gelöst.

2.2 Voraussetzungen des Vorhabens

Die beschriebenen System-on-Chip Lösungen haben gegen vergleichbare Mehr-Chip-Lösungen einen klaren Flächenvorteil. Unter ökonomischen Gesichtspunkten kann die Mehr-Chip-Lösung trotzdem vielversprechender sein, weil hochintegrierende Smart Power Prozesse sich durch eine hohe Zahl an Maskenschritten und damit durch hohe Kosten auszeichnen. Es kann in der Kostenkalkulation für einen konkreten Systementwurf also die Situation eintreten, dass der Gewinn aus Chipfläche und Verdrahtung durch Verwendung neuer Smart Power Prozesse nicht die geringen Kosten von mehreren Chips in älterer Technologie und externer Verdrahtung kompensiert. Hier wirkt sich aus, dass die Halbleitertechnik nur eine Teiltechnologie des Steuergerätes darstellt, das insgesamt einem hohen Kostendruck am Markt unterliegt (siehe Abbildung 5).

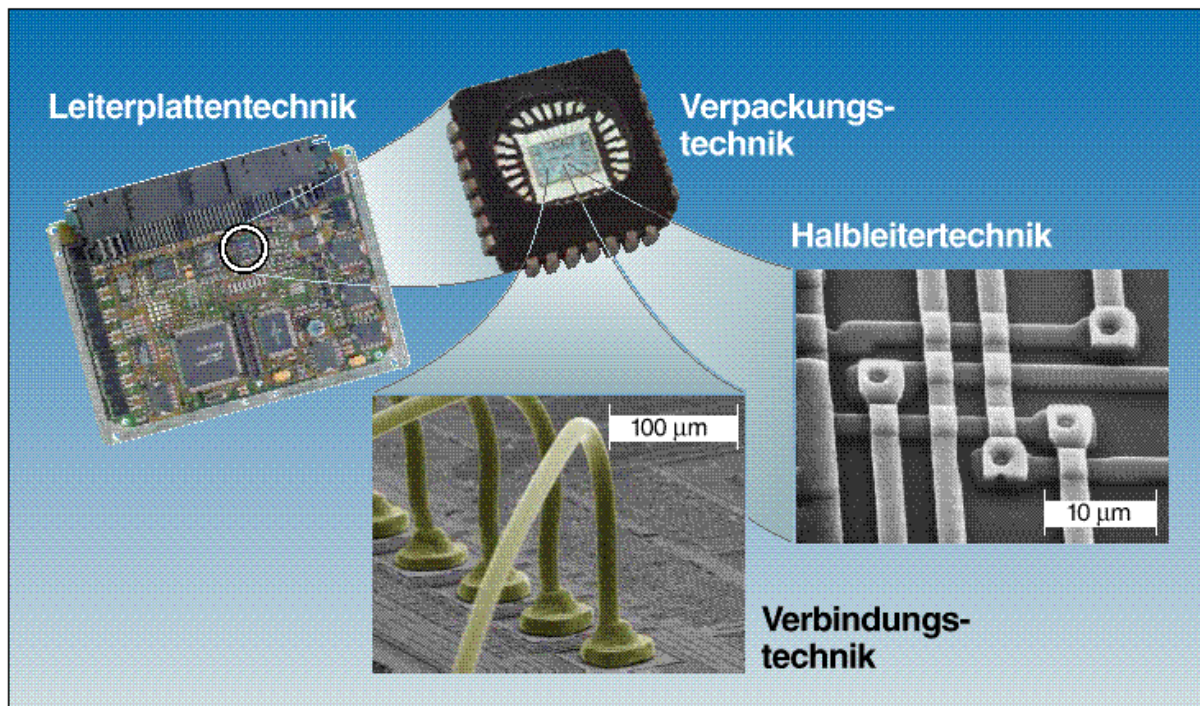


Abbildung 5: Einzeltechnologien zur Herstellung von Steuergeräten

Eine allgemeine Aussage zum wirtschaftlichen Erfolg der zu entwickelnden, technisch hoch innovativen Prozesse in Applikationen am Halbleitermarkt ließ sich zu Beginn des Projektes nicht treffen.

Damit bargen die in diesem Projekt durchgeführten Prozessentwicklungen ein hohes Risiko, das es notwendig machte, ein Konsortium aus Prozessentwicklern (ST Microelectronics) und Systementwicklern (Robert Bosch, Magneti Marelli, ST AEDC) unterstützt vom Europäischen Förderprogramm MEDEA zu etablieren.

Der hohe Grad an Erfahrung auf dem Gebiet der BCD Prozesse machte ST Microelectronics zum idealen Partner zweier führender Hersteller von elektronischen

Systemen für den Automobilbereich. Weiteres Synergiepotential lag in der Tatsache, dass Robert Bosch selbst seit Jahren Halbleiterschaltungen fertigt. Seit 1995 steht eine neue 6“ Halbleiterfabrik zur Verfügung, in der von ST lizenzierte BCD Prozesse gefertigt werden.

2.3 Planung und Ablauf des Vorhabens

Die beschriebene Aufgabenstellung wurde in fünf Subprojekten bearbeitet (siehe auch das Blockdiagramm in Abbildung 6). Der Inhalt dieser Subprojekte wird im Folgenden in Kürze beschrieben:

Subprojekt 1: Definition der Prozessspezifikation

Leitung: ST Microelectronics

Es wurden die Spezifikationen der im Prozess realisierbaren Bauelemente vereinbart. Dabei orientierte sich die Definition der wichtigen Parameter, z.B. maximale Betriebsspannung, maximale Leistung, direkt an den Anforderungen der Applikation.

Subprojekt 2: Prozessentwicklung

Leitung: ST Microelectronics

Die Entwicklung der Prozesse BCD5 und BCD6 war in die Hauptaufgaben Architektur und Prozessablauf gegliedert.

Architektur – Auf Grundlage der Prozessspezifikation wurde die Topologie der Dotierungsgebiete zur Erzeugung der gewünschten Bauelemente festgelegt. Mit Hilfe der numerischen Prozess- und Device-Simulation wurde das zu erwartende Verhalten der elektrischen Bauelemente überprüft. Hierauf basierend wurde ein vorläufiges Design Rule Manual erstellt.

Prozessierung – Alle Prozessschritte wurden charakterisiert und bewertet. Hieraus leiteten sich die Definition von Mess- und Kontrollbedingungen ab. Die genauen Prozessparameter (z.B. Implantationsdosen und Energien, Diffusionstemperaturen etc.) wurden festgelegt. Untersucht wurde ebenfalls die Eignung von Maschinen und Materialien.

Subprojekt 3: Charakterisierung und Modellierung

Leitung: Robert Bosch

In diesem Subprojekt wurden die Modelle, die Messverfahren und die Extraktionsvorschriften zur elektrischen Charakterisierung der einzelnen Bauelemente entwickelt und implementiert.

Einen weiteren Schwerpunkt bildeten Zuverlässigkeitsuntersuchungen, wie z.B. die Bewertung des Einflusses von heißen Ladungsträgern oder die Zuverlässigkeit bei hohen Temperaturen.

Der Einfluss parasitärer Effekte, wie das Aufsteuern lateraler oder vertikaler bipolarer Transistoren, wurde vor allem an den Hochvoltkomponenten (DMOS, HV MOS) untersucht. Solche Effekte können unerwünschte Substratströme injizieren, die im ungünstigsten Fall einen Latch-up in benachbarten CMOS Digitalteilen herbeiführen können.

Die ESD Festigkeit wurde mit Hilfe von Transmission Line Pulse (TLP) Messungen untersucht, wobei zusätzlich Hochstromparameter von Schutzelementen der neuen BCD Technologien extrahiert wurden. Gemessen wurde dabei das Ansprech- und Hochstromverhalten dieser Elemente in den für ESD relevanten Zeit- und Strombereichen. Daneben wurden die Ausfallcharakteristika ermittelt. In diese Aufgabe wurde als Unterauftragnehmer die Fraunhofer Gesellschaft IZM (Gruppe ATIS) mit einbezogen.

Subprojekt 4: Aufbau CAD Entwurfsumgebung

Leitung: Robert Bosch

Es wurde eine durchgängige CAD Entwurfsumgebung zur Entwicklung von ICs für die neuen Prozesse BCD5 und BCD6 aufgebaut. Wichtige Einzelaktivitäten waren:

- Bewertung und Auswahl der Entwurfswerkzeuge zum Schaltungs- und Layout-Entwurf.
- Entwicklung von Interface Software
- Generierung von Bauelemente- und Standardzellbibliotheken (analog und digital)
- Entwicklung von Routinen zur Entwurfsverifikation (DRC und LVS)
- Optimierung der Bauelementemodelle
- Erstellung einer Speicherbibliothek (NVM)

Subprojekt 5: Demonstrator IC

Leitung: Robert Bosch und Magneti Marelli (jeweils für den eigenen Demonstrator)

Die Leistungsfähigkeit der Prozesse wurde anhand jeweils eines Demonstrator ICs je Prozessgeneration nachgewiesen. Hauptarbeitsschritte waren:

- Schaltungsdesign – Unter Verwendung der in den anderen Subprojekten geschaffenen Voraussetzungen wurden zwei Smart Power ICs (eines in BCD5 und eines in BCD6) entwickelt.

- Prozessierung – Die Prozessierung aller Testchips und Demonstratoren erfolgte in der ST Fertigungslinie in Italien.
- Charakterisierung und Bewertung – Durch elektrische Testmessungen wurde die Erfüllung der spezifizierten Schaltungs-Performance überprüft.

Die Entwicklung des BCD5 Demonstrators wurde in enger Kooperation zwischen den deutschen Partnern Robert Bosch und ST EADC durchgeführt. Es wurde auf einen bereits bei ST existierenden ST7 Rechnerkern zurückgegriffen.

Das Konzept des Robert Bosch Demonstrators wurde mit Magneti Marelli abgestimmt, so dass der von Magneti Marelli entwickelte Chip andere Aspekte der Prozessbewertung abdeckt und sich mit dem IC der deutschen Partner ergänzt.

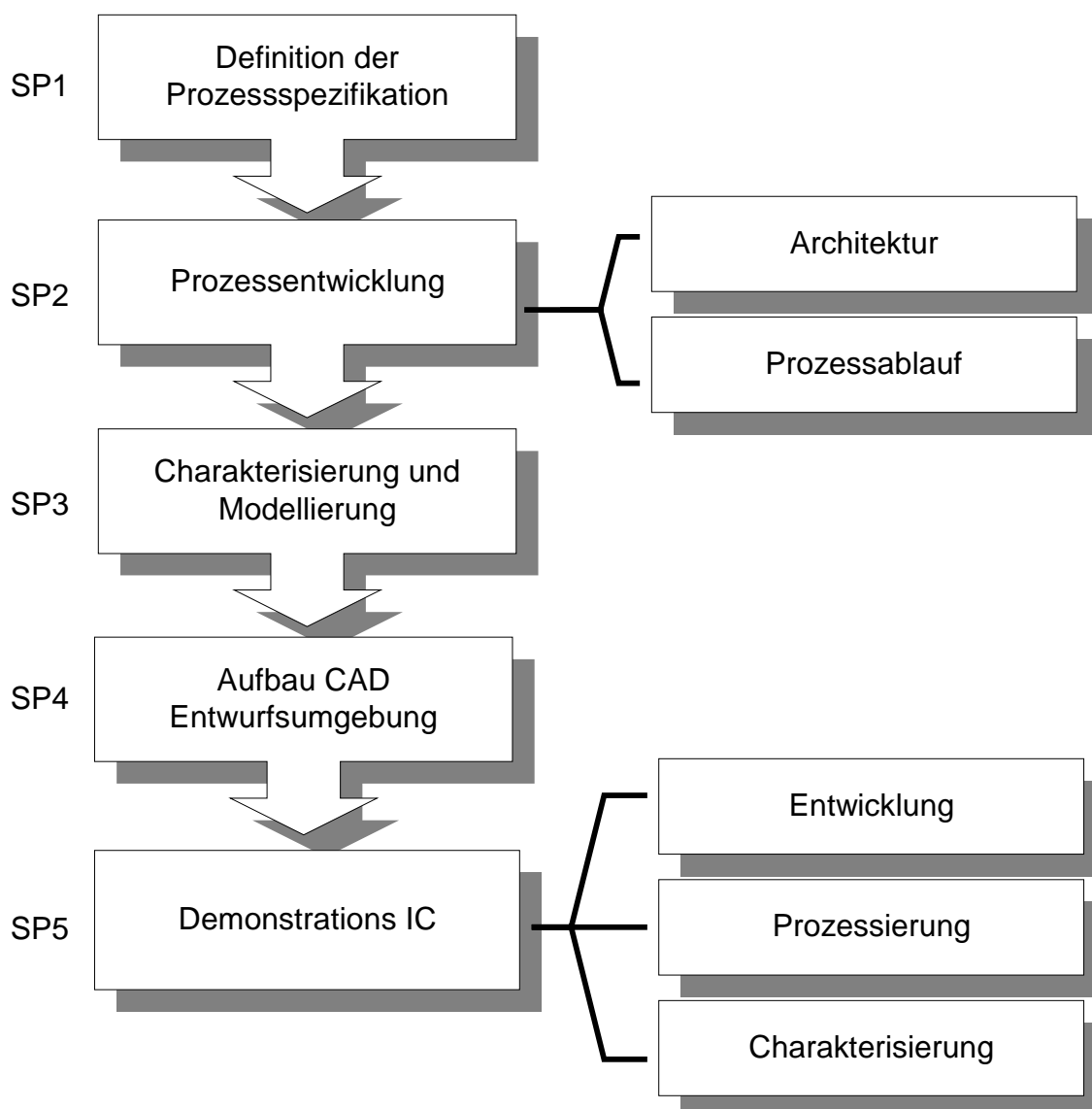


Abbildung 6: Die Gesamtstruktur des Projektes

Die in der Vorhabensbeschreibung definierten Meilensteine wurden im Rahmen der Projektlaufzeit erfüllt. Bei der Bereitstellung der BCD6 Technologie durch ST Microelectronics ergab sich eine unplanmäßige Verzögerung. Es konnten aber im Rahmen einer halbjährigen kostenneutralen Verlängerung des Projektes trotzdem alle Aufgaben gelöst werden.

Die folgende Tabelle gibt einen Überblick der wichtigsten Meilensteine gemäß der ursprünglichen Planung. Die BCD6 Meilensteine wurden teilweise mit bis zu 6 Monaten Verzögerung erfüllt:

	Beschreibung	BCD5	BCD6
SP1	Prozess Spezifikation	1Q97	3Q98
SP2	Tape-Out erster Test Chip des Prozesses	2Q97	1Q99
SP2	Silizium erster Testchip verfügbar	3Q97	2Q99
SP3	SPICE / SABER Modelle verfügbar	2Q98	3Q99
SP4	Fertigstellung Design Rule Manual	1Q98	1Q00
SP4	Fertigstellung Design Kit	2Q98	2Q00
SP5	Erstes Demonstrator IC	4Q98	4Q00
SP5	Prozess Qualifizierung	4Q98	4Q00

Tabelle 1: Wesentliche Meilensteine des Projektes

Die für das Projekt bewilligten Fördermittel wurden im vollen Umfang und gemäß den mit dem Fördergeber vereinbarten Aufgaben verwendet.

2.4 Wissenschaftlich-technischer Stand zu Projektbeginn

BCD Prozesse lagen von verschiedenen Anbietern zu Projektbeginn vor. Diese Prozesse zeichneten sich aber durch aufwendige vertikale Diffusionen aus (z.B. sogenannte n-Sinker in n-Epitaxie), die durch ein relativ hohes thermisches Budget realisiert werden. Die Flächendichte solcher Strukturen, z.B. eines VDMOS Transistors, ist im Allgemeinen geringer als die vergleichbarer rein lateraler Strukturen. Die neuen in Medea T508 entwickelten Prozesse sollten eine deutliche Erhöhung der Rdson-Werte pro Fläche bringen.

Hinzu kommt, dass die Diffusionsschritte bei hohen Temperaturen einen Fortschritt in der Erhöhung der Packungsdichte im CMOS Teil des Mischprozesses behindern. So lagen die minimalen Kanallängen von CMOS Transistoren in einem BCD Prozess mit etwa $L=1\mu\text{m}$ zu Beginn des Projektes weit hinter dem Standard von reinen CMOS Prozessen, der sich zu dieser Zeit bei ca. $L=0.25\mu\text{m}$ befand.

Aus der Fachliteratur war zu Projektbeginn bekannt, dass einige US Firmen in die Richtung erhöhter Flächeneffizienz bei Mischprozessen entwickeln.

- Motorola entwickelte einen 0.8 μ m BiCMOS Prozess (genannt SMARTMOS), in dem ein 30V LDMOS Transistor mit niedrigem R_{dson} integriert werden sollte. Der Prozess zielte hauptsächlich auf Computer Peripherieanwendungen. Eingebettete Rechner und NVM schienen nicht angestrebt zu werden (Quelle: IEEE BCTM Sept. 1997)
- Texas Instruments entwickelte einen 0.7 μ m BiCMOS Prozess (genannt LBC-4) mit flächeneffizienten DMOS für Spannungen bis zu 60V. Die Zielapplikation für diesen Prozess waren analoge und Leistungsschaltungen mit nicht sehr großem Digitalteil. Auch hier waren Rechner und NVM nicht vorgesehen. (Quelle: IEEE BCTM Sept. 1997).

Es waren Veröffentlichungen von anderen Firmen bekannt, die darauf hinwiesen, dass ein allgemeiner Trend und Bedarf zu flächenoptimierten Mischtechnologien besteht. Im direkten Vergleich stellte die Zielsetzung des Projektes Medea T508 aber den anspruchvollsten Ansatz dar:

- 0.6 μ m minimale Strukturgröße (0.35 μ m in der zweiten Generation)
- Aktive Bauelemente mit Betriebsspannungen bis zu 40V
- Optimierter Digitalteil
- Flächeneffiziente Leistungsstufen
- 8-Bit Microcontroller (16-Bit in der zweiten Generation) und NVM integrierbar
- 3 Metalllagen (5 Metalllagen in der zweiten Generation) mit einer dicken Metalllage für Leistungsanwendungen.

Ein Prozess mit diesen fortschrittlichen Leistungsmerkmalen war in absehbarer Zeit von keinem konkurrierenden Unternehmen lieferbar. Eine besondere zusätzliche Herausforderung stellte der Einsatz der neuen Prozesse für Automobilanwendungen dar. Hier war eine gründliche Untersuchung der Robustheit und Zuverlässigkeit in diesem Anwendungsfeld absolut notwendig.

2.5. Kooperation

Die Hauptstränge der Kooperation im Projekt werden in Abbildung 7 dargestellt.

Die Gesamtleitung des Projektes lag bei ST Microelectronics. Bei ST lag auch die Federführung bei der Entwicklung der eigentlichen Halbleitertechnologie (Subprojekt 2). Die Definition der Spezifikation für die neuen Prozesse erfolgte in enger Zusammenarbeit aller Partner (Subprojekt 1). Hier ergänzte sich in idealer Weise die System- und Entwurfserfahrung von Robert Bosch und Magneti Marelli mit der langen Erfahrung ST Microelectronics in der BCD Prozessentwicklung.

Die Robert Bosch GmbH hatte die Leitung der folgenden Subprojekte (siehe auch Abbildung 6):

Subprojekt 3: Charakterisierung und Modellierung

In diesem Subprojekt erfolgte ein sehr enger Austausch von Daten über Bauelemente Charakteristika zwischen Robert Bosch und ST Microelectronics. Es wurden zahlreiche technische Dokumente und Messergebnisse ausgetauscht. Insbesondere auf dem Gebiet des ESD Schutzes von Hochvoltbauelementen wurde sehr direkt und intensiv kooperiert. Wichtige Messungen wurden durch den Subkontraktor Fraunhofer Gesellschaft ATIS in München durchgeführt. Die anderen Partner wurden in die Ergebnisse in regelmäßigen technischen Treffen einbezogen.

Subprojekt 4: Aufbau CAD Entwurfsumgebung

Von ST Microelectronics wurden alle Technologiedaten und Unterlagen zur Verfügung gestellt, die Robert Bosch benötigte, um eine CAD Entwurfsumgebung aufzubauen. RB stützte sich dabei teilweise auf andere Entwurfswerkzeuge als ST (z.B. unterschiedliche Simulatoren oder Layoutwerkzeuge). Trotzdem wurde durch eine gute Abstimmung ein Maximum an Kompatibilität erreicht. So war RB zum Beispiel jederzeit in der Lage seine Bauelementemodelle für den Simulator SABER mit den ST Modellen für den Simulator ELDO zu vergleichen. Da RB auch eigene Charakterisierungsmessungen an Silizium durchführte, ergab sich so ein hohes Maß an Modellierungszuverlässigkeit für beide Unternehmen.

Subprojekt 5: Demonstrator IC (für den Robert Bosch IC):

Robert Bosch und Magneti Marelli entwickelten unabhängig je ein Demonstrator IC in beiden neuen BCD Technologien. Durch einen Abstimmungsprozess zwischen MM und RB wurde sichergestellt, dass die Konzepte nicht zu hohe Redundanz aufwiesen, sondern jeweils verschiedene designkritische Aspekte abdeckten. Details hierzu sind in Abschnitt 3 zusammengefasst. Durch die Diskussion der Ergebnisse der IC Evaluierung mit ST wurden wertvolle Rückschlüsse auf die Verbesserungs- und Erweiterungsmöglichkeiten der Prozesse vermittelt.

Im Fall des BCD5 Prozesses wurde der Robert Bosch Demonstrator durch einige anspruchsvolle Schaltungsmodule von ST EADC ergänzt. Die Schaltungsentwickler von ST EADC und Robert Bosch standen hierzu in engem Kontakt.

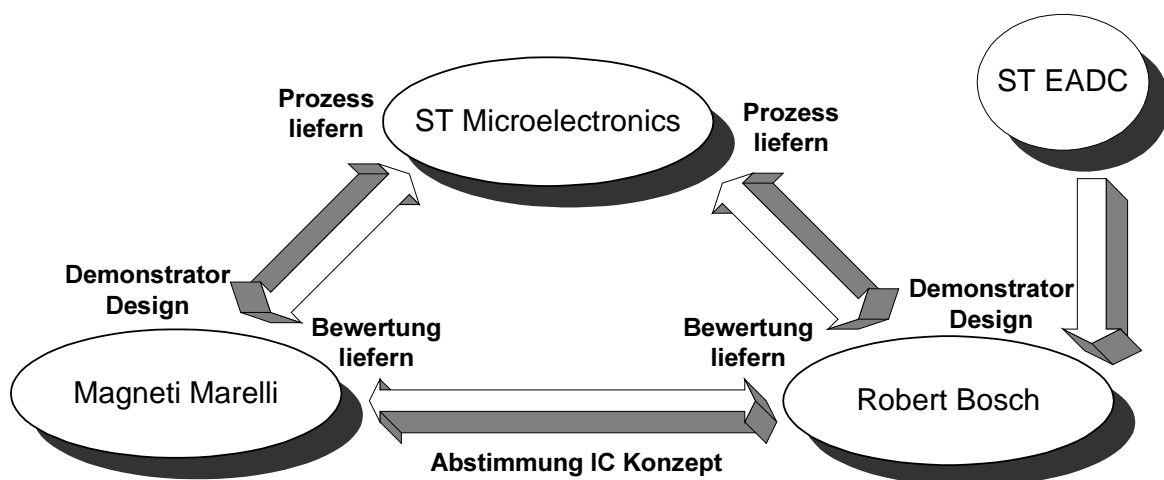


Abbildung 7: Hauptstränge der Projektkooperation

3. Projektergebnisse

3.1. Übersicht

In den folgenden Abschnitten werden die wichtigsten Ergebnisse der Robert Bosch GmbH zusammengefasst. Die Darstellung gliedert sich in zwei unterschiedliche Themengebiete.

In erster Linie war Robert Bosch maßgeblich an der Bewertung und technischen Analyse der beiden neuen Smart Power Prozesse BCD5 und BCD6 beteiligt. Die Ergebnisse dieser Arbeiten werden in Abschnitt 3.2. dargestellt.

Ein weiterer wichtiger Arbeitsschwerpunkt war die Erlangung der methodischen Voraussetzungen, um nichtflüchtige Speichermodule in Smart Power ASICs einzubetten. Die hier erreichten Ergebnisse werden in Abschnitt 3.3. dargestellt.

3.2. Evaluierung der neuen Smart Power Prozesse BCD5/BCD6

Robert Bosch hatte vollen Zugriff auf alle technologischen und elektrischen Daten der neuen Prozesse BCD5 und BCD6. Auf Grundlage der eigenen CAD Entwurfsumgebung wurden jeweils ein BCD5 und ein BCD6 Demonstrator ASIC entwickelt und bei ST gefertigt.

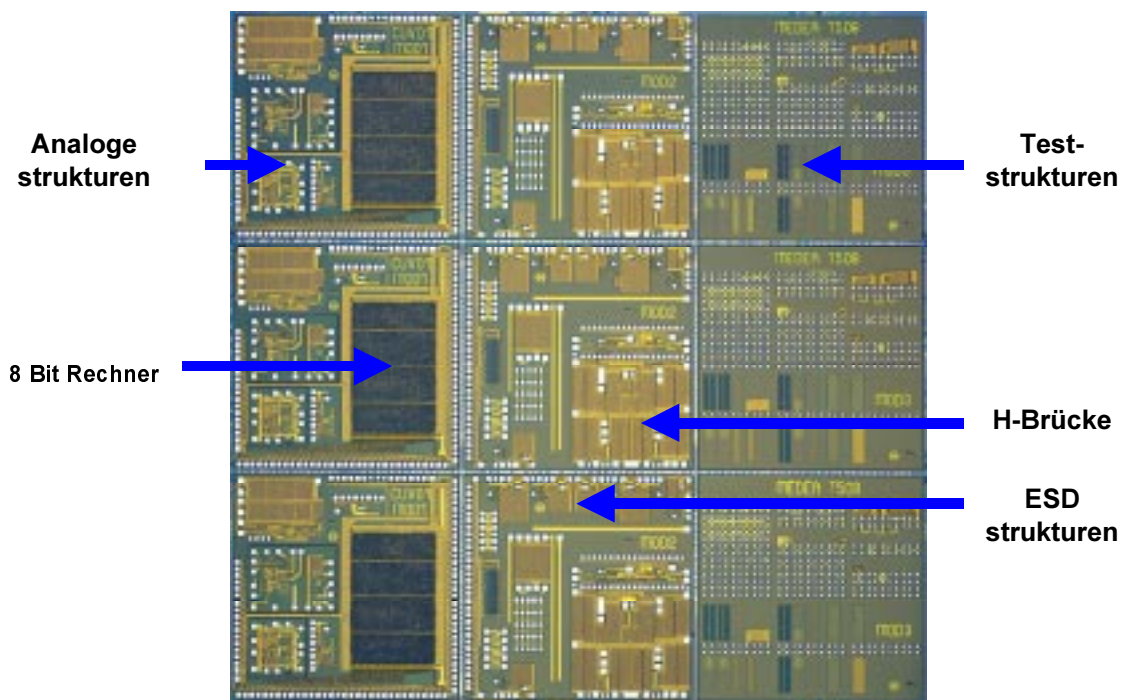


Abbildung 8: Chip Foto einer Reticle Einheit des BCD5 Testchips

Bewertet wurden einige Schaltungsmodule, die für Automobilanwendungen zentrale Bedeutung haben. Weiterhin wurden parasitäre Substrateffekte ausführlich analysiert. Die Realisierung und Wirksamkeit von ESD Schutzmaßnahmen war der dritte Hauptaspekt, der bei Robert Bosch erfolgreich bearbeitet wurde.

3.2.1. Schaltungmodule

Die Hauptaufgabe im Arbeitspaket 4 bestand in der Definition und Entwicklung der integrierten Schaltungen für die unterschiedlichen Schaltungmodule. Unter Berücksichtigung der Anforderungen im Automotive Segment wurden folgende Schaltungmodule definiert und sowohl im Prozess BCD5 als auch im Prozess BCD6 umgesetzt:

- Bandabstands-Referenz (analog)
- H-Brücke (analog/digital)
- SPI-Schnittstelle (digital)

In den folgenden Abschnitten werden die Module, in der oben aufgeführten Reihenfolge, in ihrer Funktionsweise eingehender beschrieben. Es wird dabei schwerpunktmäßig auf die Realisierung im Prozess BCD6 eingegangen. Die frühere Realisierung im BCD5 Prozess wird als Vergleich herangezogen. Über die Realisierung von Schaltungmodulen im BCD5 Prozess liegt ein gesonderter Abschlussbericht des zweiten deutschen Projektpartners ST EADC vor. ST EADC und Robert Bosch haben auf diesem Gebiet eng kooperiert.

Bandabstands-Referenz

Bei Automobilanwendungen kann der Temperaturbereich von -40°C bis 150°C variieren. Die Referenzspannung sollte über den vollen Temperaturbereich stabil sein. Diese Anforderungen erfüllt die Bandabstands-Referenz. Ein weiterer großer Vorteil gegenüber anderen Methoden (Referenzdioden) besteht darin, dass sie sich mit niedriger Versorgungsspannung ($V_{DD}=3.3\text{V}$ für BCD6) betreiben lassen. In der unteren Abbildung 9 ist der prinzipielle Aufbau einer Bandabstands-Referenz dargestellt.

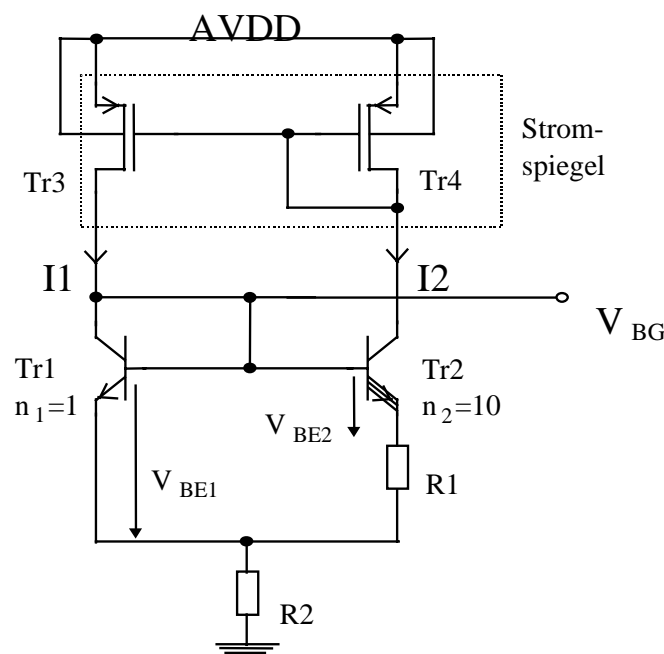


Abbildung 9: Schema einer Bandabstandsreferenz Schaltung

Um die Vorteile des BCD6 Prozesses zu nutzen, wurde der Spiegel zur Symmetrisierung des Stromes (I1,I2) mit MOS Transistoren realisiert. Im Vergleich zu einer älteren BCD Prozessgeneration wurde die Fläche erheblich verkleinert. Die Performance einer Bandabstands-Referenz wird durch den Hub der Ausgangsspannung beschrieben. In Abbildung 10 ist der Verlauf der Ausgangsspannung über der Temperatur dargestellt (6 verschiedenen Proben).

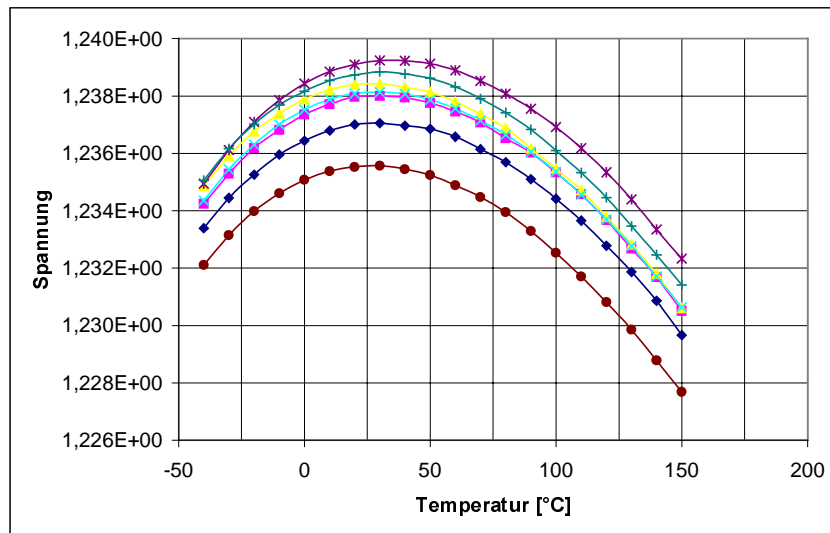


Abbildung 10: Temperaturgang der BCD6 Bandabstandsreferenz

Aus der Abbildung ergibt sich ein probenabhängig maximaler Hub der Referenzspannung von 6mV. Dieser kann durch geeignete Abgleichverfahren verringert werden.

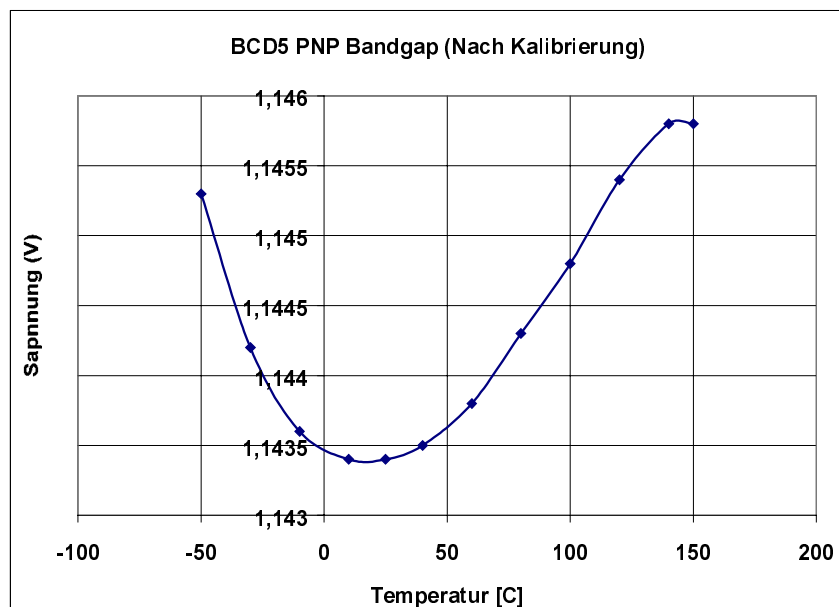


Abbildung 10a: Temperaturgang der BCD5 PNP Bandabstandsreferenz

In Abbildung 10a ist als Vergleich der Temperaturgang einer bipolar PNP Bandabstandsreferenz in BCD5 Technologie mit Vorstabilisierung dargestellt. Obwohl es sich hier um das klassische Bipolar Schaltungskonzept handelt, ist diese Bandgap nicht temperaturstabiler als die BCD6 Bandgap, in der ein reiner CMOS Stromspiegel zum Einsatz kommt.

Es kann das abschließende Fazit gezogen werden, dass es möglich, ist sehr temperaturstabile CMOS Bandabstandsreferenzen unter Ausnutzung der hohen CMOS Integrationsdichte (kleine Fläche) herzustellen. Dieses Ergebnis ist insbesondere in Hinblick auf zukünftige CD Prozesse, die keine bipolaren Bauelemente mehr enthalten, von Bedeutung.

Die H-Brücke

Das Schaltungskonzept einer H-Brücke als intelligenter Leistungsschalter für bis zu 40V wurde in den Prozessen BCD5 und BCD6 in analoger Weise umgesetzt. Abbildung 11 zeigt das Blockschaltbild.

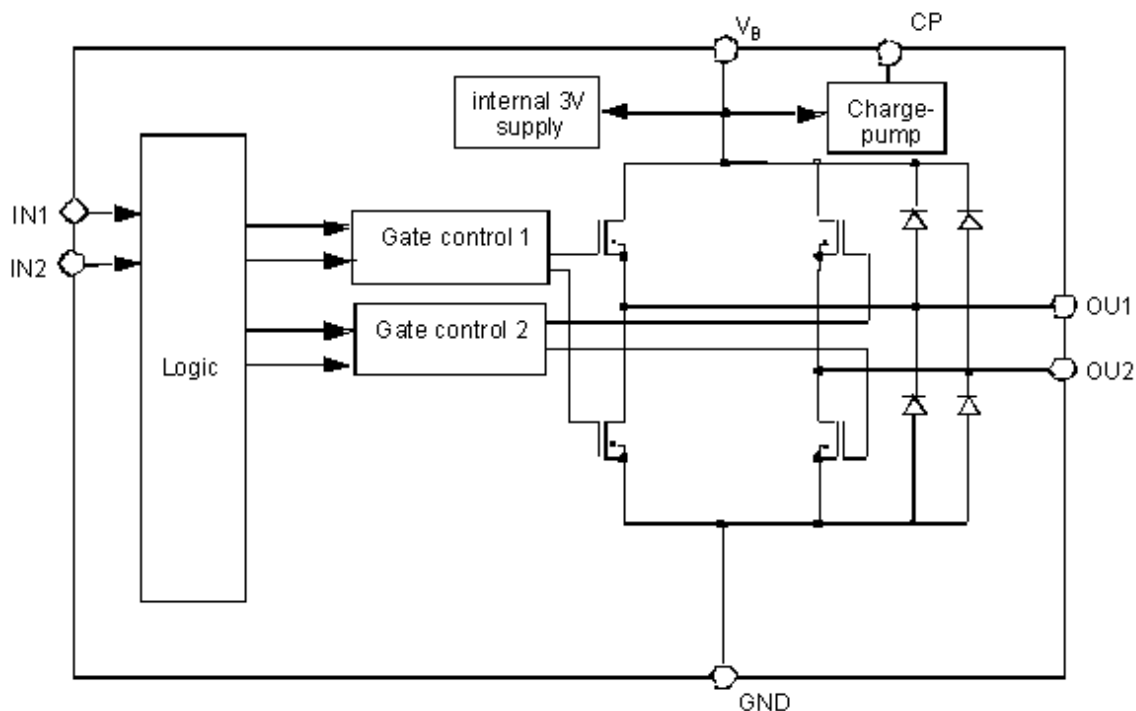


Abbildung 11: Blockdiagramm der BCD5 / BCD6 H-Brücke

Bei der Testschaltung sollte es sich um eine voll funktionale H-Brücke zur Ansteuerung von Gleichstrom- und Schrittmotoren für Anwendungen unter extremen Umgebungsbedingungen handeln. Ein komplexer Digitalteil steuert die LDMOS Elemente und ermöglicht umfangreiche Selbstdiagnose Funktionen. Low Side und High Side Schalter sind jeweils durch N-Kanal Transistoren realisiert. Zur Versorgung der High Side wird eine Charge Pump verwendet.

Als Eckdaten der Spezifikation wurden angesetzt:

- Typischer $R_{ds(on)}$ von 200 m Ω für jeden Transistor bei $T=25^{\circ}\text{C}$
- Unter Last konstanter Gleichstrom von $I=5\text{A}$

- Logische Eingänge TTL/CMOS kompatibel
- Betriebsfrequenzen von bis zu 30 kHz

Die geforderte Spezifikation konnte sowohl im Prozess BCD5 als auch im Prozess BCD6 grundsätzlich erreicht werden. Im folgenden werden einige Ergebnisse der BCD6 Auswertung graphisch dargestellt.

Abbildung 12 zeigt den R_{dson} Widerstand der H-Brücke im Temperaturbereich zwischen -40°C und 150°C . In Abbildung 12a ist zum Vergleich der U/I Plot der BCD5 H-Brücke bei $T=25^{\circ}\text{C}$ dargestellt. Es wurden in beiden Technologien identische R_{dson} Werte im Entwurf eingestellt. Die BCD6 H-Brücke hat im Vergleich zur BCD5 H-Brücke einen deutlichen Flächenvorteil auf Grund der besseren Packungsdichte von DMOS und Digitalteil.

Abbildung 13 zeigt die Schaltflanken der Brücke im Betrieb. Vergleiche hierzu auch das Blockdiagramm in Abbildung 11.

Es konnte im Test keine Beeinträchtigung der Logikfunktion der Brückensteuerung durch die LDMOS Schaltprozesse beobachtet werden. Die Co-Integration von logischer Funktionalität und Leitungssteuerung konnte somit auch mit dieser Schaltungseinheit ausdrücklich verifiziert werden.

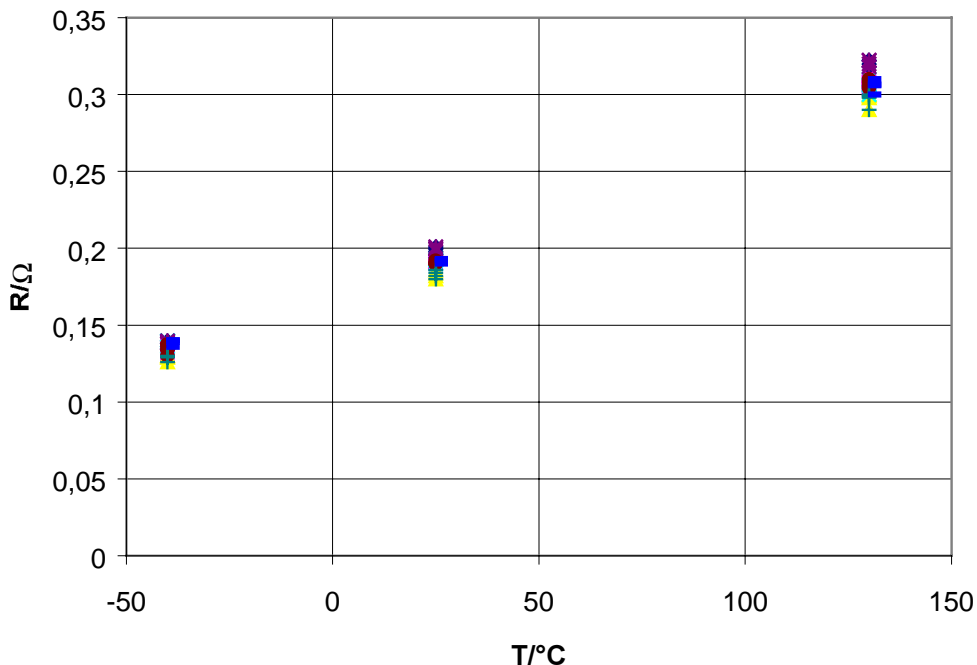


Abbildung 12: R_{dson} Widerstand der BCD6 H-Brücke über Temperatur

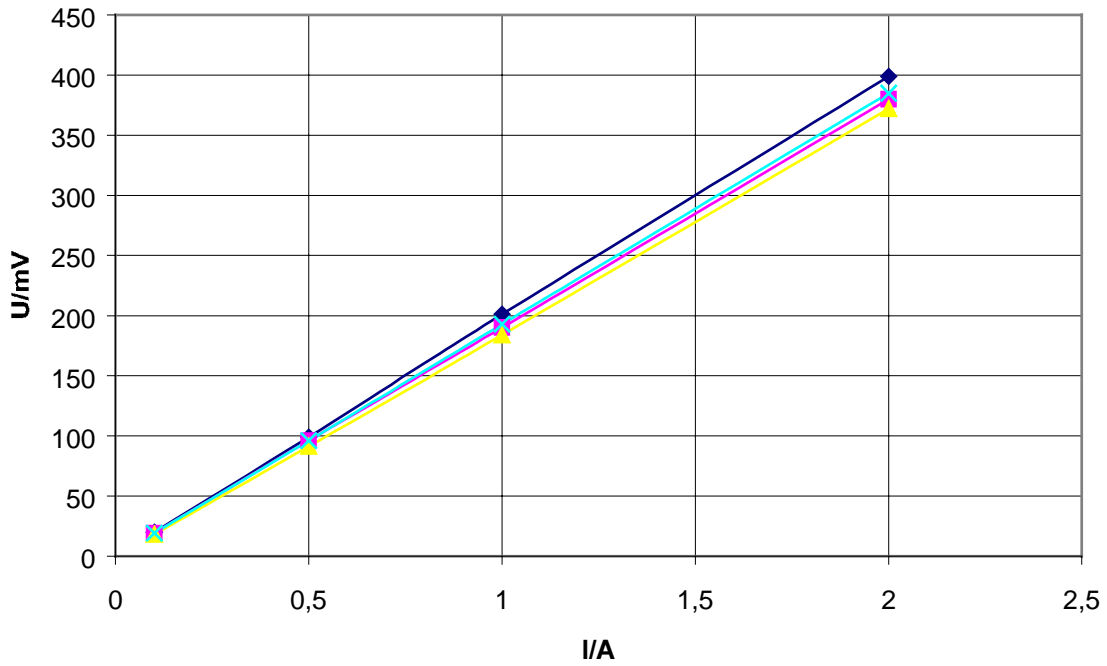


Abbildung 12a: Rdson (U/I) der BCD5 H-Brücke bei T=25°C

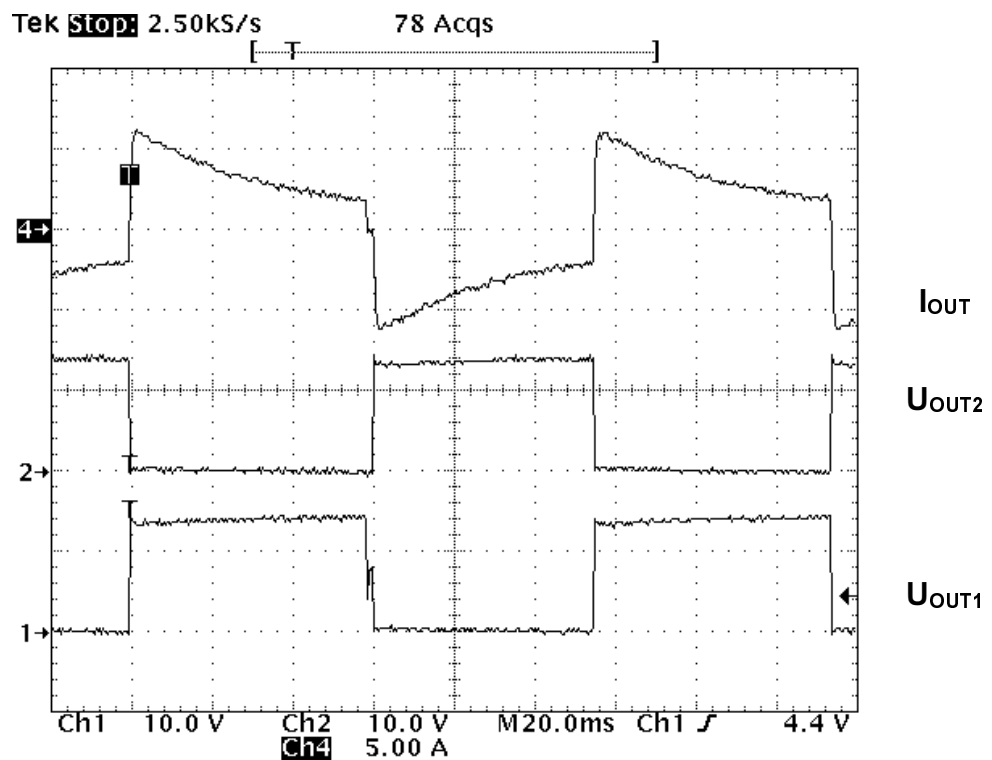


Abbildung 13: Oszilloskop Timing Diagramm der BCD6 H-Brücke in Funktion

Das abschließende Fazit in Hinblick auf die H-Brücken lautet, dass in beiden subµ BCD Prozessen voll funktionsfähige Schaltungen realisiert werden können. Der Prozess BCD6 besitzt dabei einen erheblichen Flächenvorteil gegen den BCD5 Prozess.

Die digitale Schnittstelle

Der BCD6 Prozess basiert auf einer 0.35µm CMOS Plattform. Zur Bewertung des CMOS Teils des Smart Power Prozesses wurde ein digitales Subsystem realisiert, das ein breites Angebot an Schnittstellen- und Testschaltungen beinhaltet. Es kann auf neun unabhängige PWM Kanäle über ein „Synchronous Peripheral Interface“ (SPI) zugegriffen werden. Des Weiteren wurden ein serielles Bus-Protokoll und ein Testzugriff nach dem IEEE 1149.1 Standard implementiert.

Unter Ausnutzung aller fünf Metallisierungsebenen wurden insgesamt 7415 digitale Gatter auf einer Siliziumfläche von 0.424 mm² integriert. Die Logikdichte erreichte 70K Transistoren/mm² bei einem Routing Faktor von 1.26.

Die Funktionalität des Digitalteils wurde bis zu einer Taktfrequenz von 40MHz verifiziert. Diese Obergrenze ergab sich aus der Frequenzbegrenzung der Testeinrichtung, so dass für höhere Frequenzen keine sichere Aussage über die Funktion mehr gemacht werden konnte.

Die Analyse der auf dem Testchip implementierten Geschwindigkeitsmonitore zeigte eine Verzögerungscharakteristik, die in guter Übereinstimmung zum nominellen Fall der zugrundeliegenden Entwurfsbibliothek standen (mit leichter Tendenz zum Best Case Fall). Die Auswertung des Geschwindigkeitsmonitors ist in der folgenden Tabelle 2 zusammengefasst. Dargestellt sind die Schwingungsfrequenzen verschieden langer Ringoszillatorketten (Messung gegen Simulation).

Ringoszillator	(Simulation - Back-Annotation)		Messung 3.0V / RT
	Best Case	Worst Case	
41 TAP	130 MHz	44 MHz	95 MHz
31 TAP	163 MHz	55 MHz	120 MHz
21 TAP	227 MHz	76 MHz	162 MHz
11 TAP	370 MHz	123 MHz	257 MHz

Tabelle 2: Ergebnisse Bewertung Digitalteil BCD6 Testchip

In einer weiteren Untersuchung wurde die Verzögerungscharakteristik als Funktion der Versorgungsspannung untersucht. Ein kritischer Wert, gekennzeichnet durch 50% Performance Verlust wurde bei 1.7V identifiziert. Grundsätzliche Funktionalität

des Digitalteils ist aber bis zu einer Versorgungsspannung von 1V gegeben. Siehe hierzu die folgende Abbildung 14.

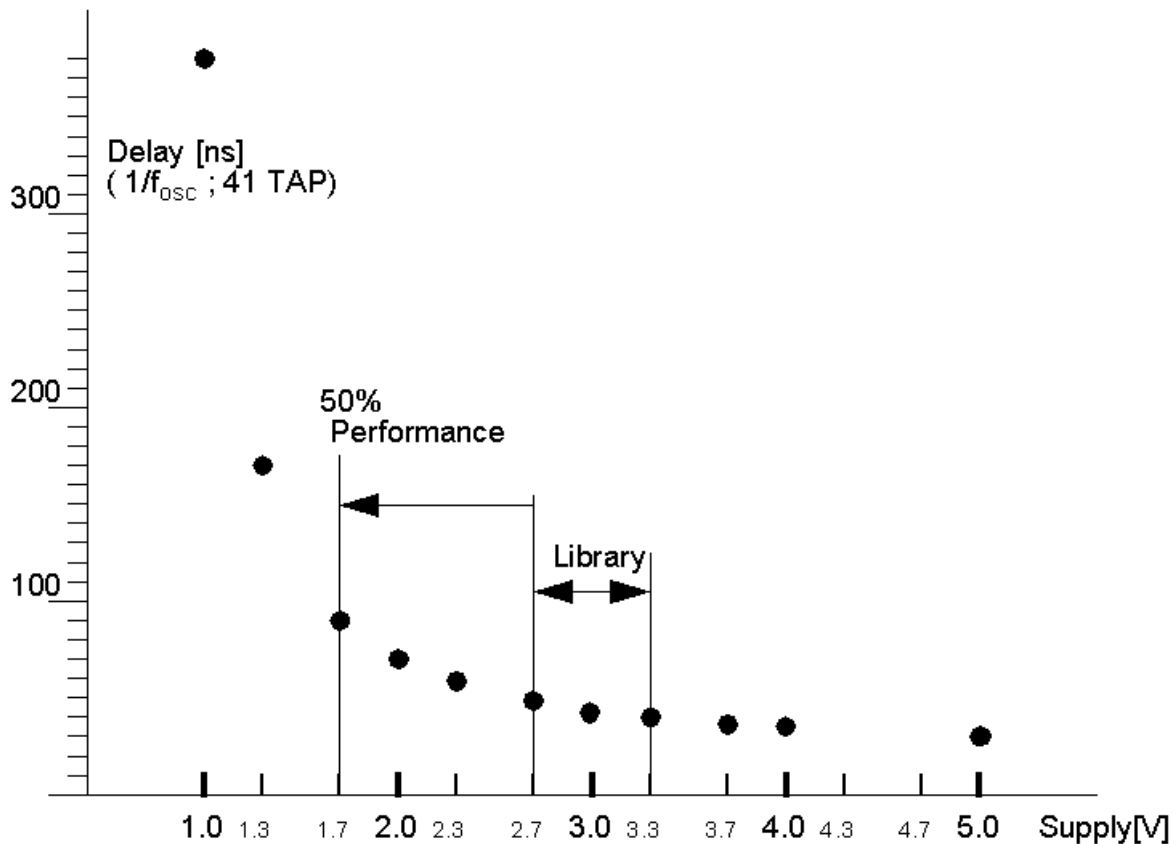


Abbildung 14: BCD6 Digital – Performance gegen Versorgungsspannung

Im BCD5 Demonstrator Digitalteil lag das Hauptaugenmerk auf einem standardisierten 8 Bit Rechner (ST7 Kern), der von Robert Bosch mit einer umfangreichen Peripherie ausgestattet wurde. Man betrachte Abbildung 8, um einen Eindruck des damit verbundenen Flächenbedarfs auf Silizium zu gewinnen. Der auf dem Chip Foto sichtbare Rechnerteil hat eine Fläche von ca. $2 \times 3 \text{ mm}^2$

Aus dem Übergang von BCD5 zu BCD6 in Digitalentwürfen ergibt sich ein Zugewinn an Gatterdichte um einen Faktor vier bis fünf. Diese hohe Steigerung ist zum einem durch die geringen Strukturgrößen des BCD6, zum anderen aber auch durch die zusätzlich eingeführten zwei Verdrahtungsebenen zu erklären.

Es kann zusammenfassend festgestellt werden, dass beide Prozesse, die in diesem Projekt entwickelt wurden, einen CMOS Teil besitzen, der die Realisierung dichtpackender, komplexer Logiken erlaubt und außerdem die notwendige Robustheit besitzt, um in Automobilanwendungen Einsatz zu finden.

3.2.2. Substrateffekte

Auf Smart Power ICs sind große DMOS Transistoren auf engstem Raum mit sensiblen analogen Funktionen und großen Digitalteilen vereint. Daher muss die Wirkung von unerwünschten Substratstromeinprägungen und damit verbundenen Substratpotentialanhebungen mit besonderer Gründlichkeit untersucht werden.

Kritisch sind insbesondere DMOS Leistungsstufen, die eine externe Induktivität schalten. Typische Beispiele sind sogenannte H-Brückenschaltungen zum Antreiben eines Stellmotors. Durch die induktive Rückkopplung können die zur Isolierung zwischen den Bauelementen verwendeten PN Übergänge in Flussrichtung gelangen und so einen Basisstrom für einen parasitären bipolaren Transistor injizieren. Dies ist schematisch in Abbildung 15 dargestellt. Wenn der Parasit aus einer vertikalen PNP Anordnung besteht, fließt im Substrat ein Löcherstrom als Kollektorstrom. Bezogen auf diesen Kollektorstrom im Substrat spricht man auch von einem Majoritäten Effekt. Wenn das Substrat die Basis für einen lateralen NPN Transistor bildet, spricht man von einem Minoritäten Effekt. Der Strom des parasitären bipolaren Transistors kann leicht in einem benachbarten CMOS Teil einen Latch-up verursachen. Er muss daher minimiert werden.

Für den sicheren Schaltungsentwurf ist es notwendig, diese zwei Effekte quantitativ zu verstehen, das heißt die Stromverstärkung der bipolaren Transistoren als Funktion verschiedener Parameter (Wannengröße, Temperatur, Abstand zur DMOS Stufe) zu messen. Bei Kenntnis dieser Werte können geeignete Abhilfemaßnahmen in Form von Substratbarrieren und Absaugwannen definiert werden.

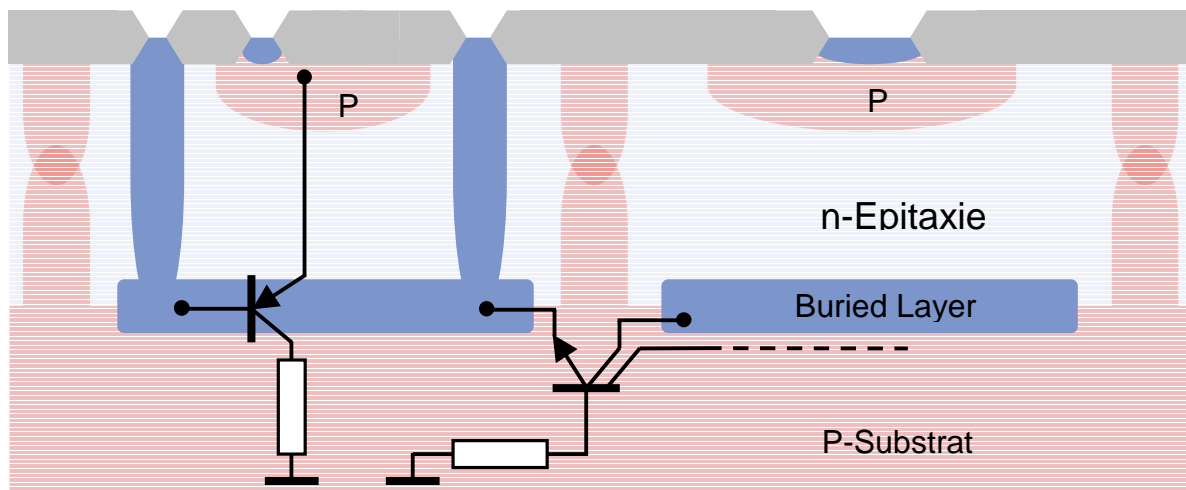


Abbildung 15: Parasitäre Bipolar Transistoren in BCD Wannenstrukturen

Die Prozesse BCD5 und BCD6 unterscheiden sich neben den minimal möglichen Strukturgrößen in der Grundarchitektur ihrer Wannenstruktur.

Der BCD5 realisiert den klassischen BCD Ansatz mit einer n-dotierten Epitaxieschicht auf einem p-dotiertem Substrat. Zwischen p-Substrat und n-Epitaxie werden hochdotierte vergrabene Schichten eingebracht, sogenannte Buried Layers. Dies entspricht den in Abbildung 15 dargestellten Verhältnissen.

Der Prozess BCD6 rückt erstmals von dieser Architektur ab und verwendet eine p-dotierte Epitaxie auf einem hochdotierten p-Substrat. Nachteil dieser Anordnung ist, dass die vergrabenen Schichten nicht mehr zur Isolierung und Parasitenunterdrückung zur Verfügung stehen. Vorteilhaft ist, dass die Grundplattform des Prozesses kompatibel zu einem normalen hochpackenden CMOS Prozess ist. Die tiefen n-dotierten Wannen für bipolare Elemente und DMOS Transistoren werden durch hochenergetische Implantationsschritte realisiert.

Eine wichtige Fragestellung, die im Rahmen des Projektes beantwortet wurde, ist der direkte Vergleich beider Technologien in Hinblick auf das Auftreten kritischer parasitärer Effekte. Hierzu wurden sowohl in BCD5 als auch in BCD6 Technologie spezielle Substratstrommonitore realisiert, deren Topologie einer H-Brücke als Leistungsschalter nachempfunden ist. Über große Substratkontakte und spezielle kleine Testschaltungen kann die Substratwirkung der großflächigen DMOS Stufen gemessen werden. Abbildung 16 zeigt ein Beispiel in BCD6 Technologie.

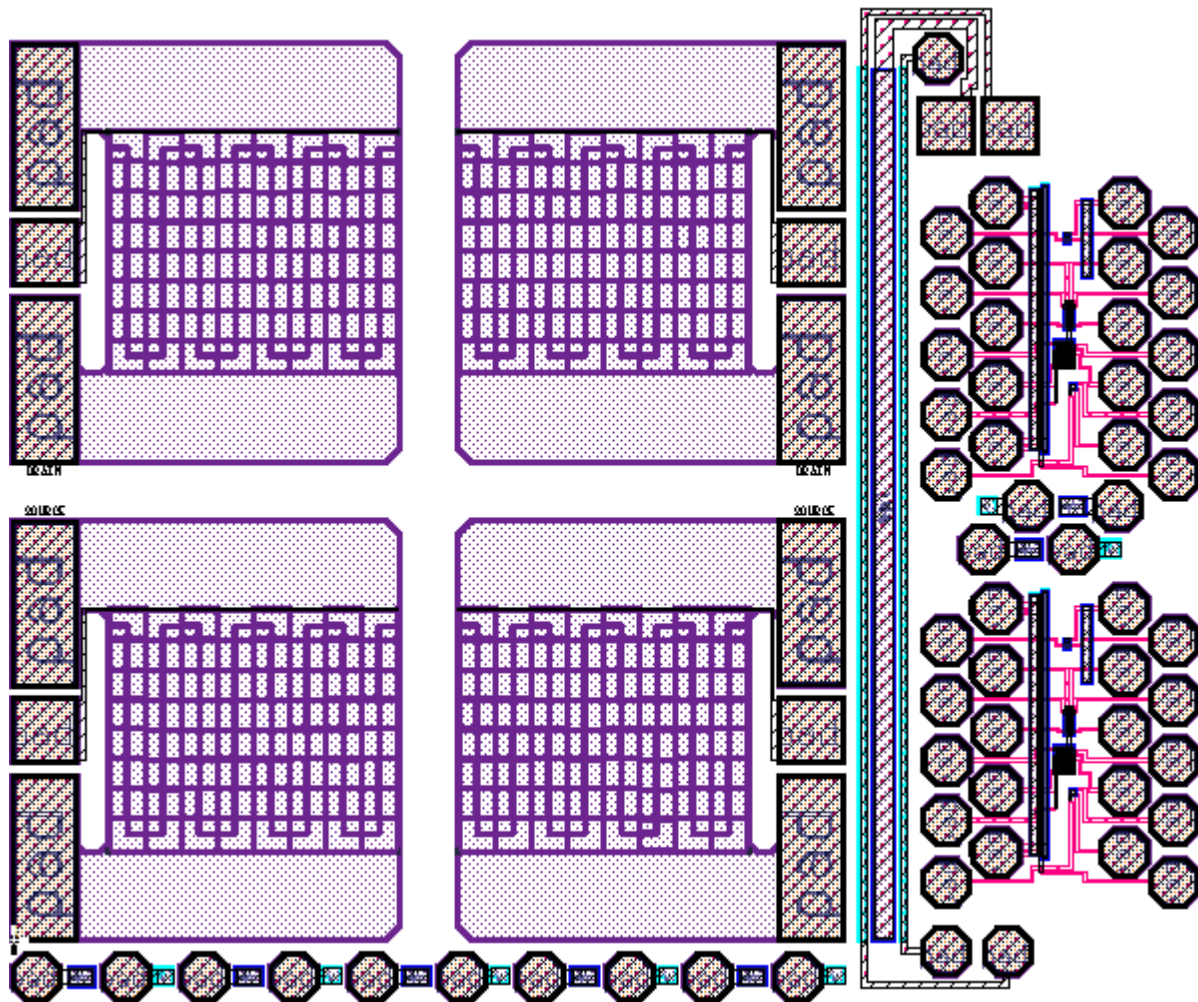


Abbildung 16: Layout eines Substratstrom Monitors in BCD6 Technologie

Im folgenden werden nun zunächst die Messungen am BCD5 dargestellt, anschließend folgen die BCD6 Messungen und dann ein vergleichendes Fazit.

Substrateffekte in BCD5 Technologie:

Die parasitären Eigenschaften des BCD5 Prozesses wurden an einer H-Brücken ähnlichen Konfiguration bestehend aus vier großen LDMOS Endstufen (ca. 0.5mm^2) untersucht. Die Stromeinprägung (Elektroneninjektion, daher Einprägung mit negativem Vorzeichen) erfolgte am Drain des n-Kanal LDMOS während Source und Gate nicht angeschlossen waren. Es sollte der laterale parasitäre NPN Transistor untersucht werden. D.h. die genannte Stromeinprägung entsprach einem Emitterstrom. Der räumlich nächst benachbarte Substratkontakt und die Rückseite des Wafers wurden auf Masse gelegt. Dies entspricht einer Basisspannung von null Volt. Eine benachbarte N-Wanne realisierte den Kollektor des Parasiten und war auf konstantem Potential von 5V gegen Masse. Aus dem gemessenen Kollektor- und Basisstrom ergibt sich die Stromverstärkung gemäß Abbildung 17.

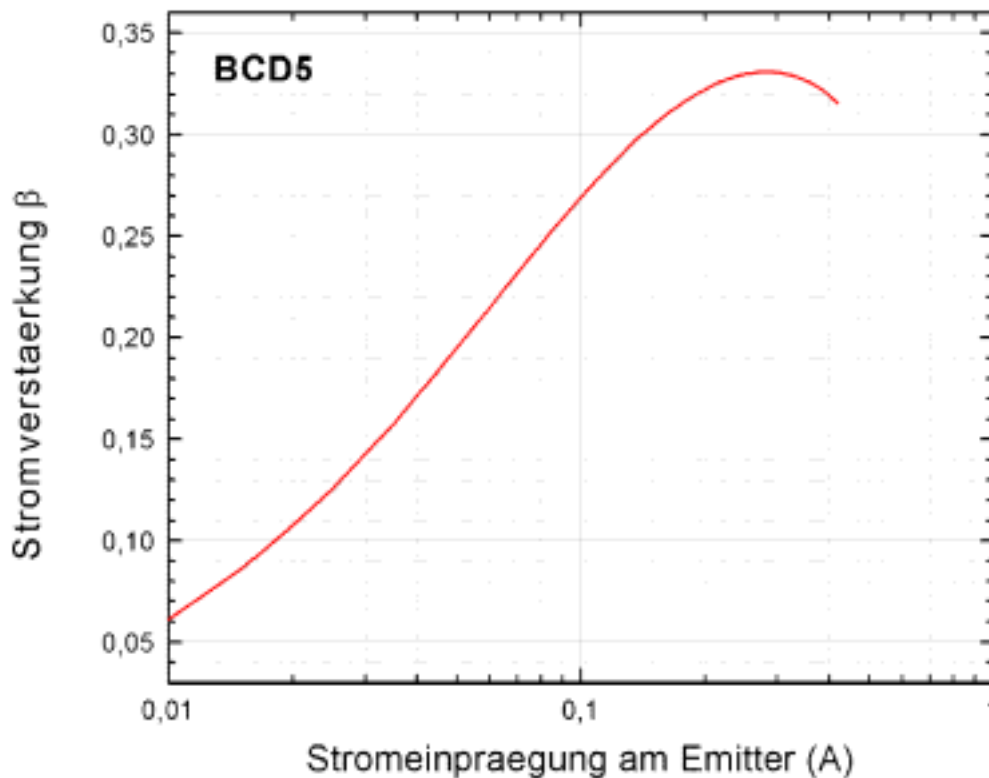


Abbildung 17: Stromverstärkung I_c/I_b des lateralen NPN Parasiten in BCD5 bei $T=25^\circ\text{C}$

Es ergibt sich in diesem speziellen Fall eine maximale Stromverstärkung von $\beta=0.33$ bei einer Stromeinprägung von 300mA. Zur weiteren Bewertung des Effektes wurde die Temperatur variiert und es wurden weitere n-Wannen als Kollektor in größerem Abstand verwendet.

Bei einer Temperatur von $T=150^{\circ}\text{C}$ war eine Abnahme der Verstärkung auf ca. 30% zu beobachten.

Mit größerem Abstand der Kollektor n-Wanne des Parasiten nimmt die Verstärkung ab. Es konnte gezeigt werden, dass auf 5V vorgespannte n-Wannen sehr effektiv als Abschirmung für weiter entfernte Wannen wirken. Als Teilkollektoren des parasitären NPN Transistors verhindern sie den Stromfluss in gemessene N-Wanne.

Ähnliche Untersuchungen wurden für den vertikalen parasitären PNP Transistor durchgeführt. In diesem Fall erfolgte die Untersuchung der parasitären Effekte durch Messung der Anhebung des Substratpotentials.

Substrateffekte in BCD6 Technologie:

Die im vorherigen Abschnitt beschriebenen Experimente wurden am BCD6 Prozess in analoger Weise wiederholt. Hierzu diente die in Abbildung 16 dargestellte symmetrische Anordnung von vier n-Kanal LDMOS Stufen mit geeigneten Monitoren.

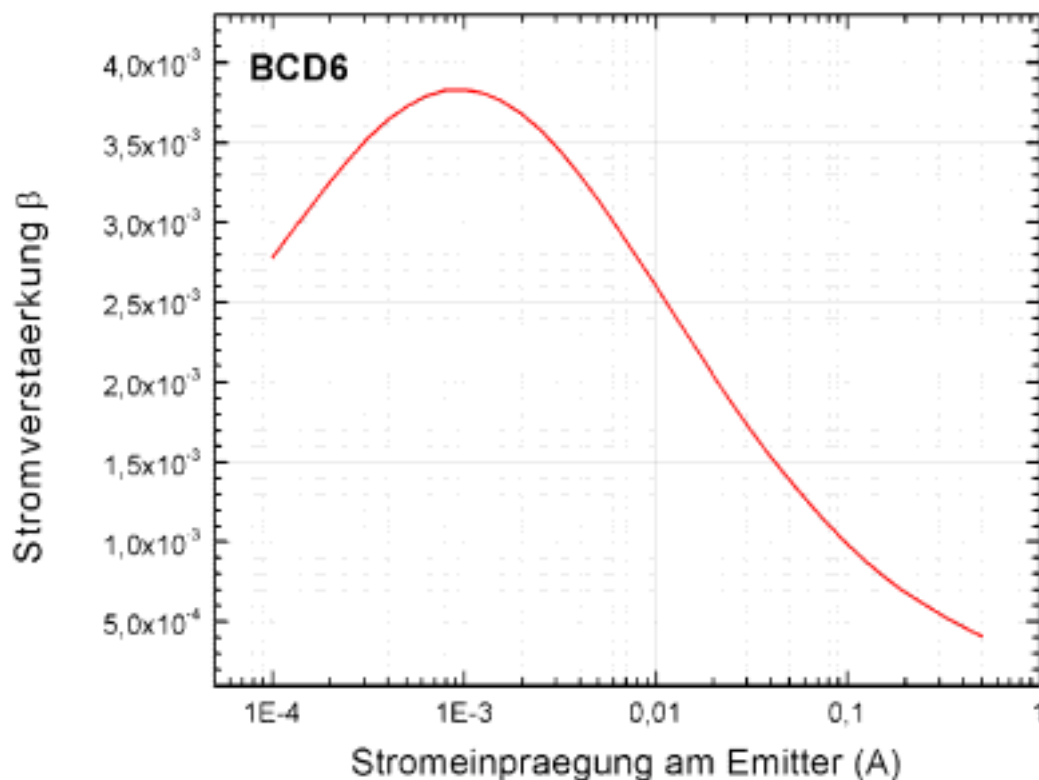


Abbildung 18: Stromverstärkung I_c/I_b des lateralen NPN Parasiten in BCD6 bei $T=25^{\circ}\text{C}$

Von besonderer Bedeutung war hier die Bewertung der zum BCD5 geänderten Prozessarchitektur. Der BCD6 besitzt nicht wie der BCD5 eine n-dotierte Epitaxie

sondern eine p-dotierte Epitaxie. Die Isolierung der einzelnen Leistungselemente im BCD6 erfolgt durch tiefe n-dotierte Wannen in der p-dotierten Epitaxie. Die Bewertung der Wirksamkeit der Substratparasiten muss daher hier völlig neu vorgenommen werden. Analogieschlüsse zum BCD5 Prozess sind nicht ohne weitere Untersuchungen möglich.

Die Ausführung der Messungen zum lateralen NPN Parasiten erfolgte völlig analog zu den im vorherigen Abschnitt beschriebenen BCD5 Messungen. Wieder wurde über die Drain Seite eines Leistungstransistors ein Emitterstrom injiziert. Die Basis des Transistors wird durch das p-dotierte Substrat gebildet.

Die experimentellen Ergebnisse zur Stromverstärkung des lateralen BCD6 Parasiten sind qualitativ ähnlich zum BCD5 Prozess (siehe Abbildung 18). Quantitativ wird das Maximum der Stromverstärkung aber bei deutlich kleineren Strömen erreicht, und die maximale Stromverstärkung ist um einen Faktor 80 geringer.

Bei erhöhter Temperatur wird die Stromverstärkung um ca. 10% geringer. D.h. die Temperaturabhängigkeit des Parasiten ist schwächer als im BCD5 Prozess.

Auch beim BCD6 Prozess konnte gezeigt werden, dass durch Abschirmwannen eine effektive Verringerung der Substratströme erreicht werden kann.

Die Analyse des vertikalen PNP Parasiten zeigt im BCD6 Prozess nur eine geringe Anhebung des Substratpotentials.

Vergleich und Fazit:

Die gemessenen Verstärkungen der parasitären Bipolar Transistoren in den neuen Smart Power Prozessen BCD5 und BCD6 sind hinreichend klein und durch geeignete Abschirmmaßnahmen beherrschbar. Im Vergleich zu älteren weniger leistungsfähigen BCD Prozessen tritt keine grundsätzliche Verschärfung des Parasitenproblems auf.

Die gewonnene Daten bilden die Voraussetzung, um im weiteren Einsatz dieser Prozesse für Automobilanwendungen die notwendige Entwurfssicherheit zu gewährleisten.

Es konnte gezeigt werden, dass das Abrücken von der klassischen BCD Architektur mit vergrabenen Implantationsschichten (Buried Layer) und einer n-dotierten Epitaxie (BCD5) hin zu einer CMOS kompatiblen p-dotierten Epitaxie (BCD6) ebenfalls kein erhöhtes Risiko birgt. Insbesondere das hochdotierte p-dotierte Basissubstrat des BCD6 Prozesses wirkt als effiziente Schutzmaßnahme zur Verminderung parasitärer bipolarer Effekte.

3.2.3. ESD Festigkeit

Der ESD Schutz von applikationsspezifischen integrierten Schaltungen für Automobil Steuergeräte gewinnt ständig an Bedeutung. Dies liegt nicht zuletzt daran, dass immer komplexere und hochintegrierendere Halbleiterprozesse mit kleineren Strukturgrößen und dünneren MOS Oxiden Verwendung finden. Um so wichtiger war die Untersuchung der in diesem Projekt neu entwickelten Prozesse auf ihre ESD Robustheit, und damit verbunden die Entwicklung geeigneter Schutzstrukturen.

Die Automobilhersteller reagieren auf das ESD Problem durch die Vereinbarung wohldefinierter Spezifikationen für die minimal verkraftbare Strombelastbarkeit im Falle eines ESD Schlages. Ein weit verbreitetes Modell zur Definition von ESD Spezifikationen ist das „Human Body Modell“ (HBM). Hier wird die ungewollte Entladung beim manuellen Umgang mit einem verpackten IC durch eine Entladung einer 100pF Kapazität über einen 1.5 k Ω Widerstand beschrieben, wie in Abbildung 19 dargestellt wird. Eine Entladung von 2KV Spannung entspricht somit einer Stromeinprägung von ca. 1.3A auf einer Zeitskala von ca. 100ns

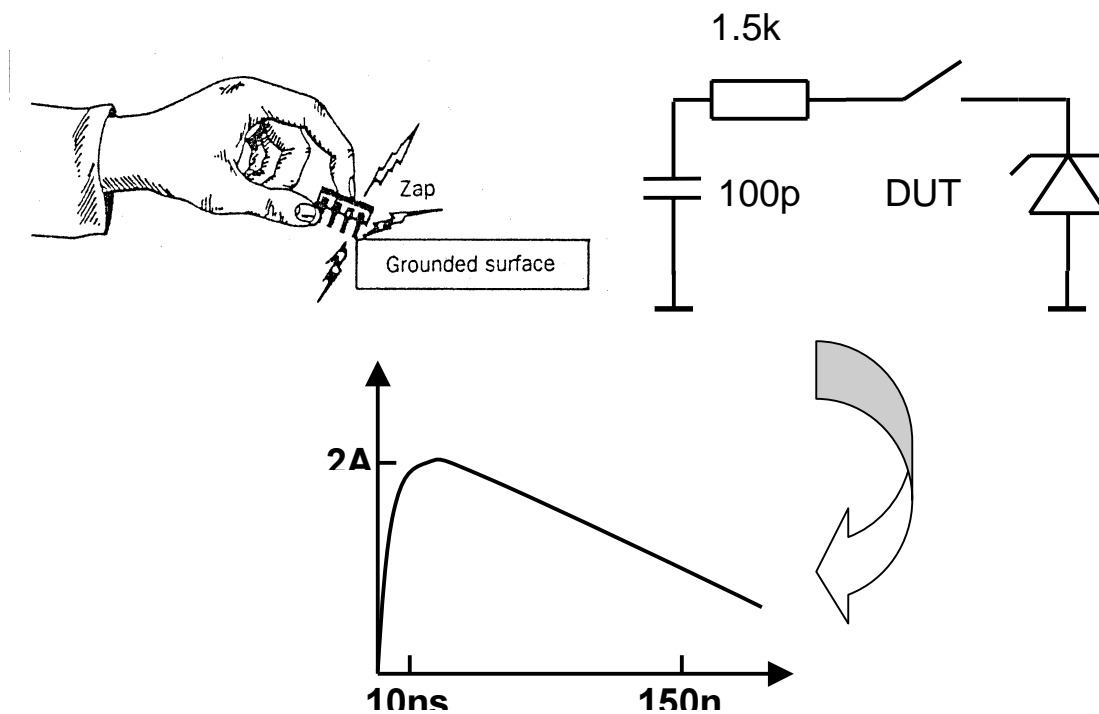


Abbildung 19: HBM (Human Body Model) Entlademodell

Experimentell wird die ESD Festigkeit eines ICs durch einen Tester geprüft, mit dem die Stromeinprägung zwischen zwei Eingängen bzw. Ausgängen stufenweise erhöht werden kann. Nach jeder Belastung erfolgt eine Fehleranalyse bis eine Fehlfunktion der Schaltung nachgewiesen werden kann. Sofern die Fehlfunktion bereits unterhalb der spezifizierten ESD Festigkeit auftritt, ist der ESD Schutz zwischen den beiden betrachteten Pins nicht genügend groß dimensioniert oder er zeigt ein technologiebedingtes problematisches Verhalten. Häufig bringen hier erst Dekorationsanalysen eine abschließende Klärung.

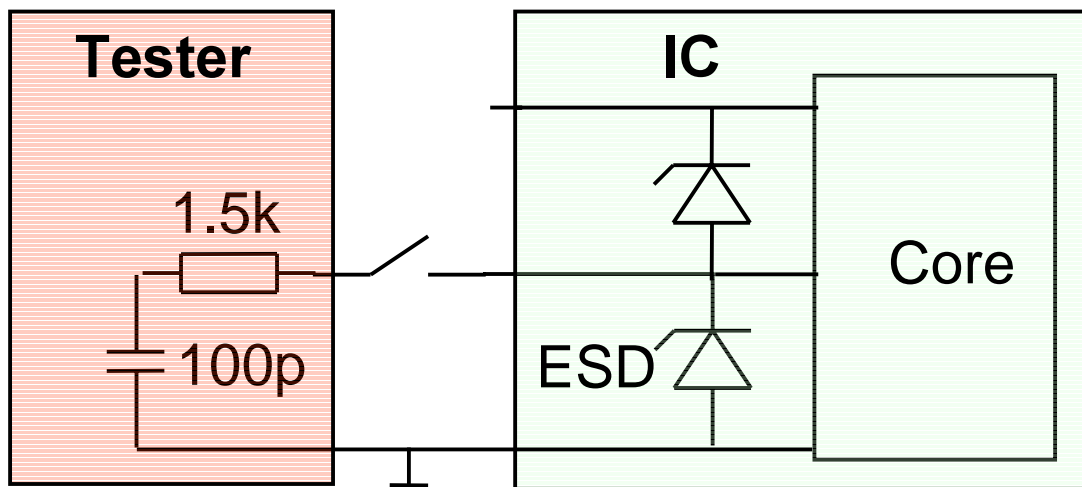


Abbildung 20: Prinzipieller Aufbau eines ESD Tests

Der ESD Schutz wird in der Regel durch ein geeignetes Halbleiterbauelement realisiert, das dem zu schützenden Eingängen parallel geschaltet wird. Während des normalen störungsfreien Betriebs der Schaltung sollte das ESD Element ideal sperren, das heißt es sollte auf die Funktion der Schaltung keinen Einfluss nehmen. Bei Auftreten eines ESD Pulses muss das Schutzelement innerhalb einer kurzen Ansprechzeit öffnen und den Strom ohne Eigenschädigung ableiten.

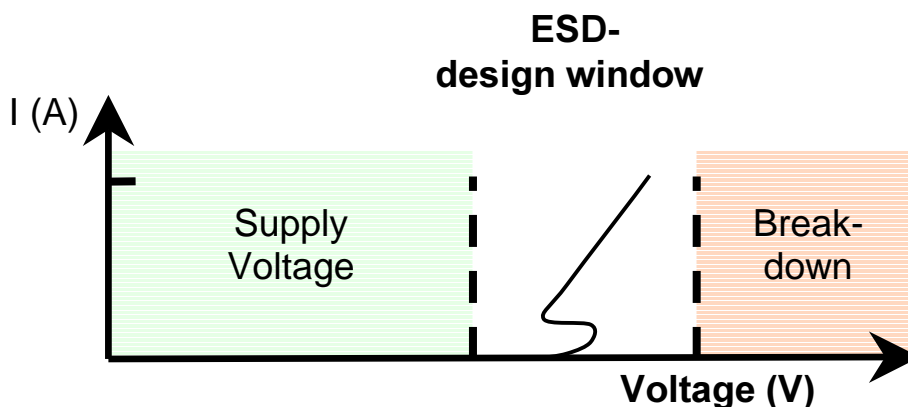


Abbildung 21: Das Arbeitsfenster eines ESD Schutzes

Aus diesen Randbedingungen ergibt sich die Herausforderung bei der Realisierung des Schutzelementes insbesondere für die Hochspannungseingänge einer BCD Schaltung. Die aktive Schutzwirkung des ESD Elementes muss in einem relativ kleinen Fenster zwischen der maximalen Arbeitsspannung der Schaltung und der vom Prozess vorgegeben Durchbruchspannung des Elements greifen. Die beiden zu bewertenden Prozesse BCD5 und BCD6 sind 40V Prozesse. Der ESD Schutz der 40V Ein- und Ausgänge der Schaltungen wurde durch Hochvolt DMOS und PMOS Leistungselemente realisiert. Diese mussten mit Hilfe einer geeigneten

Spannungsklammerung im beschriebenen Spannungsfenster stabil arbeiten, wobei ihre Durchbruchspannung selbst nicht wesentlich über 40V lag. In den folgenden beiden Abschnitten wird beschrieben, wie die genannten Probleme für die neuen Prozesse bewertet und gelöst wurden.

Als wichtiges Messverfahren, zusätzlich zu dem schon beschriebenen zerstörenden HBM Test, wurden Hochstromexperimente mit einem sogenannten Transmission Line Pulser (TLP) durchgeführt. Mit diesem Verfahren können Hochstromkennlinien eines Bauelementes aufgenommen werden, ohne die sonst im Allgemeinen auftretende Eigenerwärmung bzw. thermische Zerstörung. Die Strom – Spannungscharakteristik wird durch Anregung mit sehr kurzen Pulsen (10 - 100ns) aufgezeichnet. Insbesondere das Auftreten parasitärer bipolarer Effekte kann damit genauer verstanden werden als in herkömmlichen zerstörenden Tests. Die notwendigen Experimente wurden vom Fraunhofer Institut IZM (München) als Subkontraktor der Robert Bosch GmbH durchgeführt.

ESD Festigkeit in der BCD5 Technologie

Zur Realisierung des Hochvoltschutzes (40V) des BCD5 Prozesses kamen grundsätzlich zwei Bauelemente in Frage. Der laterale Hochvolt DMOS Transistor (als P-Kanal und N-Kanal verfügbar) und der Hochvolt P-Kanal Transistor. Zur Untersuchung dieser Alternativen wurde eine Reihe von Teststrukturen realisiert, die wie in Abbildung 22 dargestellt, aus einer kleinen Schaltung mit einem vorgeschalteten ESD Schutz bestanden.

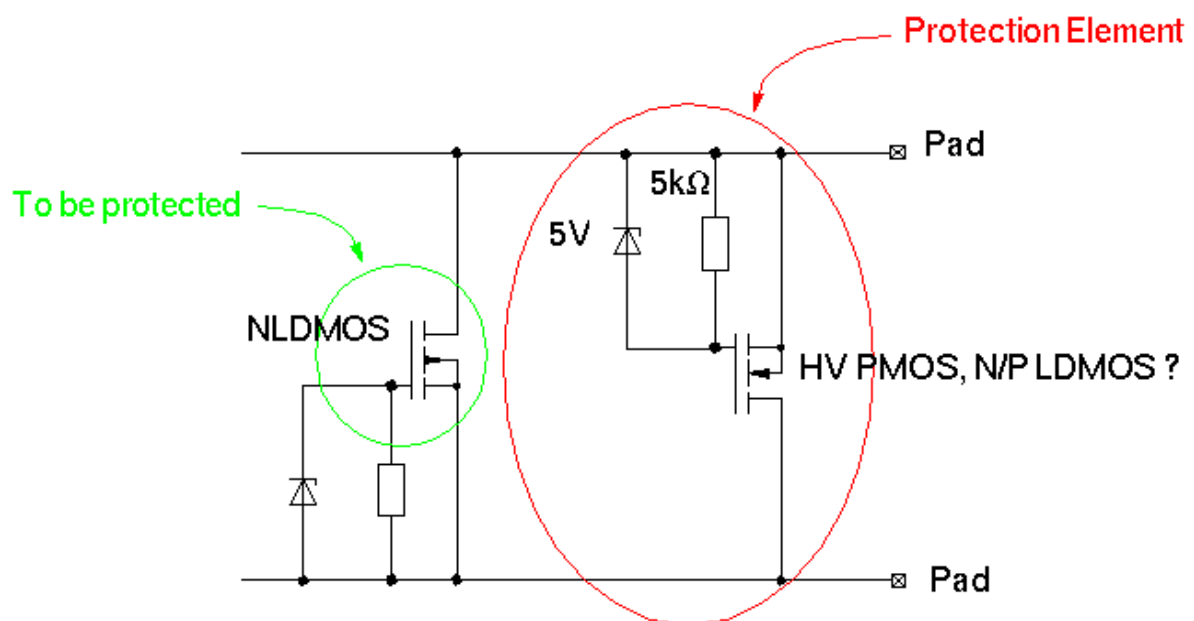


Abbildung 22: Schematischer Schaltungsentwurf zur ESD Klammerung

In Abbildung 23 ist das Layout eines solchen Testmoduls dargestellt. Die einzelnen Schaltungen wurden mehrfach unter Variation der Fläche des ESD Schutztransistors ausgeführt. Damit war es möglich neben der grundsätzlichen Funktion auch die Flächenskalierung des Schutzes zu bestimmen. ESD Schutzelemente sollen aus

Kostengründen möglichst flächeneffektiv sein. Zur Dimensionierung der Bauelementfläche ist eine lineare Skalierung der Stromtragfähigkeit wünschenswert.

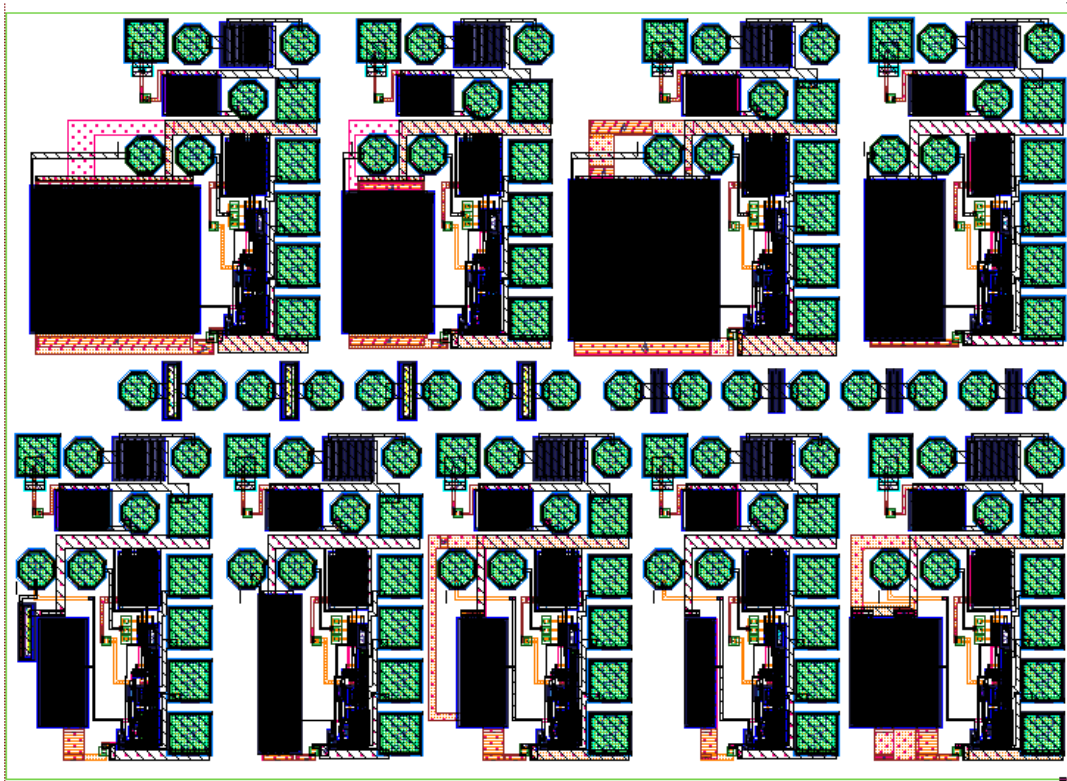


Abbildung 23: ESD Testschaltungen in BCD5 Technologie

Die Analyse der drei genannten Bauelementtypen im BCD5 Prozess lieferte folgende Erkenntnisse:

- Der Hochvolt PMOS Transistor:
Dieser Transistortyp war prinzipiell zur Realisierung der ESD Klammerung bei 40V Betriebsspannung geeignet. Eine Human Body Festigkeit von deutlich mehr als 2kV konnte ohne Weiteres erreicht werden. Wegen der besseren Stromtragfähigkeit sind aber in jedem Fall LDMOS Transistoren vorzuziehen.
- Der Hochvolt Lateral P-Kanal DMOS Transistor:
Der P-Kanal LDMOS zeichnete sich durch ein sehr robustes ESD Verhalten aus. Die Stromtragfähigkeit pro Fläche skalierte absolut linear. Parasitäre Effekte, die den Einsatz beschränken, konnten nicht entdeckt werden. Das Bauelement konnte bereits nach der ersten Realisierung als Teststruktur ohne Einschränkungen als ESD Schutz Komponente freigegeben werden.
- Der Hochvolt Lateral N-Kanal DMOS Transistor:
Der N-Kanal LDMOS besitzt zwar grundsätzlich wegen seiner höheren Ladungsträgerbeweglichkeit eine bessere Stromtragfähigkeit als der P-Kanal LDMOS. Hier waren aber zusätzliche Entwicklungsschritte in der Bauelement

Architektur notwendig, um ein parasitäres Verhalten zu beseitigen, das gerade wegen der erhöhten Ladungsträgerbeweglichkeit auftritt. Es handelt sich um den in Abbildung 24 dargestellten Snap-Back Effekt. Bei hohen Spannungen bzw. Feldstärken induziert der am Drain des LDMOS entstehende Avalanche-Strom durch den Spannungsabfall am P-Well Serienwiderstand einen Basis-Emitter-Strom für den parasitären NPN Transistor der Anordnung. Wird dieser parasitäre Transistor aufgesteuert, so eröffnet sich dadurch ein neuer Strompfad. Die Gesamtanordnung kann einen größeren Strom bei kleinerer äußerer Spannung tragen. Dies äußert sich durch einen abrupten Sprung (Snap-Back) in der Ausgangskennlinie des LDMOS Transistors.

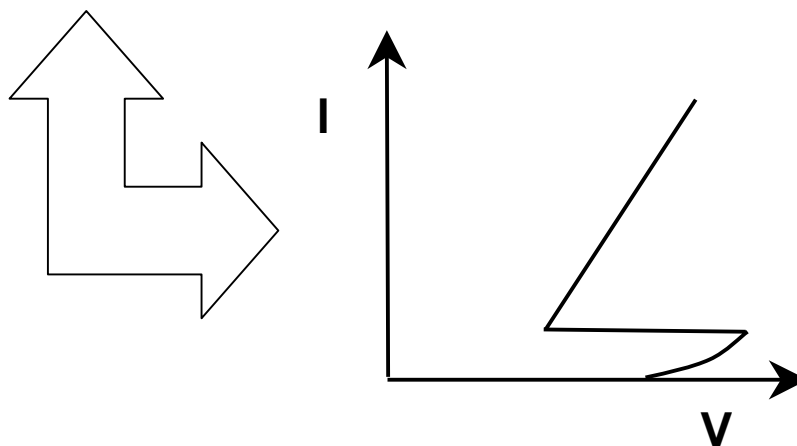
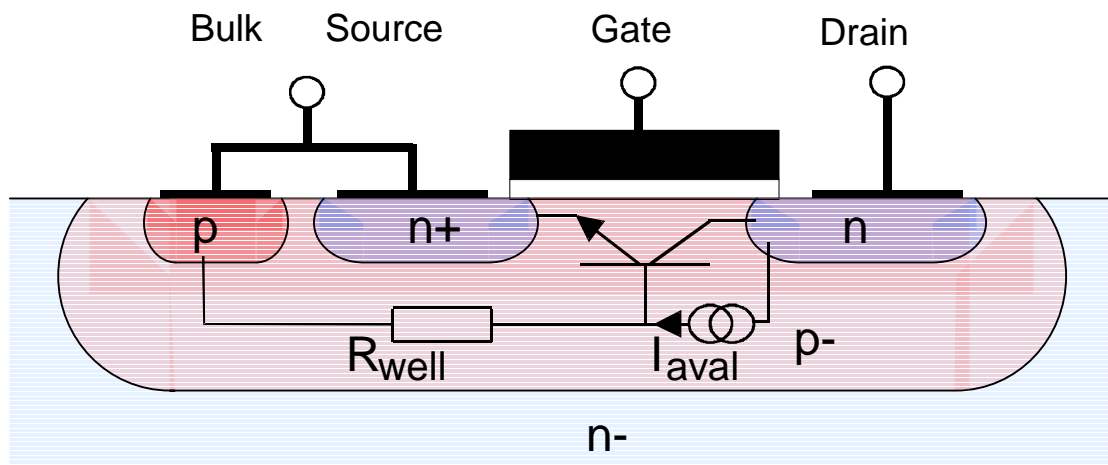


Abbildung 24: Schematische Darstellung des Snap-Back Effektes an einem n-Kanal MOS Transistor

Der beschriebene Effekt ist im Hinblick auf ESD Anwendungen problematisch, weil das Triggern des Snap-Back inhomogen erfolgen kann. Das bedeutet, dass einzelne Zellen des DMOS Transistors bereits in den parasitären Betriebsmodus übergehen und eine größere Stromtragfähigkeit besitzen, während andere noch normal funktionieren. In diesem Fall führt der inhomogene Stromfluss zu einer Zerstörung des Bauelementes. Eine Flächenschätzung für den ESD Strom auf Grund einer Skalierungsregel ist nicht möglich, und der Einsatz ist insgesamt riskant.

Diese Problem wurde in einer sehr konstruktiven Kooperation von Robert Bosch und ST Microelectronics gelöst. Die Charakteristik des Bauelementes wurde in einer Reihe von Messungen bei Bosch unter Einbeziehung des Subkontraktors FhG analysiert. Basierend auf diesen Ergebnissen verbesserte ST die Architektur des Bauelements. Dazu war eine Modifikation des Dotierungsprofils im Drain Gebiet des Transistors notwendig, um den hohen Avalanche Strom zu korrigieren.

Als Ergebnis der Modifikation des Bauelementes wurde im gesamten Betriebsbereich kein Snap-Back mehr beobachtet. Das Bauelement ist damit im vollen Umfang als flächeneffektiver ESD Schutz einsetzbar.

ESD Festigkeit in der BCD6 Technologie

Im Prozess BCD6 wurde von Beginn an nur der laterale N-Kanal DMOS Transistor als ESD Schutzelement mit ausreichender Stromtragfähigkeit und Flächeneffizienz untersucht.

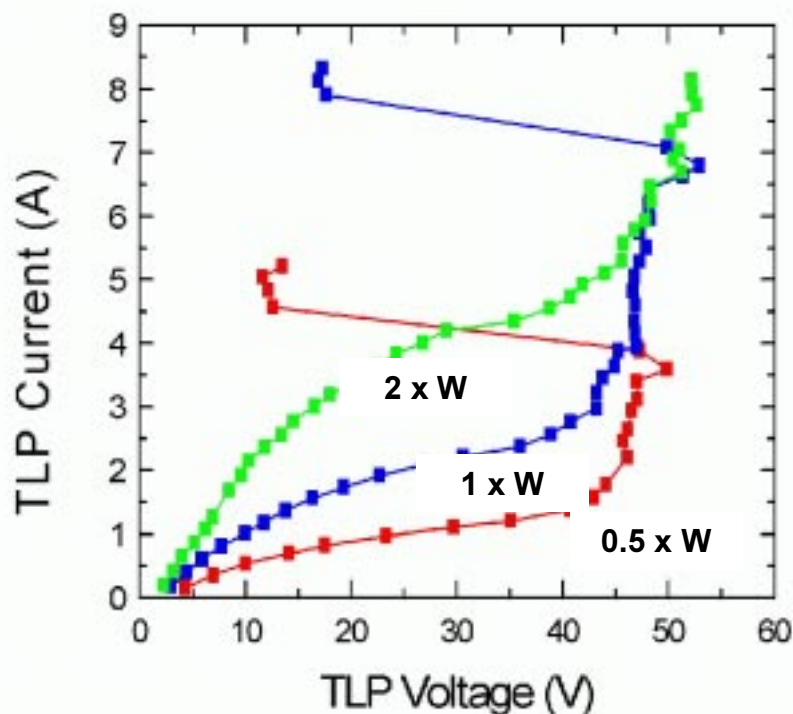


Abbildung 25: TLP Messungen am BCD6 LDMOS verschiedener Weite

Die im Prozess BCD5 gewonnenen Erfahrungen bezüglich der Vermeidung unerwünschter Parasiten konnten bei der Entwicklung der BCD6 Bauelement Architektur direkt verwendet werden. Abbildung 25 zeigt TLP Messungen der Ausgangscharakteristik des LDMOS in verschiedenen Transistorweiten (W1 : 50% zu W2 : 100% zu W3 : 200% Weite). Der Transistor wird kapazitiv durch den TLP Puls

aufgesteuert und wird bei ca. 45V durch eine Diodenkette geklammert. Beim größten Transistor konnte selbst bei $I=8A$ keine Zerstörung erreicht werden. Ein bipolarer Parasit ist nicht vorhanden, der Snap-Back Effekt tritt nicht auf.

Die Stromtragfähigkeit skaliert in sehr guter Näherung linear über der Bauelementfläche. HBM Festigkeiten von 7.5kV bei 40V Betriebsspannung können ohne Weitere erreicht werden (siehe blaue Kurve in Abbildung 25)

Im Vergleich zum BCD5 Prozess weist der BCD6 Prozess in keiner Hinsicht ein problematischeres ESD Verhalten auf, obwohl die Strukturgrößen noch einmal deutlich reduziert sind. Auch das geänderte Substratkonzept (n-dotierte Epitaxie mit Buried Layer in BCD5 gegenüber p-dotierter Epitaxie in BCD6) hat sich als unproblematisch zur Realisierung von Hochvolt ESD Klammern erwiesen.

Es kann das Fazit gezogen werden, das die beiden neuen Smart Power Prozesse den Anforderungen der ESD Sicherheit von Automobil ASICs im vollen Umfang genügen.

3.3. Aufbau Know-How nichtflüchtige Speicher

Die Fähigkeit nicht-flüchtige Speicher in ASIC Entwicklungen einzubeziehen, stellt einen wichtigen Wettbewerbsfaktor dar. Die Robert Bosch GmbH konnte hier auf drei wichtigen technischen Feldern aus dem Verbundvorhaben profitieren. Erstens wurde intensiv an der Optimierung der Herstellung dünner Oxide in der Robert Bosch Halbleiterfertigung gearbeitet. Zum zweiten wurde die Methodik zur Freigabe von eingebetteten Speichern erarbeitet. Drittens wurde die Verfügbarkeit von Speichermodulen in den Entwurfsbibliotheken bei Robert Bosch methodisch abgesichert. Diese Arbeiten wurden in enger Kooperation mit ST Microelectronics durchgeführt.

3.3.1. Optimierung der Qualität dünner Oxide

Leistungsfähigkeit und Zuverlässigkeit von EEPROM Zellen sind wesentlich durch die Qualität der Tunneloxide bestimmt. Schwächen in diesen Schichten können Datenverluste oder sogar den totalen Ausfall von Speicherzellen verursachen. Bisher konnten diese Eigenschaften nur am fertigen Produkt durch aufwendige und langwierige elektrische Messungen vor und nach Stressbeanspruchungen geprüft werden. Ein wesentliches Ziel in diesem Arbeitspaket war es daher, den Zusammenhang zwischen diesen elektrischen Eigenschaften und solchen physikalischen Kenngrößen der Oxidschichten zu untersuchen, die direkt im Prozess bestimmt werden können.

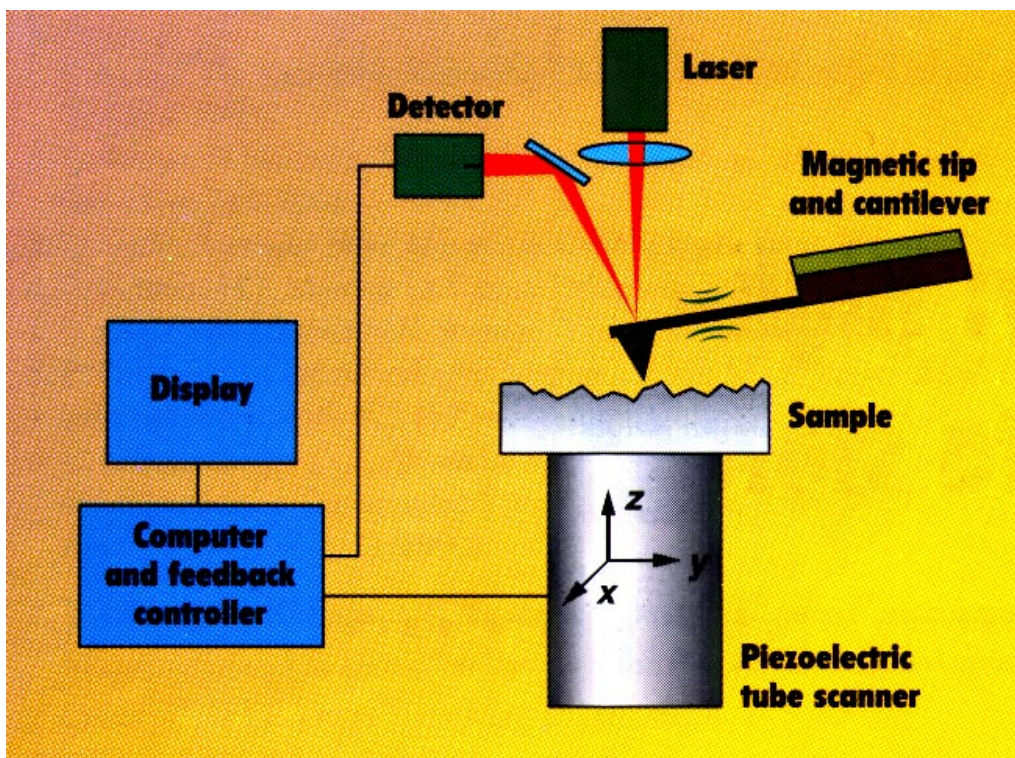


Abbildung 26: Schematische Darstellung eines Atomic Force Microscope

Entscheidende Parameter sind die Rauigkeit der Oxidgrenzfläche und die genaue Topografie der Gateoxid/Feldoxidkante an MOS Teststrukturen. Die Messungen wurden mit einem Atomic Force Microscope (AFM) von Digital Instruments (Dimension 3100) durchgeführt.

Das AFM rastert die Probenoberfläche mit einer extrem feinen Spitze ab, deren Auslenkung mit einem Laserstrahl abgetastet und ausgewertet wird. Ein empfindlicher Regelkreis kontrolliert dabei den Abstand der Spitze zur Oberfläche und führt die Spitze so den Oberflächenstrukturen präzise nach.

Abb. 27 und 28 zeigen typische 3D Bilder einer Oberfläche vor bzw. nach dem Oxidationsprozess.

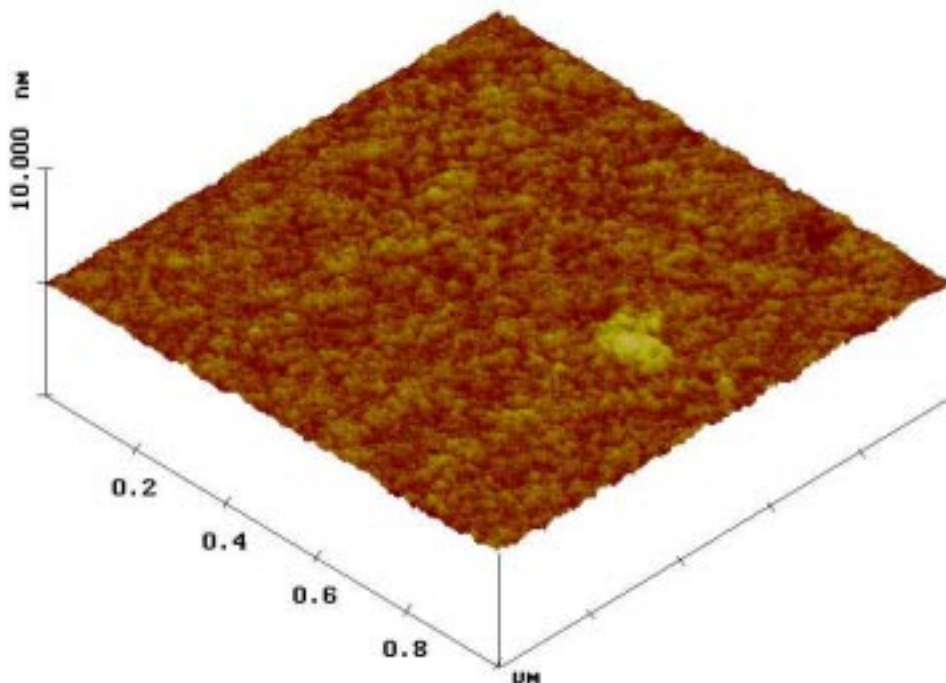


Abbildung 27: Substratoberfläche vor Oxidation

Die genaue und reproduzierbare Vermessung solcher extrem glatter Oberflächen mit Sub-nm Rauigkeiten liegt im Grenzbereich des Messbaren. Daher mussten zunächst alle möglichen Einflussparameter und Störgrößen genau untersucht werden. Auf der Basis dieser Erkenntnisse konnten dann entsprechende Verfahren zur Charakterisierung der Schichten abgeleitet werden.

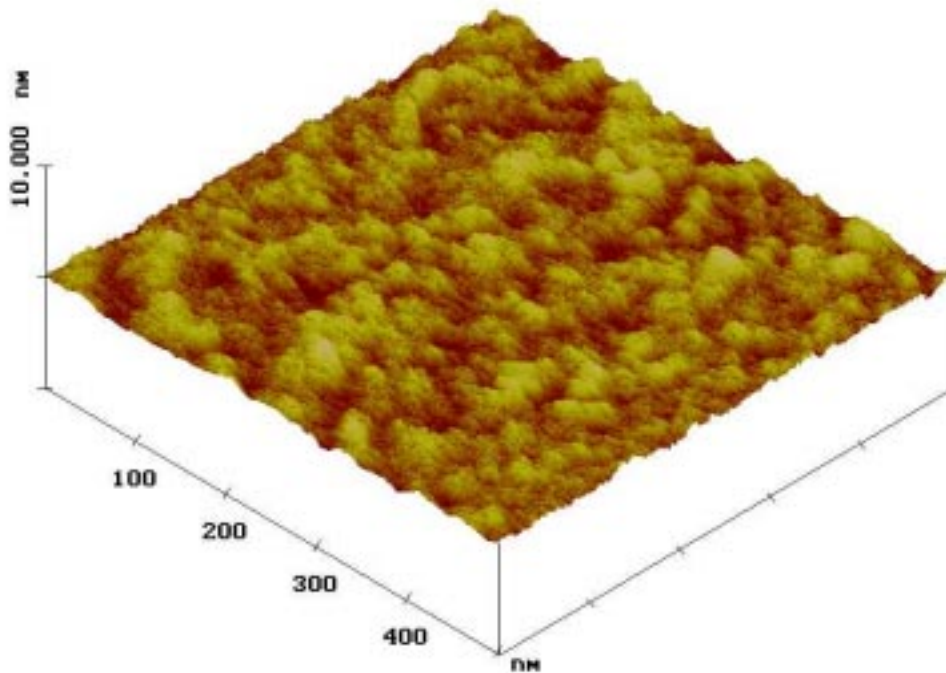


Abbildung 28: Oberfläche der Oxidschicht

Kalibrierung

Mit einem standardisierten Kalibrierverfahren wurden die Geräteeinstellungen regelmäßig überprüft und anhand eines Standards abgeglichen.

Regelparameter

Nur ein optimal eingestellter Regelkreis gewährleistet ein fehlerfreies Abtasten der Probenoberfläche durch die Messspitze. Die entscheidenden Regelparameter (integral gain, proportional gain, amplitude setpoint) müssen dabei für jede einzelne Messung optimiert werden. Durch systematische Variation der Regelparameter und anschließendes Auswerten der Messergebnisse konnte ein Verfahren zur gezielten Optimierung der Regelparameter gefunden werden.

Gerätegrundeinstellungen

Bei einer ganzen Reihe weiterer Geräteeinstellungen (Messmodus, Scan Bereich, Auflösung, usw.) konnten ebenfalls Einflüsse auf das Messergebnis festgelegt werden. Es konnte jedoch eine Parametersatz gefunden werden, der für alle Anwendungen ein optimales Abtasten der Oberfläche erlaubt. Eine Optimierung für jede Einzelmessung ist daher nicht notwendig, sondern dieser Parametersatz wird als Standard für alle Messungen verwendet.

Datennachbearbeitung

Aufgrund der intrinsischen Eigenschaften des Piezoantriebs der Messspitze entstehen bei der Aufnahme der Rohdaten systematische Messartefakte. Sie müssen nach Abschluss der Datenerfassung durch eine numerische Korrektur beseitigt werden. Hierfür wurde ein standardisiertes Verfahren entwickelt, welches entstandene Fehler korrigiert ohne die Daten zu verfälschen.

Messspitzen

Die genaue Abbildung der Oberfläche, also letztlich das Auflösungsvermögen, hängt wesentlich von der Qualität (Form und Stabilität) der Messspitze ab. Erstrebenswert ist offensichtlich eine Spitze mit möglichst kleinem Spitzenradius. Andererseits führen gerade bei feinen Spitzen verschleißbedingte Abnutzungen sehr schnell zu erheblichen Veränderungen der Bildqualität. Stabile Verhältnisse sind aber Voraussetzung für die Reproduzierbarkeit von Messergebnissen und damit für die Vergleichbarkeit von Messungen an verschiedenen Proben. Für die hier beschriebene Messanforderungen musste ein geeigneter Kompromiss zwischen Auflösungsvermögen und Verschleißfestigkeit gefunden werden.

Die Charakterisierung der Spitzenform erfolgte auf zweierlei Arten. Zum Einen durch Abtasten einer Oberfläche mit möglichst spitzen Strukturen. Zum anderen durch eine numerische Kalkulation der Messspitzenform aus Messdaten von einer statistisch rauen Oberfläche. Die Degradation der Spitzen konnte z.T. direkt bei der Bildaufnahme der zu untersuchenden Oberflächen beobachtet werden. Zusätzlich wurden die Spitzen vor und nach den Messungen mit den oben beschriebenen Methoden charakterisiert. Dabei ist immer zu beachten, dass die gemessenen Daten eine Faltung der Oberflächentopografie und der Spitzenform darstellen. Eine absolute Bewertung der Spitze wäre also nur dann möglich, wenn die Strukturen der Testoberfläche steiler bzw. spitzer als die Messspitzen sind. Aus den Messungen lässt sich aber prinzipiell nicht ableiten, ob Flankensteilheiten bzw. Krümmungsradien durch die vorkommenden Oberflächenstrukturen oder durch die Messspitze limitiert sind.

Für unsere Anwendung genügt aber eine vergleichende Methode, mit der verschiedene Spitzen untereinander bzw. die Spitzen vor und nach verschleißbedingter Abnutzung verglichen werden können. Die Auswertung der Ergebnisse hat gezeigt, dass mit Standard Si-Spitzen ein guter Kompromiss zwischen bildlichem Auflösungsvermögen und Abnutzungsfestigkeit zu erreichen ist.

Fazit der Untersuchungen

Als Resultat der oben beschriebenen technischen Detailarbeiten verfügt Robert Bosch über die Möglichkeit, mit einem schnellen Verfahren die Rauigkeit dünner Oxide im Prozess zu messen und zu optimieren. Dies ist notwendig, um dem in der Qualitätsfreigabe von Speichern und Digitalentwürfen entstehenden Kostendruck durch aufwendige elektrische Messverfahren mit gezieltem Bauelemente Stress (Stichwort: Burn In Freigabe) zu begegnen.

3.3.2. Optimierung der Qualifizierungsmethodik EEPROM

Aufgabe war die Bestimmung der Einflüsse von Programmierparametern auf Programmierfähigkeit, Programmiergüte und Datenhaltung – somit auf die grundlegenden Charakteristika eines nichtflüchtigen Speichers, die maßgeblich durch die Tunneloxidqualität bestimmt sind (siehe Abschnitt 3.3.1). Ein Maß für die Güte der genannten Charakteristika ist die Schwellspannung der individuellen Speicherzelle (V_{th}).

Grundlagen:

Die EEPROM Zelle wurde in Floating-Gate Technologie in einer bei Robert Bosch verfügbaren BCD Technologie dargestellt. In dieser Technologie werden durch hohe Programmierspannungen Elektronen auf ein durch Oxid isoliertes Polysilizium geladen, das durch Umkehr der Spannungsverhältnisse wieder entladen werden kann. Je nach Zustand der Ladung (Anzahl der Elektronen) auf dem Floating Gate wird der darunter liegende Transistor analog angesteuert, die Auswerteschaltung gibt eine digitale ‚1‘ oder ‚0‘ auf den Daten-Ausgang.

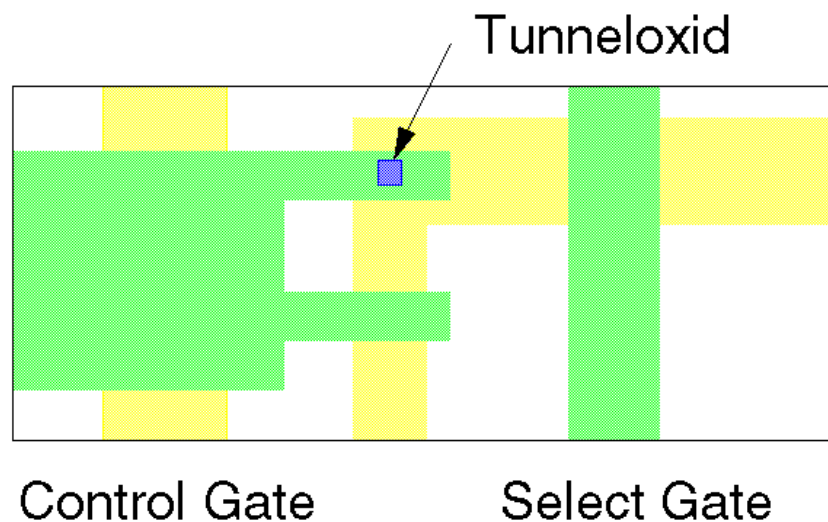


Abbildung 29: Prinzipieller Aufbau eines EEPROM Layouts

Um diese Zelle untersuchen zu können, wurde ein Array entworfen, das 1kb EEPROM Zellen enthält und mit den notwendigen Adressierungs-, Schreib- und Leseschaltungen versehen ist. Bei der Entwicklung des Testblocks wurde besonderer Wert auf die Testmodi gelegt, um bei den Untersuchungen an den Speicherzellen möglichst viele Freiheitsgrade offen zu haben. Das grundsätzliche Schaltungskonzept wurde von einem durch ST Microelectronics zur Verfügung gestellten BCD5 Entwurf adaptiert.

Zum einfachen Durchführen von Schreib-/Löschzyklen wurde ein Blockschreibmode entwickelt. Die Schwellspannung der Speicherzelle ist zwischen +5 V und -0.3 V

auslesbar. Zur variablen Ausführung der Zellprogrammierung können beim Programmierimpuls jeweils die Flankensteilheit, die Pulsdauer und die Pulshöhe frei gewählt werden. Das Blockdiagramm des Testblocks ist in Abbildung 30 zu sehen.

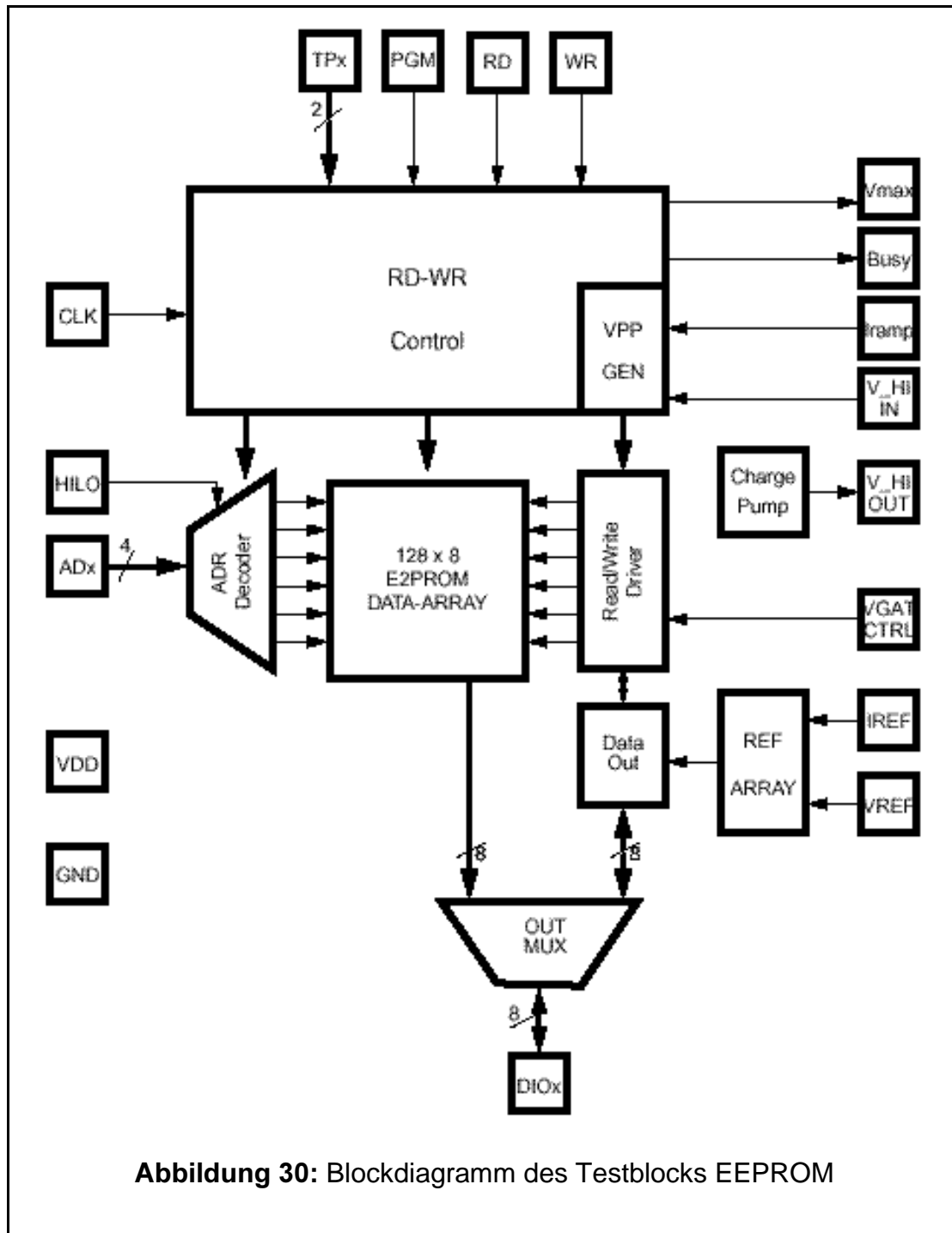


Abbildung 30: Blockdiagramm des Testblocks EEPROM

Testablauf:

Zur Bestimmung der unterschiedlichen Einflüsse wurde eine Erprobungsmatrix erstellt, in der die

- Betriebstemperatur (T_{junction})
- Steilheit der Programmierrampe (I_{RAMP})
- Höhe der Programmierspannung (V_{pp})
- Länge des Programmierpulses (f_{CLK})
-

bei der Programmierung der Speicherzelle Berücksichtigung finden. Jede Speicherzelle wurde hierbei mit 10 Schreib-/Löschzyklen beaufschlagt. Bei der anschließenden Datenhaltung wurde der Einfluss der Lagertemperatur (T_{storage}) variiert, um Lebensdauerbetrachtungen der gestressten Speicherzelle (10 Schreib/Löschzyklen) zu ermöglichen.

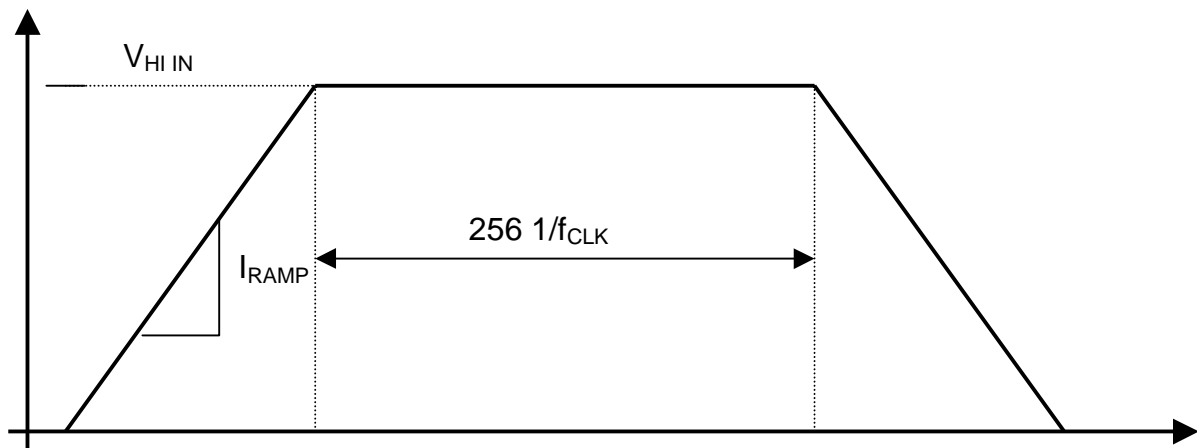


Abbildung 31: Parameter des Programmierpulses

Für die Untersuchung standen zwei 6-Zoll Testwafer zur Verfügung, ein weiterer (Wafer #1) wurde zur Entwicklung und Verifikation des Testprogramms sowie der Einstellparameter für den automatischen Testablauf mit dem Waferprober benötigt. Je Wafer sind 64 Testchips vorhanden, je Testchip 128 Byte verfügbar; somit wurden insgesamt 131072 Speicherzellen getestet.

Erprobungsmatrix Wafer #2

Testgruppe	Anzahl Test-Chips	T_{junction} *1)	I_{RAMP} *2)	V_{pp} *2)	f_{CLK} *2)	T_{storage} *3)
2.1	8	35°C	100µs	18,5V	100kHz	200°C
2.2	8	35°C	10µs	18,5V	100kHz	200°C
2.3	8	35°C	1000µs	18,5V	100kHz	200°C

2.4	8	35°C	100µs	17,0V	100kHz	200°C
2.5	8	35°C	100µs	20,0V	100kHz	200°C
2.6	8	85°C	100µs	18,5V	100kHz	200°C
2.7	8	125°C	100µs	18,5V	100kHz	200°C
2.8	8	150°C	100µs	18,5V	100kHz	200°C

Erprobungsmatrix Wafer #3

Testgruppe	Anzahl Test-Chips	T _{junction} *1)	I _{RAMP} *2)	V _{pp} *2)	f _{CLK} *2)	T _{storage} *3)
3.1	8	35°C	100µs	18,5V	50kHz	50°C
3.2	8	35°C	10µs	18,5V	50kHz	50°C
3.3	8	35°C	1000µs	18,5V	50kHz	50°C
3.4	8	35°C	100µs	17,0V	50kHz	50°C
3.5	8	35°C	100µs	20,0V	50kHz	50°C
3.6	8	85°C	100µs	18,5V	50kHz	50°C
3.7	8	125°C	100µs	18,5V	50kHz	50°C
3.8	8	150°C	100µs	18,5V	50kHz	50°C

*1) Temperierung erfolgt durch den Waferprober

*2) Generierung durch Digitaltester hp82000

*3) Temperierung erfolgt durch Waferprober bzw. Hochtemperaturofen

Aus dieser Erprobungsmatrix wurde folgender Testablauf generiert:

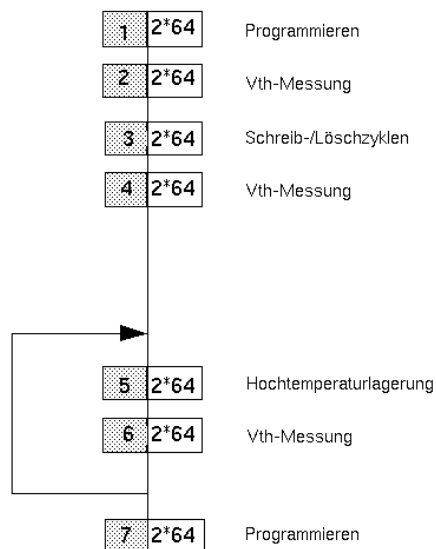


Abbildung 32: Schematischer Testablauf

Erläuterungen zum Testablauf:

Test Step 1:

Programmierung der EEPROM-Zellen unter Nominal-Bedingungen. T_{Junction} wurde mit 35°C so gewählt, dass die Umgebungstemperatur im Messlabor keine Einflüsse auf die Ergebnisse zeigt (Der Thermochuck des Waferprobers besitzt keine Kühleinrichtung).

Test Step 2:

Messung der Schwellspannung als Dokumentation des Ausgangszustandes aller Speicherzellen. Diese Messung erfolgt ebenfalls bei $T_{\text{Junction}} = 35^{\circ}\text{C}$. Messwerte mit $4,999\text{V}$ zeigen das Erreichen der eingestellten Messgrenze an, der reale Ladungszustand der Speicherzelle kann ohne Gefahr von Schädigungen nicht ermittelt werden. Zur Schwellspannungsmessung wird am Pin VREF die Spannung eingestellt, so dass am PIN DOUT dieselbe Spannung anliegt wie an IREF. Damit fließt durch die Datenzelle derselbe Strom wie durch die Zelle im Referenzarray. Die Differenz zwischen VREF und $V(\text{IREF})$ ist die Veränderung der Schwellspannung durch die Programmierung. Das Control Gate des EEPROM ist eine N-Diffusion. Damit ist die Spannung an VREF nach unten auf -0.3V begrenzt. Nach oben bildet die Versorgungsspannung die Begrenzung, da sonst das Signal von VREF nicht mehr über die Adressleitungen an das Control Gate geschaltet werden kann.

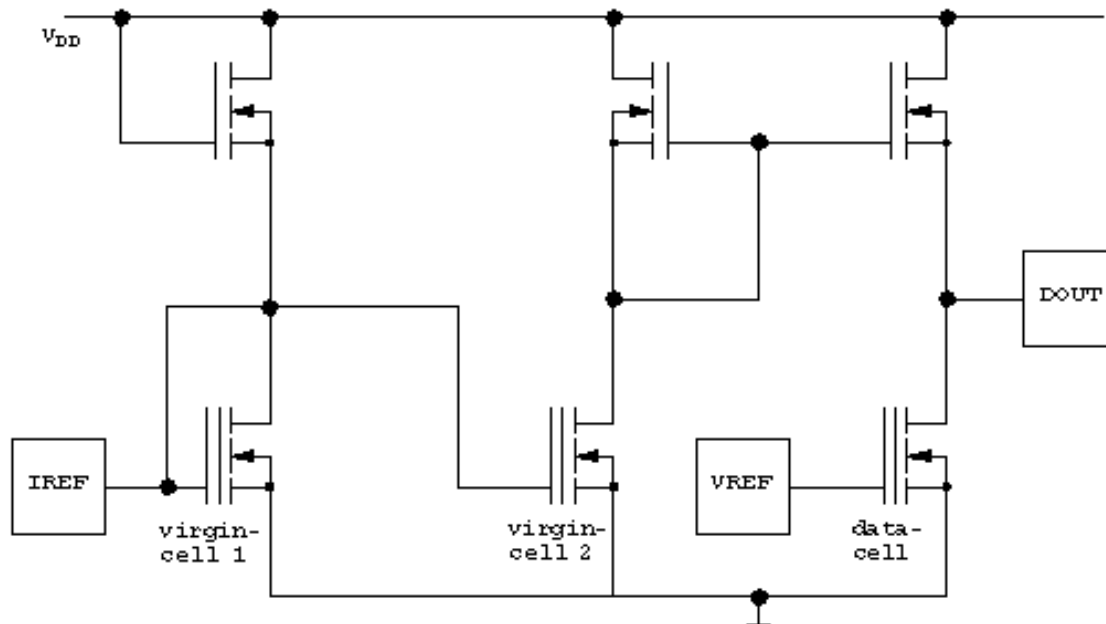


Abbildung 33: Prinzipschaltung zum Auslesen der Schwellspannung

Test Step 3:

Durchführung von 10 Schreib-/Löschzyklen an jeder Speicherzelle, jeweils unter den Bedingungen der aufgestellten Testmatrix. Die Durchführung des Tests erfolgt automatisch, d. h. jedes zu testende Bauteil wird komplett programmiert und gemessen, bevor auf den nächsten Chip gewechselt werden kann.

Ein Problem verursachte hierbei die Positionierung der Probernadeln. Während X- und Y-Parameter berechnet und bei Temperaturänderung (führt zu Längenausdehnung des Testwafers) auch korrigiert werden können, ist die ebenfalls notwendige Anpassung der Z-Achse nicht möglich. Als Folge treten Kontaktierungsprobleme auf, besonders im Hochtemperaturbereich bei 125°C und 150°C.

Für Folgeprojekte, wie z. B. für die Prozess-Qualifikation und –Freigabe, wird dringend ein geeigneter Waferprober empfohlen, damit derartige Fehlmessungen ausgeschlossen werden. Pro Bauteil nimmt dieses Verfahren ca. 1 Stunde Messzeit in Anspruch.

Test Step 4:

Messung der Schwellspannungswerte nach den 10 Schreib-/Löschzyklen, um Auswirkungen auf oder Schädigungen an den Speicherzellen zu erkennen. Dieser Test Step dient gleichzeitig als Null-Stunden-Messung für den anschließenden Datenhaltungstest. Die Messtemperatur beträgt 35°C.

Test Step 5:

Passive Hochtemperaturlagerung des Wafers bei 200°C (Wafer #2) bzw. bei 50°C (Wafer #3). Der erste Teil der Lagerung (ca. 72 Stunden) wird direkt auf dem Waferprober durchgeführt, die weitere Lagerung wird in Standard Hochtemperaturöfen bis zu einer Gesamtdauer von 1000 Stunden durchgeführt.

Test Step 6:

Messung der Schwellspannungswerte ($T_{\text{Junction}} = 35^{\circ}\text{C}$) nach durchgeführter Hochtemperaturlagerung.

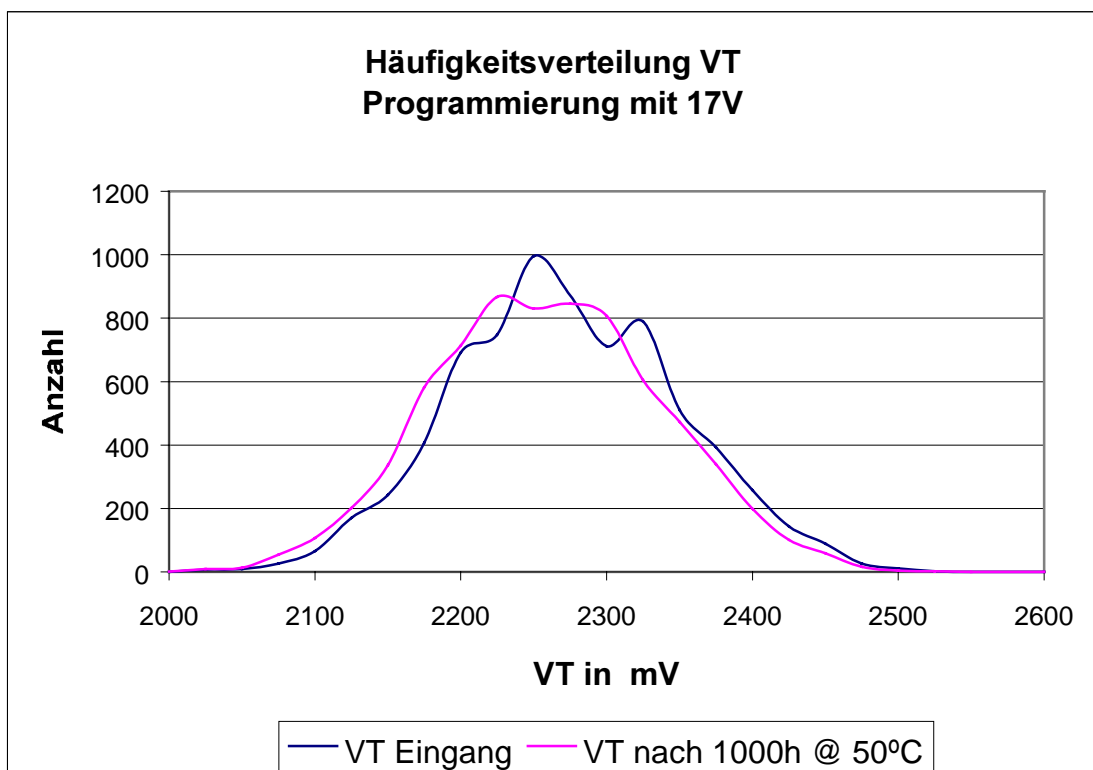
Test Step 7:

Erneute Programmierung unter Nominalbedingungen, um Veränderungen durch die erfolgte Beanspruchung gegenüber dem Ausgangszustand festzustellen.

Alle Messungen wurden am Digitaltester hp82000 durchgeführt. Das Messprogramm wurde im Haus entwickelt.

Ergebnisse:

1. 7 von 128 Testchips (alle auf Wafer #2) fielen bei der ersten Programmierung aus. Als Ursache wird eine fehlerhafte Gut-Kennzeichnung (Fehl-Inkung) angenommen. Die Eingangsmessung nach Programmierung unter (vom Lizenzgeber des Prozesses - ST Microelectronics - definierten Nominalbedingungen) ergab für alle Speicherzellen der restlichen 121 Bauelemente eine V_{th} von 4,999V. Dies bedeutet, die Schwellspannung aller Speicherzellen liegt über der Messgrenze. Eine Darstellung einer Messwertverteilung ist somit hinfällig.
2. Bei der Durchführung des Test Steps 3 traten keine Ausfälle auf, auch nicht bei den Testgruppen mit erhöhten Anforderungen an die Speicherzelle. Durch die unzureichende Positionierung des Probers wurden aber nicht alle Zellen, insbesondere bei hohen Testtemperaturen nach Vorgabe gestresst; an 15 von 16 Bauteilen traten bei 150°C Kontaktprobleme auf, der den Bauteilen real zugefügte Stress lässt sich nicht genau ermitteln. Da diese Tests vornehmlich an arbeitsfreien Tagen abliefen, war eine manuelle Korrektur nicht möglich.
3. Die Messung nach Durchführung der Schreib-/Lösch-Zyklen ergab lediglich für die Testgruppen 2.4 und 3.4 auswertbare Schwellspannungen; alle anderen Testgruppen führten zu Schwellspannungen oberhalb der Messgrenze und somit Driften außerhalb des Messbereiches.

**Abbildung 34:** Häufigkeitsverteilung V_T bei Stress $T=50^\circ\text{C}$

4. Nach insgesamt ca. 1000h Temperaturlagerung konnte nur bei den Testgruppen 2.4 und 3.4 ein messbarer Datenverlust ermittelt werden. Nach 1000h Datenhaltungstest bei 200°C Lagertemperatur wurde eine maximale Schwellspannungsdrift von 42mV ermittelt, bei 50°C sogar nur von maximal 17mV. (siehe Abbildungen).

Die Hochtemperaturlagerung bei 200°C führte zu einer Oxidation der Aluminium-Bondpads, was die Kontaktierung zum Teil verhinderte. Ein Reinigungsschritt (Rückätzung mit Argon) führte nur bedingt zum Erfolg.

5. Die erneute Programmierung unter Nominalbedingungen führte bei 80 Bauelementen zum selben Ergebnis wie bei der Eingangsmessung, alle Werte lagen bei 4,999V (Messgrenze). Alle anderen Bauelemente konnten aufgrund von Kontaktierungsproblemen nicht mehr programmiert oder gemessen werden. Schädigungen aufgrund von vorausgegangener Belastung konnten nicht nachgewiesen werden. 3 Bauelemente, aus den Testgruppen 2.7 und 3.7 (Programmierung bei 125°C), zeigten eine messbare Degradierung der Schwellspannung für insgesamt 15 Speicherzellen. Die Werte liegen zwischen 3,2V und 4,95V, was von der Auswerteschaltung immer noch als ‚1‘ erkannt wird. Eine Schädigung des Oxids durch den Hochtemperatureinfluss ist wahrscheinlich. Nach der 150°C-Programmierung wären vergleichbare Ergebnisse zu erwarten, jedoch führten die Kontaktierprobleme an 15 von 16 Bauelementen zu undefiniertem, vermindertem Stress.

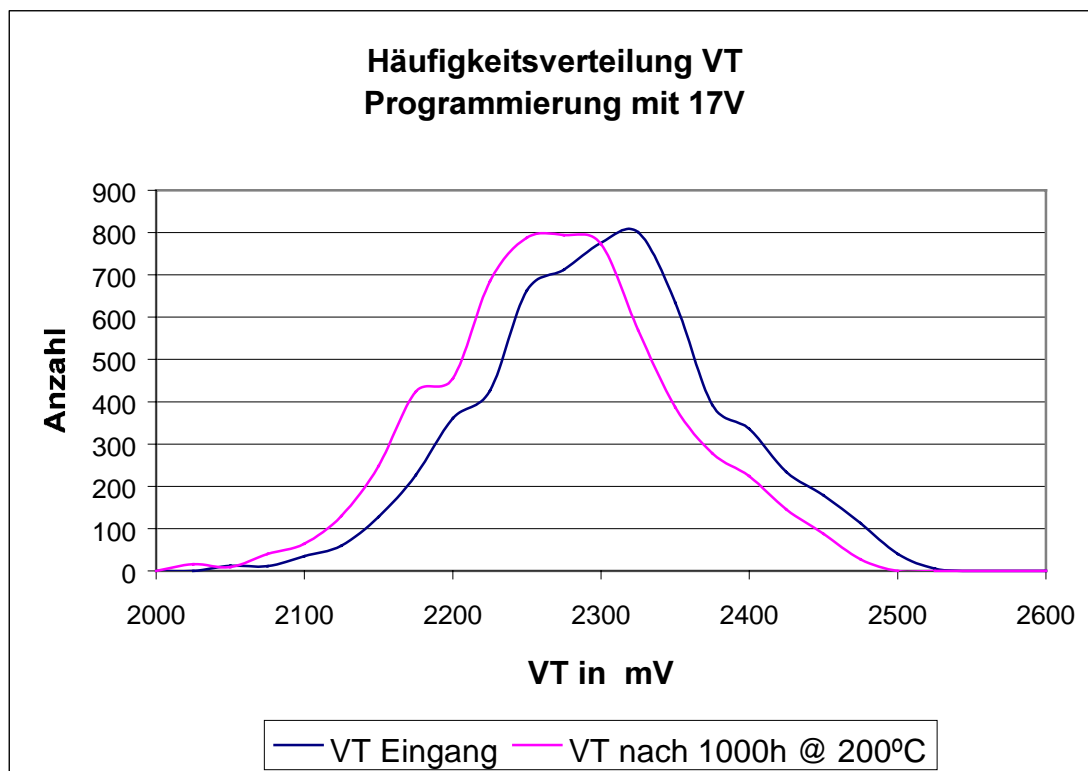


Abbildung 35: Häufigkeitsverteilung VT bei Stress T=200°C

Bewertung:

Die im BCD Prozess realisierte EEPROM Zelle lässt sich auch unter erheblichen Abweichungen von den Nominalbedingungen sicher programmieren. Schädigungen durch erhöhte Programmierspannung, lange Programmierzeiten und steilen Anstieg des Programmierpulses sind nicht zu beobachten. Während die gewählte Variierung der Programmierzeiten und Steilheit des Programmierpulses keine messbaren Unterschiede erbrachte, zeigte sich die Zelle gegenüber Änderung der Programmierspannung sehr sensitiv.

Die Programmierung unter Hochtemperatur (125°C und 150°C) kann zu Schädigungen des Oxids führen, was zu einer verminderten Programmiergüte führt. Dieser Effekt muss erneut charakterisiert werden, wozu zusätzliches Material erforderlich ist.

Die Datenhaltungstests bis 1000h bei unterschiedlichen Lager-Temperaturen zeigen die exzellenten Speichereigenschaften der Zelle, die aufgrund der gewählten Geometrien sogar deutlich besser ist, als die von EEPROM-Zellen in aktuellen Submicron-Prozessen. Lediglich bei bewusst schwacher Programmierung ist die Drift messbar, die ein charakteristisches Maß für die Oxideigenschaften darstellt. Der prinzipiell gleiche Verlauf bezüglich Ladungsverlust wird auch für alle anderen Zellen angenommen. Durch den höheren Startwert der V_{th} ergibt sich zwar eine Verschiebung der Kurve, die jedoch nach langen Zeiten (Ziel >10 Jahre) unerheblich ist.

Fazit:

Die EEPROM Zelle im untersuchten BCD Prozess erfüllt die Anforderungen für den Einsatz im Automobil bezüglich Programmierfähigkeit und Datenhaltung. Die zugrundeliegende Untersuchungsmethodik zur Freigabe hat sich als sinnvoll und effektiv erwiesen.

3.3.3. Aufbau einer Speicherbibliothek

Einführung

Mit zunehmender Komplexität der Entwürfe und fortschreitender Verkleinerungen der Strukturbreiten werden mehr und mehr Funktionen in den Mischprozessen in digitaler Schaltungstechnik realisiert. Dies führt dazu, dass die Flächen der digitalen Schaltungen immer größeren Anteil an der Gesamtfläche benötigen. Können diese in regulären Strukturen (Speicher) abgebildet werden, stellt dies die flächeneffizienteste Realisierung dar.

Damit die Wiederverwendung erleichtert wird, und die Entwurfsdaten besser abgesichert sind, wurden die Speicher in einer spezielle Speicherbibliothek (Memlib) abgelegt.

Anforderungen und Eigenschaften

Alle für die Entwurfsumgebung notwendigen Ansichten (Views) müssen vorhanden sein. Die in der Bibliothek eingestellten Speicher müssen vollständig verifiziert und freigegeben sein.

Struktur der Memlib

Für die Memlib wurden eine Entwicklungsumgebung angelegt, aus der die Produktionsversion automatisch erzeugt werden kann. Die Entwicklungsumgebung wird unter Versionskontrolle gehalten, so dass alle Mitglieder der Memlib Entwicklung immer auf aktuelle Daten zugreifen können. Die Dateistruktur ist folgendermaßen angelegt:

```
... /memlib/prozess/VersionsNr/view
```

Bei Bedarf kann als weitere Hierarchie unterhalb des Views die Werkzeugversion eingeführt werden.

Folgender Änderungsmechanismus wurde vereinbart: *Major.minor.bugfix* wobei *major* für neue Speicher hochgezählt wird. Damit enthält die Version 2.x.x zwei Speicher. *Minor* wird hochgezählt wenn z.B. ein neuer View hinzukommt. Sollten nur Korrekturen notwendig sein, zählt die letzte Stelle hoch.

Notwendige Views

Damit ein Modul in der Bosch Entwurfsumgebung verwendet werden kann, sind folgende Views notwendig:

Simulations View: VHDL Modell mit Zeitverhalten für die Simulation des Speichers. Das Zeitverhalten wird in der entsprechenden VITAL-Datei beschrieben. Dieses Zeitverhalten gibt es für Nominal-, Worst- und Best-Case-Bedingungen.

Synthese View: Beschreibung des Moduls für den Design Compiler.

Schemantic View: Zur Endverifikation (Mask-LVS) ist die Beschreibung auf Transistorebene notwendig, für die Simulation und Synthese kann mit reduzierten Datenmengen gearbeitet werden (Black-Box).

Platzierung und Verdrahtung: Beschreibung der Module, damit sie automatisch platziert und verdrahtet werden können.

Layout View: Alle für die Fertigung notwendige Maskendaten für das IC-Layout.

Zusätzlich dazu sind für den Transfer der Daten aus der Entwicklungsumgebung in die sogenannte Tool-Umgebung noch einige Informationen notwendig (mapping, spezial Transistoren u.s.w.).

Charakterisierung

Ein wichtiger Bestandteil der Bibliothek ist die Beschreibung des Zeitverhaltens. Dies muss so genau als möglich geschehen, da das Zeitverhalten direkten Einfluss auf die Performance und die Größe der Schaltung hat.

Von den Speicherlieferanten (Prozesspartner) erhaltene Daten entsprechen nicht im vollen Umfang den von Bosch gestellten Anforderungen, sind jedoch teilweise die einzigen Daten die verwendet werden können.

Folgende Möglichkeiten für die Charakterisierung wurden betrachtet:

1. Kauf und Einsatz von Spezialwerkzeugen zur Charakterisierung von Speichern.
Der Kauf solcher Werkzeuge ist erst ökonomisch sinnvoll, wenn mehr als 26 Speicher charakterisiert werden (in den nächsten 3 Jahren).
2. Out Sourcing zu Spezialisten
Der Einsatz von Spezialisten ist nicht sehr flexibel und scheitert teilweise daran, dass Informationen von dem Lizenzgeber weitergegeben werden müssen.
3. Analogsimulation der Transistor-Netzliste (vom Schaltbild)
Dieses Vorgehen ist möglich, jedoch nur für kleiner Module (einige 10000 Elemente) sinnvoll, da die Simulationszeiten sehr hoch sind.
4. Analogsimulation der Transistor-Netzliste (vom Layout)
Dieses Vorgehen liefert die exaktesten Daten, weil die Netzliste die parasitären Elemente enthält. Die Simulation der Netzliste scheitert an der Komplexität. So enthält ein kleiner Speicher (RAM 64x8) ca. 70.000 Elemente und erzeugt sehr große Datenmengen, so dass die Simulation und Auswertung nahezu unmöglich werden. Die Verwendung dieser Vorgehensweise für größere Module scheidet aus.
5. Überprüfung der erhaltenen Daten durch Analogsimulation (ohne Parasiten) und Handberechnung des kritischen Pfades durch erfahrenen Entwickler.

Diese Vorgehen bedeutet einen guten Kompromiss zwischen Aufwand und Nutzen.

Vorgehen bei der Implementierung neuer Speicher

Die Speicher, welche in den verschiedenen Projekten verwendet werden sollen, kommen von den unterschiedlichsten Quellen. Daher sind die erhaltenen Daten stark unterschiedlich. Die Spannweite reicht von nahezu kompletten Views bis zu Minimaldaten (Netzliste, Layout und Beschreibung auf Papier).

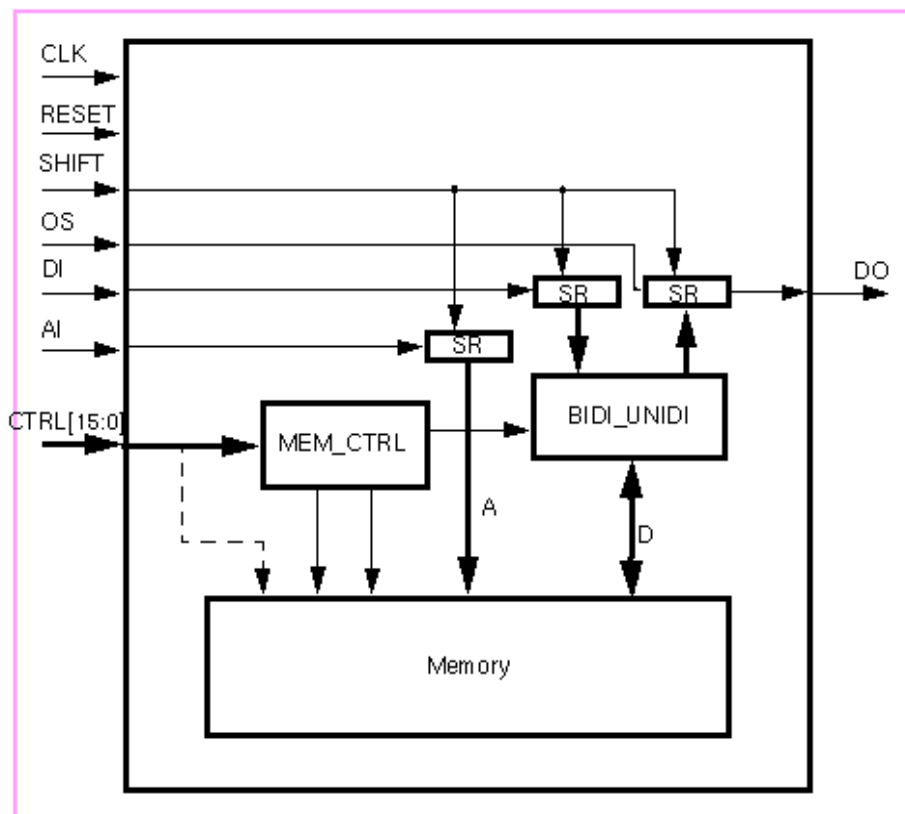


Abbildung 36: Testdesign für die Verifikation

Ausgehend von diesen Minimaldaten wird der Speicher folgendermaßen implementiert:

Zuerst wird die Konsistenz der Netzliste und des Layouts überprüft. Ist dies gewährleistet, kann aus der Netzliste ein Schaltplan erzeugt werden. Parallel dazu wird aus der Beschreibung ein Hochsprachenmodell und eine Datei mit Zeitverhalten erstellt. Diese Daten bilden die Basis für die weiteren Arbeiten.

Aus dem Symbol des Schaltplans wird das Symbol für die Synthese erzeugt, und aus dem Layout wird die Beschreibung für das P&R Werkzeug erstellt. Alle andern Daten werden aus diesen Beschreibungen abgeleitet.

Das Zeitverhalten wird punktuell durch Simulation überprüft und durch Abschätzung des kritischen Pfades die Funktionalität überprüft. Sind alle Daten erzeugt und installiert, kann das Verifikationsdesign durchgeführt werden.

Verifikation

Bevor ein neuer Speicher für die Entwicklung freigegeben wird, muss verifiziert werden, dass alle Ansichten vorhanden und benutzbar sind. Dazu wurde ein Testdesign entwickelt, in welches jeder Speicher eingebaut wird. Mit diesem generischen Design wird der Speicher simuliert, die Schaltung synthetisiert, platziert und verdrahtet sowie ein Schaltbild erzeugt. Das Layout und das Schaltbild werden in das Layout-Werkzeug übertragen und anschließend wird ein DRC und LVS durchgeführt. Wenn diese Prozedur abgeschlossen ist, wird das jeweilige Modul für den IC-Entwickler freigegeben.

Das Testdesign ist flexibel und modular aufgebaut, so dass die verschiedensten Speicher in den verschiedenen Prozessen damit verifiziert werden können. Die Architektur ist in Abbildung 36 dargestellt.

Zusammenfassung und Ausblick

Die entwickelte Methodik erlaubt es, Speicher mit vertretbarem Aufwand in den Entwurfsfluss einzubauen, und ein hohes Maß an Entwurfssicherheit zu erreichen.

Der Flaschenhals der Methodik ist weiterhin die Charakterisierung der Module. Für kleinere Speicher, wie sie in den Mischprozessen üblich sind, konnte eine Methode dargestellt werden, mit der auch diese Daten abgesichert werden können.

Der Markt wird weiter beobachtet und analysiert, um zu prüfen, ob es möglich ist, (wirtschaftlich sinnvoll) Speichergeneratoren und Werkzeuge zur Charakterisierung einzusetzen.

3.4 Wissenschaftlich-technischer Stand zu Projektabschluss – Fazit und Relevanz für die Robert Bosch GmbH

Aus dem durchgeführten Verbundvorhaben hat sich für die deutschen Projektpartner ein erheblicher technisch-wissenschaftlicher Gewinn ergeben. Wie bereits in den einleitenden Abschnitten beschrieben wurde, bestand zu Projektstart eine große Lücke zwischen der Packungsdichte von Mainstream CMOS Prozessen und der Packungsdichte des CMOS Teils von BCD Prozessen. Die neu entwickelten Prozesse BCD5 und BCD6 vollziehen nun den Schritt in einen Bereich der CMOS Packungsdichte, der die Realisierung sehr komplexer „System on Chip“ Lösungen erlaubt.

Es wurde der Einstieg in eine neue Generation von dicht packenden sub μ Smart Power Prozessen erreicht. In diesem Zusammenhang besteht ein wesentlicher Erfolg darin, die Darstellung der Leistungskomponenten (DMOS) des Prozesses mit den CMOS Elementen verträglich zu gestalten. Die Leistungskomponenten im BCD5 und BCD6 Prozess sind ebenfalls wesentlich flächeneffektiver als in vergleichbaren Vorgängerprozessen. Das wurde unter anderem durch den Verzicht auf die klassischen vertikalen DMOS Bauelemente erreicht. Als weitere Konsequenz des geänderten Prozessansatzes tritt die Optimierung von bipolaren Transistoren als Schaltungselement immer weiter in den Hintergrund.

Mit Hilfe der gefertigten Demonstrator ICs wurden die Prozesse in mehrfacher Hinsicht bestätigt. Zum einen wurde an einzelnen Testbauelementen und an Schaltungsmodulen gezeigt, dass die neuen Prozesse robust und zuverlässig sind. Das umfasst eine breite Palette elektrischer Untersuchungen. Zum anderen konnte aber auch gezeigt werden, dass die neuen Prozesse keine Einschränkung durch die im vorherigen Abschnitt besprochene Verlagerung der verwendbaren Bauelemente erfahren. So wurden wegen der weniger optimierten bipolaren Transistoren neue Schaltungskonzepte eingeführt, die sich stärker auf CMOS Transistoren stützen (siehe Abschnitt 3.2.1 Bandgap). Auch die Abkehr von den früher obligatorischen vertikalen DMOS Transistoren zugunsten einer Flächenoptimierung hat sich als sinnvoll erwiesen. Schaltungsmodule, die mit großen DMOS Schaltern arbeiten wie z.B. H-Brücken, können mit sehr guten R_{dson} Werten realisiert werden. In Hinblick auf wichtige Seiteneffekte im Einsatz (parasitäre Substrateffekte oder ESD Problematik) ist aber keine Verschärfung eingetreten, obwohl dies von Anhängern der klassischen VDMOS Schalter häufig vermutet wurde.

Neben den schon angesprochen aktiven Bauelementen beruht die Mächtigkeit der neuen Prozesse auf der Implementierung von nicht-flüchtigen Speichern (EPROM, EEPROM, Flash). Damit können erstmals viele Funktionen in Software realisiert werden. Für Anwendungen im Automobilbereich ist insbesondere die Nutzung des Speichers für den Band-Ende-Abgleich von Bedeutung.

Zusammenfassend ist festzustellen, dass die beiden neuen Prozesse im internationalen Vergleich mit konkurrierenden Anbietern mit Sicherheit zur Spitzengruppe der Prozesse zur Realisierung komplexer hochdichter ASICs gehören.

BCD5 und BCD6 sind bisher als 40V Prozesse freigegeben. Die Erweiterung auf höhere Spannungen ist prinzipiell ohne grundsätzliche Änderungen der Prozesse möglich und wird bereits verfolgt.

Für die Robert Bosch GmbH lässt sich der Zugewinn aus dem durchgeführten Projekt wie folgt konkret zusammenfassen:

- RB verfügt über die Designfähigkeit und Designerfahrung in den neuen Smart Power Prozessen BCD5 und BCD6.
- Die Verwendung dieser Prozesse für den Automobilbereich wurde gründlich und mit positivem Ergebnis untersucht.
- Designfähigkeit umfasst die Verfügbarkeit einer verifizierten Designumgebung inklusive der notwendigen Bibliotheken.
- Designerfahrung umfasst die Verifizierung von neuen Schaltungskonzepten in den neuen Prozessen.
- RB hat wichtige Kenntnisse in der Verwendung von nicht-flüchtigen Speicher in integrierten Lösungen (Embedded Memory) aufgebaut. Dies umfasst sowohl den Schaltungsentwurf (Bibliotheken) als auch die Freigabe und Qualitätsbewertung von NVM.
- RB hat wichtige Arbeiten zur Messung und Optimierung der Oxidqualität in der Halbleiterfertigung durchgeführt.

In Zukunft werden die Prozesse BCD5 und BCD6 bei Robert Bosch für neue ASIC Entwürfe zum Einsatz kommen.

4. Berichte und Literatur

4.1. Interne Berichte

Über den technischen Fortschritt des Projektes wurde halbjährlich berichtet. Dem deutschen Projektträger DLR liegen halbjährliche Kurzberichte vor. Als Anhang zu diesen Kurzberichten wurde der von der MEDEA Organisation geforderte ausführlichere technische Halbjahresreport eingereicht.

Auf Grundlage dieses technischen Reports führte die MEDEA Organisation unter Einbeziehung der DLR ein jährliches Review Meeting durch.

Zur Beantragung des Projektes wurde ein MEDEA Full Proposal und eine deutsche Vorhabensbeschreibung erstellt.

4.2. Weiterführende Literatur

- H. Ballan, M. Declercq:
High Voltage Devices and Curcuits in Standard CMOS Technologies;
Kluwer Academic Publishers
- D. Widmann, H. Mader, H. Friedrich:
Technologie hochintegrierter Schaltungen;
Springer Verlag
- M. Mergens:
On-chip ESD Protection in Integrated Circuits: Device Physics, Modeling, Circuit Simulation;
Hartung-Gorre Verlag, Konstanz
- S. Dabral, . T. J. Maloney:
Basic ESD and I/O Design;
John Wiley & Sons
- H. Baumgärtner, R. Gärtner:
ESD – Elektrostatische Entladungen;
R. Oldenbourg Verlag
- S. M. Sze:
Physics of Semiconductor Devices;
John Wiley & Sons