

Abschlußbericht des Verbundprojektes

**Qualifizierung des Underfillings für Flip-Chip-
Produktapplikationen in der Serienfertigung
- QUAPRO -**

Teilprojekt

**Prozesssicheres Fertigungskonzept für Sensoren mit
Flip-Chips on board**

Projektlaufzeit: 01.10.1999 – 30.06.2002

Pepperl + Fuchs GmbH

Produktion

Projektleitung / -bearbeitung: Dipl. Ing. Stefan Klein / Dipl. Ing. (FH) Gerhard Schäfer

Inhaltsverzeichnis des Teilprojektes „Prozesssicheres Fertigungskonzept für Sensoren mit Flip-Chips on board“ (Pepperl+Fuchs GmbH)

1	Zielstellung des Teilprojektes	4
2	Ausgangssituation	5
3	Meilenstein- und Arbeitsplan	5
3.1	Wissenschaftlich technische Arbeitsziele	5
3.2	Arbeitsinhalte	6
3.3	Zusammenarbeit mit anderen Stellen	7
4	Ergebnisse	7
4.1	Definition der Demonstratoren	7
4.2	Definition der Anforderungen an das Underfilling	12
4.3	Leiterplatten	13
4.4	Flip-Chip- und CSP-Layouts	13
4.5	Equipment	16
4.6	Versuchsdokumentation und Ergebnisse	17
4.6.1	Ergebnisse des zweiten und dritten Versuches	18
4.7	Funktionstestergebnisse und Interpretation	22
4.8	Underfill und Aushärtung	23
4.8.1	Preferierte Underfills.....	23
4.8.2	Freiheitsgrade für den Underfill-Prozess	24
4.8.3	Ultraschallmikroskopische Untersuchungen.....	25
4.9	Zuverlässigkeitsuntersuchungen	26
4.9.1	Prüfgegenstand.....	26
4.9.2	Prüfablauf.....	26
4.9.3	Prüfparameter.....	27
4.9.4	Schockanzahl, Ausfälle und Kommentar	27
5	Zusammenfassung	28
6	Anhang	29

Teilprojekt

Prozesssicheres Fertigungskonzept für Sensoren mit Flip-Chips on board

Pepperl + Fuchs GmbH

1 Zielstellung des Teilprojektes

Der Einsatz von neuen Packaging Technologien, wie die Flip-Chip-Technologie, könnte mittelständischen Unternehmen neue Marktpotentiale eröffnen. Diese Marktpotentiale sind:

- Miniaturisierung der elektronischen Baugruppen und damit des Endproduktes Sensor
- Reduktion von Fertigungsprozessen gegenüber der Chip and Wire Technologie
- Auf Grund der verminderten Anzahl von notwendigen Fertigungsprozessen ergibt sich eine Erhöhung der Prozesssicherheit
- Kostenreduktion gegenüber der konventionellen Chip and Wire Technologie mit Zielrichtung des Kostengleichstandes mit der konventionellen SMT-Technik

Diese Vorteile werden bereits von der Consumer-Industrie und der Großindustrie im großen Stil genutzt. Für den Bereich der mittelständischen Industrie gibt es relative große technologische und wirtschaftliche Einstiegsbarrieren. Folgend eine Auflistung der wichtigsten Einstiegsbarrieren:

- Fehlendes Know How über das Assembly, des Underfills und des Lötens in Serienproduktionen. Wissenschaftliche Ausarbeitung im Bereich des Laborbetriebes (manuelles Handling) sind nicht auf den Serienprozess 1 zu 1 übertragbar. Daraus resultiert ein enormes finanzielles Risiko speziell für mittelständische Unternehmen diese Technologie einzusetzen.
- Reale Kostenvergleiche des SMT kompatiblen Flip Chip Assembly Prozesses mit alternativen Technologien liegen für den mittelständischen Bereich nicht vor.
- Der SMT-kompatible Flip Chip Assembly Prozess ist ein wichtiger Schritt in Richtung Kostenreduktion. Der Nachweis wie auch die Grenzen dieses Prozesses in der Serienfertigung eines mittelständischen Unternehmens sind bisher noch nicht erbracht.
- Kommerziell erhältliches Equipment für den SMT kompatiblen Flip Chip Assembly Prozess wurde bisher noch nicht auf dessen Prozessfähigkeit abgeprüft.
- Generell muss die Prozesssicherheit der SMT kompatiblen Flip Chip Technologie auf organischen Trägermaterialien in Industrieapplikation (erweiterter Spezifikationen gegenüber der Consumer-Industrie) sichergestellt werden. Insbesondere die Funktion bzw. das Handling des Underfills gilt es genauer zu untersuchen.

Pepperl + Fuchs wird im Rahmen dieses Projektes versuchen den Nachweis zu erbringen, dass die SMT kompatible Flip Chip Technik für ein mittelständisches Unternehmen hinsichtlich der damit verbundenen Fertigungsprozesse beherrschbar und wirtschaftlich lohnend ist.

2 Ausgangssituation

Bereits gegen Ende der 60er Jahre wurde die Flip-Chip-Technik von der Firma IBM entwickelt und eingeführt. Lange Jahre war diese Technologie ausschließlich Großunternehmen vorbehalten, die über eigene Chipfertigungen und eigenentwickeltes Fertigungsequipment verfügten. Mit der zunehmenden Verfügbarkeit von Wafern wie auch den Bemühungen Waferware getestet anzuliefern und der Weiterentwicklung der Materialien und Prozesse ist es in den letzten Jahren gelungen, die Flip-Chip-Technologie auch mittelständischen Unternehmen näher zubringen. Unterstützt wurde dieser Prozess durch die Verarbeitungsmöglichkeiten von Flip Chips auf organischen Trägermaterialien sowie der Entwicklung von Low-cost-Bump-Prozessen.

Die Pepperl+Fuchs GmbH setzt bereits seit Ende der 80er Jahre Fertigungsverfahren im Bereich des Direct-Chip-Attach in ihren Produkten ein. So baute P + F bereits 1975 Näherungsinitiatoren in Dickschicht/Hybrid-Technologie und führte 1991 die Chip on board-Technologie (COB) in die Serie ein. Im Bereich der konventionellen Leiterplattenbestückung war es aufgrund des hervorstechenden Produktmerkmals der Sensoren – einer stetigen Miniatürisierung – seit jeher notwendig, die kleinsten Bauelemente zu nutzen. So wurde bereits 1999 das SMD Package 0402 erfolgreich in der Produktion eingeführt und für den Serienprozess qualifiziert.

3 Meilenstein- und Arbeitsplan

3.1 Wissenschaftlich technische Arbeitsziele

- Qualifizierung von Materialien (Flußmittel, Underfill) für die Produktion
- Qualifizierung des SMT kompatiblen In Line Assembly-Prozesses der Flip Chips als Grundlage eines prozesssicheren Underfill-Prozesses
- Qualifizierung geeigneter Lötstopplacke
- Bestimmung des First pass yields in der Serienfertigung anhand produktnaher Demonstratoren
- Erarbeitung von Prüfstandards für underfillte Chips (Flip Chip, CSP, BGA)

3.2 *Arbeitsinhalte*

Der zeitliche Ablauf bezüglich der aufgeführten Punkte ist dem Balkendiagramm in Anlage A1 zu entnehmen.

1. Definition der Produktdemonstratoren I und II

Unter Produktdemonstratoren werden zwei Sensoren basierend auf unterschiedlichen physikalischen Wirkungsprinzipien mit jeweils einem P+F eigenen ASIC als Flip Chip verstanden.

2. Notwendigkeit der Redistribution für Schaltkreis I und II prüfen u. ggf. Voraussetzungen hierfür abprüfen
3. Erstellung der Layouts inkl. Erarbeitung von Design rules insbesondere des Padlayouts für den Flip Chip
4. Design der Schablonen (Erzeugung der Gerber Daten)
5. Lot-Bumping des Schaltkreis I und II
6. Materialbeschaffung mit technischer Klärung (Platinen, Underfill etc.)
7. Equipment-Auswahl für den Underfill / Assembly und Beschaffung mit technischer Klärung
8. Aufbau von jeweils 50 Stück Prototypen der Produktdemonstratoren I und II zum Nachweis der generellen Funktionsfähigkeit
9. EMV Check des Designs unter dem Aspekt des Einflusses durch den Underfill
10. Analyse des Fertigungsprozesses mit dem Ziel die fertigungs- bzw. prozessrelevanten Schlüsselparameter zu definieren und deren Eingriffsgrenzen zu dokumentieren
11. Aufbau der ersten Generation von jeweils 500 Stück Produktdemonstratoren I und II
12. Zuverlässigkeitsbewertung der Baugruppen
13. Aufbau der zweiten Generation von jeweils 500 Stück Produktdemonstratoren I und II
14. Zuverlässigkeitsbewertung der Baugruppen (Stichprobe)
15. Aufbau und Einsatz der Produktdemonstratoren I und II unter Feldbedingungen
16. Interne QS-Freigabe der Produktdemonstratoren I und II unter Feldbedingungen
17. Zuverlässigkeitsbewertung der Produktdemonstratoren I und II unter Feldbedingungen
18. Kostenmodellierung der zweiten Generation von Produktdemonstratoren I und II

19. Optimierung des Gesamtprozesses hinsichtlich Prozessstabilität und der Kosten
20. Aufbau der dritten Generation von jeweils 1000 Stück Produktdemonstratoren I und II
21. Zuverlässigkeitsbewertung der Baugruppen (Stichprobe)
22. Abschlußbericht und Statusseminar

3.3 Zusammenarbeit mit anderen Stellen

Pac Tech:

- Lot- und Ni/Au-Bumping auf Waferlevel
- Redistribution auf Waferlevel

4 Ergebnisse

4.1 Definition der Demonstratoren

Das Projekt betrachtet parallel zwei verschiedene Flip-Chip-Techniken, nämlich die Flip Chip Technik mit und ohne Umverdrahtung des Chips auf Waferebene. Grund hierfür ist der minimale Pitch der ASICs von 180 μm und die daraus resultierenden Kosten (speziell PCB) wie auch das reduzierte Prozessfenster. Dies wird durch einen direkten Vergleich eines Chips möglich, der in den entsprechenden Technologien aufgebaut wird.

An dieser Stelle muss notwendigerweise auf folgenden Sachverhalt, die Zielsetzung des Teilprojektes „Prozesssicheres Fertigungskonzept für Sensoren mit Flip-Chip-on-board“ betreffend, hingewiesen werden.

Im Rahmen dieses Projektes konnte lediglich das Fertigungskonzept hinsichtlich der Flip-Chip-Technik ohne Umverdrahtung erarbeitet werden. Dazu wurde der ASIC PFI 037Z, seitens der Fa. Pac Tech mit der UBM inkl. der Lotbumps versehen. Mit Hilfe dieses Flip Chips wurde ein induktiver Näherungsinitiator aufgebaut. Die Ergebnisse hierzu sind in Kapitel 4 nachzulesen. Die Flip-Chip-Technik mit Umverdrahtung stellte sich speziell für die Hersteller/Dienstleister für diese Back-End-Technologie als große technologische Hürde da.

Aus Qualitätsgründen konnte die Firma Pac Tech die umverdrahteten Versionen der ASICs PFI 037Z und PFL 050B nicht liefern. Aus diesem Grund konnten die beiden, laut Arbeitsplan vorgesehenen Produktdemonstratoren - ein induktiver und ein optischer Näherungsinitiator – nicht zuverlässig aufgebaut werden. Die eklatanten Qualitätsprobleme traten bereits bei der Prozessierung des ersten ASICs PFI037Z auf, so dass trotz einer Projektlaufzeitverlänge-

rung vom 30.09.2001 auf 30.06.2002, keine regelkonform umverdrahteten ASICs, geliefert werden konnten. Die Qualitätsprobleme zeigten sich wie folgt.

- Ein fehlerhafter Maskenschritt erzeugte, eine über den gesamten ASIC führende, BCB-Bahn und fehlerhaft platzierte UBM-Passivierungen
- Schlechte Prozessqualität durch unsaubere Kanten, Fremdkörper (Si-Bruchstücke ?) an der Chipoberfläche und inhomogene Flächen, insbesondere auch Delaminationen der BCB-Passivierung
- Haftung der zweiten Dielektrikumlage ist zu gering
- Die Umverdrahtung ist inhomogen und zeigt unsaubere Kanten

Auf Grund dieser schlechten Prozessqualität, deren Folge eine unakzeptable und nicht repräsentative Zuverlässigkeitsaussage wäre, wird von einer Weiterverarbeitung dieser Schaltkreise abgesehen.

Da die Lieferung dieser Schaltkreis erst am 01.02.2002 erfolgte, die Qualitätsprobleme eklatanter Natur waren und Pac Tech selbst, sich nicht in der Lage sah, in der verbleibenden Projektlaufzeit regelkonforme und funktionsfähige Schaltkreise zu liefern, wurde eine Second Source gesucht und auch gefunden. Leider traten bei dieser Second Source ähnliche Qualitätsdefizite auf.

- Durch das Prozessieren mit einer falschen Maske wurde ein Kurzschluss auf dem ASIC PFI037Z erzeugt. Folge davon war eine erhöhte Stromaufnahme des ASICs (ca. 3 mA anstatt üblicherweise 0,5 mA)

Daraus resultiert, das P+F keine, regelkonform und funktionsfähig auf Waferlevel umverdrahteten, ASICs für dieses Projekt zur Verfügung stehen.

Dies ist auf P+F Sicht mehr als bedauerlich, insbesondere deshalb, da sehr große Hoffnungen hinsichtlich Kostensenkungspotentiale gegenüber der konventionellen Flip Chip Technik in diese Technologie gesetzt wurden. Hintergrund bezüglich der Kostensenkungspotentiale ist folgender.

Der Aufbau des induktiven Näherungsinitiators in Flip Chip Technik zeigt sehr deutlich, das diese Technologie trotz geringem Pitch des ASICs prozesstechnisch beherrschbar, aber aus Kostengründen für eine Industrieanwendung im Sensorbereich nicht in Frage kommt. Konkreter wird dies durch ein Kostenvergleich bei oben genannten induktiven Näherungsinitiator in Flip Chip Technik mit der konventionellen COB- und SMD-Technik (siehe Tabelle 4.1.1). Durch die periphere Anordnung und dem sehr geringem Pitch der IO₈

Durch die periphere Anordnung und dem sehr geringem Pitch der IOs von 180 µm wird die Leiterplatte im Verhältnis zur reinen SMD-Technik um 50 Cent teurer. Gegenüber der COB-Technologie ist die Flip Chip Technologie bereits heute die günstigere Alternative mit einem höheren Miniaturisierungspotential.

	SMD	COB	FC	
	TSOP 20		FC	CSP (WLR)
PFI-BE	€ 1,15.-/Stk	€ 0,8.-/Stk	€ 1,06.-/Stk	€ 0,91.-/Stk
PCB	€ 0,15.-/Stk	€ 0,15.-/Stk	€ 0,15.-/Stk	€ 0,65.-/Stk
DCA	€ 0,05.-/Stk	€ 0,2.-/Stk	€ 0,05.-/Stk	€ 0,05.-/Stk
Wire Bond	€ 0,0.-	€ 0,04.-/IO	€ 0,0.-	€ 0,0.-
GT / UF	€ 0,0.-	€ 0,2.-/Stk	€ 0,02.-/Stk	€ 0,02.-/Stk
ΔKosten		+ € 0,75.-/	+ € 0,11.-	+ € 0,41.-

Tabelle 4.1.1: Kostenvergleich SMD / COB / FC / CSP (Referenz SMD)

Tabelle 4.1.1 liegen folgende Randbedingungen zu Grunde:

- 19 SMD Bauelemente
- 19 IOs belegt beim ASIC PFI 037Z
- 4“ Wafer
 - Flip Chip: € 0,006.-/IO
 - CSP (WLR): € 0,014.-/IO
 - Kosten/Bump ~ 1/Waferdurchmesser

Der Grund für den signifikanten Preisunterschied liegt in erster Linie an den Kosten für die Leiterplatte. Ausschlaggebend hierfür ist der bereits erwähnte minimale Pitch von 180 µm auf der ASIC Seite, den es auf der Leiterplatte abzubilden gilt. Damit geht ein minimaler Leiterbahnabstand von 80 µm bei einer Leiterbahnbreite von 100 µm einher. Diese Tatsache macht den Schritt zum auf Waferlevel umverdrahteten ASIC für P+F, aus Kostengründen, unumgänglich. Bei der Umverdrahtung auf Waferebene wird die periphere, und zudem sehr ungünstige, Anordnung der IOs auf dem ASIC in eine, für den Fertigungsprozess optimierte

Array Anordnung überführt. Entscheidender Vorteil ist der wesentlich entspanntere Pitch von 600 μm bei einem Balldurchmesser von 200 μm bei der Array Anordnung im Vergleich von ehemals 180 μm bei einem Solderballdurchmesser von 100 μm bei der peripheren Anordnung der Solderballs. Dadurch wird zum einen eine höhere mechanische Festigkeit auf Grund des größeren Lotquerschnittes sehr wahrscheinlich und zum anderen ist eine merklich kostengünstigere Leiterplatte, auf Grund des entspannten Pitches, die Folge.

Aus Tabelle 4.1.1 wird ebenfalls ersichtlich, das bezüglich der Flip-Chip-on-board- und der CSP-Technologie mögliche Kostenreduktionen durchaus realistisch sind. Dies betrifft zum einen die Tatsache, das durch eine Vergrößerung des Waferdurchmessers von 4“ auf 6“ bzw. 8“ die Kosten/Bump sinken werden und zum anderen durch den Einsatz eines No Flow Underfills, anstatt wie ausschließlich in diesem Projekt eingesetzten Capillary Underfill, Kosten für den Prozess Underfill signifikant sinken werden.

Folgende Tabelle 4.1.2 gibt einen Überblick hinsichtlich der relevanten Angaben über die Produktdemonstratoren und deren Aufbau.

	Pepperl+Fuchs
Produkt	a) Induktiver Näherungsschalter b) Optischer Näherungsschalter
Verbindungstechnik der Chipkontakte	SMT kompatibler Fertigungsprozess mit der Verbindungstechnik Löten
Chipgröße (mm) (ungelapped)	a) PFI 037Z: 3,0×2,7×0,52 b) PFL 050B: 2,5×2,0×0,6
Anschlusskontakte	1) Chip (a) nicht umverdrahtet: peripher, 180µm Raster, Ball- durchmesser 100µm 2) Chip (a) umverdrahtet: volle Matrix, Raster 600 µm, Ball- durchmesser 200 µm 3) Chip (b) umverdrahtet: mehrreihig, Raster ca. 500 µm, Ball- durchmesser 200 µm
Bumpaufbau	UBM Ni/Au 5µm (PacTech) + eutektisches Blei-Zinn-Lot
Chippassivierung	Siliziumoxid (Variante1), vorauss. BCB (Varianten 2+3)
Substrat	starr, organisch Vorzug: FR-4, Dicke 0,8mm zweiseitige Metallisierung: Cu/Ni/Au (35µm/5µm/0,1µm)
Lotstop	Probimer 65, 4µm über Cu Lotstopdefinierte Pads (SMD)

Tabelle 4.1.2: Chipaufbau

4.2 Definition der Anforderungen an das Underfilling

Die Anforderung an den Underfiller resultieren aus der Sicht eines sehr flexiblen Herstellers von Produkten im Sinne von kleinen bis mittleren Losgrößen und einem hohen Mix an unterschiedlichen Aufträgen pro Tag. Diese Anforderungen sind aus Sicht eines Massenproduzenten sicherlich unakzeptabel. Daraus folgt, dass die Anforderungen an den Underfill, gemäß den Anforderungen des Produzenten, definiert werden müssen. Ein Punkt, der aus P+F Sicht nicht zu unterschätzen ist, ist die Tatsache, dass der, mit Flip Chips und SMD-Bauelemente bestückte Nutzen vereinzelt und während der Weiterverarbeitung in der Endmontage zuverlässig gehandelt werden muss, ohne dass Vorschädigungen an dem Package Flip Chip entstehen. Eine wichtige Aufgabe übernimmt diesbezüglich der Underfill, sprich er verbessert nicht nur die Zuverlässigkeit im Sinne von Temperaturwechsel etc., sondern auch die Handhabungseigenschaften des Nutzens bzw. der Leiterplatte während der Weiterverarbeitung. Folgende Forderungen an das Underfilling wurden seitens P+F definiert (siehe Tabelle 4.2.1).

	Pepperl+Fuchs
Underfillprozess an sich	Dauer verhältnismäßig unkritisch, <10 Sekunden
Aushärtung	150...100°C / 5...30 Minuten

Tabelle 4.2.1: Anforderung an den Underfill

4.3 Leiterplatten

Die entsprechenden Leiterplatten wurden für die ersten Versuche bestellt und, gemäß den neu erstellten Liefervorschriften, geliefert. Hierzu ist zu bemerken, dass von den Anfragen bei drei unterschiedlichen Leiterplattenherstellern lediglich einer sich bereit erklärte unsere Leiterplatten zu produzieren. In dem Zeitraum dieser Anfrage waren unsere anvisierten Stückzahlen pro Jahr von bis zu 50.000 Stück/Jahr für den Leiterplattenhersteller nicht attraktiv genug. Folgend eine Auflistung der Produktstrukturen der relevanten Applikationen (siehe Tabelle 4.3.1).

Produkt	Baugruppe	Leiterplatte	Bemerkung
NC...-12GM35-N0	3-7079A	5-3043A	PFI037Z_FC (Flip Chip Version)
NC...-12GM35-N0	3-7822	5-3316	PFI037Z_CSP (CSP-Version)
OBT150-8GM45...	3-8032	5-3294A	PFL050B_CSP (CSP-Version)
Zuverlässigkeits-Benetzungs-Layout	Seite A: Benetzung (PFI037Z_FC) Seite B: Zvlgkeit (PFI037Z_FC/CSP u. PFL050B_CSP)	5-3330	PFI037Z_FC/CSP (FC- / CSP-Version) // PFL050B_CSP (CSP-Version)

Tabelle 4.3.1: Produktstrukturen

Die aufgeführten Produkte sind mit Operationsplan und Stückliste wie auch den dazugehörigen CAD-Daten in unserem Produktionsplanungssystem (PPS-System) hinterlegt. Für die Leiterplatten wurden speziell auf die Flip Chip Technologie abgestimmte Liefervorschriften erarbeitet und systemseitig hinterlegt.

4.4 *Flip Chip- und CSP-Layouts*

Pac Tech und P+F definierten, aus beider Sicht sinnvoll optimierte Layouts hinsichtlich der Umverdrahtung auf Waferebene, für die Packages PFL037Z_FC, PFL037Z_CSP und PFL050B_CSP.

- Eckdaten PFI037Z_FC
 - FC-Masse (gelapped) = (3 x 2,7 x 0,3) mm
 - Minimaler Pitch = 180 µm
 - $\varnothing_{\text{Ball}}$ = 100 µm
 - Ballanordnung = peripher

- Unsymmetrisch

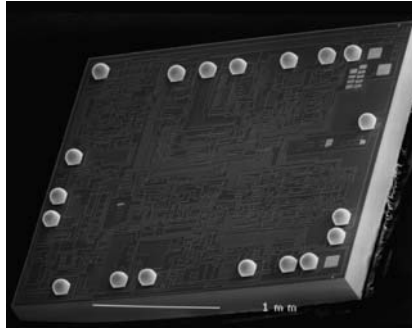


Bild 4.4.1: REM-Aufnahme des ASIC PFI037Z gebumped in Flip Chip Version

- Eckdaten PFI037Z_CSP

- CSP-Masse (gelapped) = (3 x 2,7 x 0,3) mm
- CSP-Pitch = 600 μm
- $\varnothing_{\text{Ball}}$ = 200 μm
- Ballanordnung = Array
- Unsymmetrisch
- Leiterbahnbreite (Umverdrahtungslayer) = 40 μm

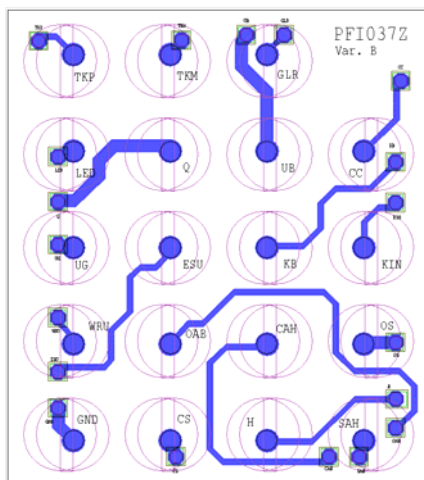


Bild 4.4.2: Design ASIC PFI037Z in CSP-Version

- Eckdaten PFL050_CSP
 - CSP-Masse (ungelapped) = (2,5 x 2 x 0,6) mm
 - CSP-Pitch = 500 μm
 - $\varnothing_{\text{Ball}}$ = 200 μm
 - Ballanordnung = Array
 - Unsymmetrisch
 - Leiterbahnbreite (Umverdrahtungslayer) = 40 μm

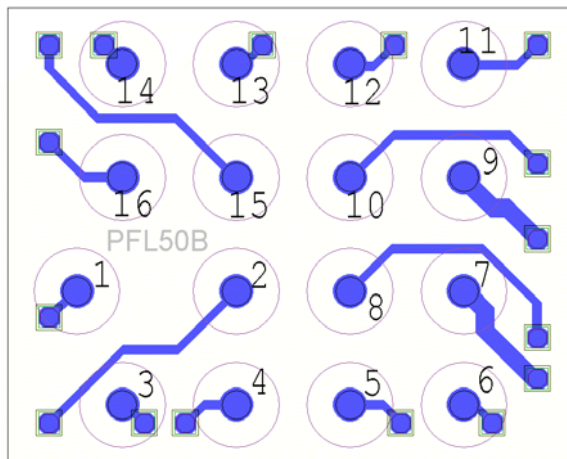


Bild 4.4.3: Design des ASIC PFL050B in CSP-Version

4.5 *Equipment*

Das notwendige Equipment, um die relevanten Produkte in einer realen Serienproduktion zuverlässig und reproduzierbar zu fertigen, wurde im Rahmen einiger Demos sorgfältig selektiert und bestellt.

Equipment	Liefertermin	Bemerkung
Schablonendrucker		
EKRA E5	Erledigt	Bereits vorhanden
SMD Bestücker		
Siplace 80 F5 HM	Erledigt (KW 49/2000)	DCA- + FC-Packet
Lötanlage		
Quantis PRO III	KW 05/2001	N ₂ - Option
Dispenser		
Camelot 3700	Erledigt	Evt. Zusatzoptionen erforderlich
Board Handling		
Conveyor	KW 05/2001	

Tabelle 4.5.1: Fertigungsequipment

Folgend nähere Informationen zum SMD-Bestücker und dem Underfill-Dispenser, da dieses Equipment direkten Einfluss auf die Prozesssicherheit des Bestückens und des Underfillens hat.

SMD-Bestücker

- 6 Segment Revolverkopf mit DCA-Modul
 - 5500 BE/h mit $\pm 60 \mu\text{m}$ (4 Sigma) bzw. $\pm 45 \mu\text{m}$ (3 Sigma)
 - Minimales Bumpraster = 0,2 mm
 - BE-Spektrum = (0,5 x 0,5) mm bis (13 x 13) mm
- Pick and Place Kopf mit Flip Chip Visionsystem
 - 1500 BE/h mit $\pm 40 \mu\text{m}$ (4 Sigma) bzw. $\pm 30 \mu\text{m}$ (3 Sigma)

- Minimales Bumpraster = 0,14 mm
- BE-Spektrum = (1 x 1) mm bis (20 x 20) mm über FC CCD
- BE-Spektrum = (1 x 1) mm bis (55 x 55) mm (Standard)
- Flussmitteldispenser
 - Volumina von 2 bis 100 Mikroliter in 1 Mikroliter Schritten applizierbar
- Dippmodul

Underfill-Dispenser

- Plaziergenauigkeit = $\pm 76 \mu\text{m}$ (3 Sigma)
- Wiederholgenauigkeit = $\pm 25 \mu\text{m}$ (3 Sigma)
- Drehverdrängerpumpe (Rotary positive displacement pump)
 - 10 bis 200 mg Material mit einer volumetrischen Genauigkeit von $\pm 2\%$ applizierbar
- Preheat, Dispensheat und Needle Heat verfügbar
- Kontaktheizungsprinzip
- Berührungssensor (Touch probe) zur Ermittlung der Höhenposition des Schaltungsträgers
- Vision System
- XYZ Auto Kalibrator

4.6 Versuchsdokumentation und Ergebnisse

Gegenstand der durchgeführten Versuche war ausschließlich das Produkt NC...-12GM35-N0 / Baugruppe 3-7079A / Leiterplatte 5-3043A mit dem ASIC PFI037Z in der Flip-Chip-Version ohne Umverdrahtung. Die Gründe hierfür sind in Kapitel 4.1 ausführlich erläutert.

Für die Versuche wurde folgender Fertigungsablauf definiert.

SMT-Lotpastendruck, Seite A \Rightarrow SMD Bestückung, Seite A \Rightarrow Reflow SMD, Seite A \Rightarrow SMT-Lotpastendruck, Seite B \Rightarrow SMD-Bestückung, Seite B \Rightarrow Dippen / Dispensen des Flip Chips \Rightarrow Flip-Chip-Bestückung \Rightarrow Reflow SMD, Seite B inkl. Flip-Chip \Rightarrow Funktionstest \Rightarrow Underfill und Aushärtung

Diesbezüglich wurden bisher drei Versuchsanläufe inklusive einiger Vorversuche durchgeführt. Der erste Versuch musste abgebrochen werden, da das Dispensmodul an der SMD Bestückungsmaschine nicht ordnungsgemäß funktionierte. Der zweite Versuch wurde genutzt um die generelle Entscheidung zu treffen, welche Applizierungsmethode des Flussmittels für den Flip Chip, die am besten Geeignete für unsere Applikationen ist. Der dritte Versuch wurde benutzt um die Prozesssicherheit / Reproduzierbarkeit des Designs/Layouts, mit den bereits über die Vorversuche definierten Randbedingungen, sicherzustellen. Für die Vorversuche wurde eine weitere Leiterplatte designed, die über die unterschiedlichen Anschlusskonfigurationen der Flip-Chip- und CSP-Packages, und einzeln herausgeführten ASIC-Anschlüsse, zu Testzwecken (Messung der Eingangsdioden gegen Masse bzw. Versorgungsspannung), verfügt. Damit wurden die Parameter für den Dippprozess und die Flip-Chip-Bestückung eingegrenzt und definiert.

4.6.1 Ergebnisse des zweiten und dritten Versuches

Ein wichtiges Ergebnis war die Definition der Applizierungsmethode des Flussmittels. Aus folgenden Gründen wurde die Applizierungsmethode Dippen favorisiert:

- Flussmittel wird lediglich an die Stelle appliziert, wo es benötigt wird, nämlich an die Lotbumps des ASICs
- Versuche zeigten unterschiedliche Ergebnisse bei Verwendung unterschiedlicher Dipp- / Dispens-Flussmittel. Getestet wurden insgesamt drei Flussmittel mit unterschiedlichen Parametereinstellungen an der SMD Bestückungsmaschine:

- Dispens-Flussmittel BS32R von Alpha Metals

Versuche zeigten eine großflächige Kontamination der Leiterplatte mit Flussmittelresten. Daraus resultiert die Frage der Flussmittelverträglichkeit zwischen Dispens-Flussmittel und konventionellem Flussmittel der SMD Lotpaste. Die Befürchtung liegt nahe, das dadurch eine negative Beeinflussung der Zuverlässigkeit die Folge ist. Aus diesem Grund und der nicht besseren Benetzungseigenschaften dieses Flussmittels im Vergleich zu den alternativen Flussmitteln fiel die Wahl auf die Applizierungsmethode Dippen.

- Dipp-Flussmittel TSF-6521C von Litton Kester

Versuche mit diesem Flussmittel zeigten ein sehr schmales Prozessfenster hinsichtlich der Dipphöhe in Verbindung mit der Benetzung der Lotpumps auf der Leiterplatte. Das heißt entweder wurden Kurzschlüsse zwischen benachbarten

Lotbumps, speziell im Bereich der Anschlüsse im 180 µm Raster, oder unzureichende Benetzung der Lotbumps auf der Leiterplatte diagnostiziert.

- Dipp-Flussmittel Tacflux 009 von Indium

Dieses Flussmittel zeigte im Rahmen der Vorversuche wie auch bei der Produktion der Baugruppen die besten Ergebnisse. Ein ausreichendes Fenster hinsichtlich der Dipphöhe und eine gute Benetzung der Lotbumps auf der Leiterplatte sind die herausragenden Eigenschaften des Flussmittels.

Die Einstellungen an der SMD Bestückmaschine inklusive dem Dippmodul sind Tabelle 4.6.1 zu entnehmen. Des Weiteren sind in Bild 4.6.1 und Bild 4.6.2 die abgescherten Lotbumps auf der Leiterplatte zu erkennen. Deutlich zu erkennen ist, dass im Bereich des 180 µm Rasters (siehe Bild 4.6.1 bzw. Bild 4.6.2 vergrößert) keine Kurzschlüsse vorhanden sind.

PCB-Nr.	H _{Dip} [µm]	F _{Aufsetz} [N]	t _{Eintauch} [sec]	T _{Halt FC-PCB} [sec]	a _{hoch FC-Flux} [mm/sec ²]	V _{Dreh Dip} [Poti]	Notes
5-3043A							
1	45	1	0,7	1	0,3	5,5	<ul style="list-style-type: none"> • Flussmittel frisch, d. h. ca. 0,5 h vor Bestückbeginn eingefüllt
2	45	1	0,7	1	0,3	5,5	<ul style="list-style-type: none"> • Dasselbe Flussmittel wie bei PCB Nr. 1 verwendet
3	45	1	0,7	1	0,3	5,5	<ul style="list-style-type: none"> • Dasselbe Flussmittel wie bei PCB Nr. 1 verwendet • FC Nachschub (neues Waffle Pak nachgelegt)

Tabelle 4.6.1 : Verwendete Dippparameter bei Baugruppe 3-7079A #050720 mit Tacflux 009

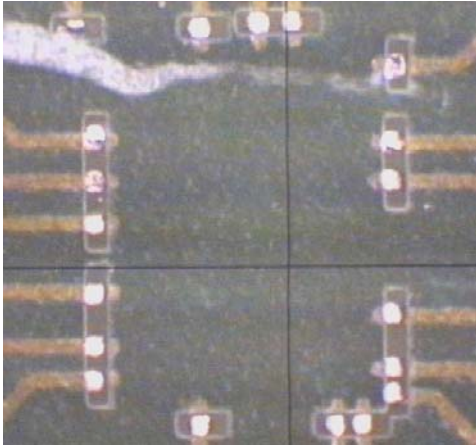


Bild 4.6.1: Leiterplatte mit abgescherten Lot-Bumps

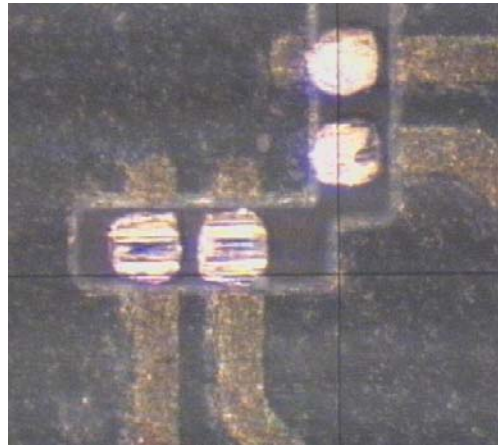


Bild 4.6.2: Bild 2 partiell vergrößert (Bereich unten rechts)

Unter Einbeziehung der gemachten Erfahrungen im Rahmen der durchgeführten Versuche wurde der dritte Versuche am „lebenden Produkt“ NC...-12GM35-N0 / 3-7079A / 5-3043A mit folgenden Ergebnissen gestartet (siehe auch Kapitel 4.7).

Die Dokumentation der Ergebnisse erfolgt anhand der Reihenfolge der einzelnen Prozessschritte, die für die Produktion der Baugruppe 3-7079A notwendig sind. Bild 4.6.3 zeigt einen Teil eines 44 fach Nutzens der prozessierten Baugruppe 3-7079 mit Blick auf den Flip Chip.

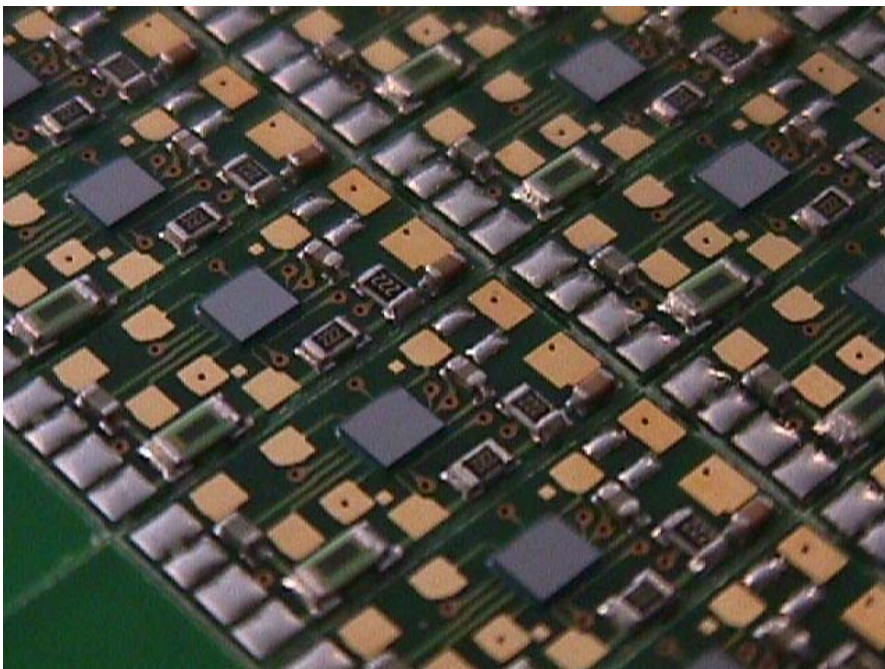


Bild 4.6.3: Seite B mit Flip Chip der Baugruppe 3-7079

Die einzelnen Fertigungsschritte sind im folgenden aufgeführt und mit relevanten Bemerkungen bzw. Notizen versehen.

SMT-Lotpastendruck, Seite A

Keine besonderen Vorkommnisse

SMD Bestückung, Seite A

Keine besonderen Vorkommnisse

Reflow SMD, Seite A

Keine besonderen Vorkommnisse (Temperaturprofil siehe Bild 4.6.4)

SMT-Lotpastendruck, Seite B

Keine besonderen Vorkommnisse

SMD Bestückung, Seite B

Keine besonderen Vorkommnisse

Dippen des Flip Chips

Die verwendeten Parameter, wie auch die gemachten Erfahrungen, sind auf Seite 19 nachzulesen bzw. der Tabelle 4.6.1 zu entnehmen.

Flip-Chip-Bestückung

Die SMD Bestückung des Flip Chips erfolgte ausschließlich mittels IC Kopf einer Siplace 80 F5 mit DCA Modul aus dem Waffle Pack. Der Bestückmodus des Flip Chips (FC) war hierbei:

FC abholen \Rightarrow FC Dippen \Rightarrow FC erkennen (Ball Inspektion) \Rightarrow FC bestücken

Reflow SMD, Seite B inkl. Flip-Chip

Keine besonderen Vorkommnisse (Temperaturprofil siehe Bild 4.6.4)

Prinzipiell wurde für Seite A und B das gleiche Reflowprofil verwendet (siehe Bild 4.6.4). Es wurde ohne den Zusatz von Stickstoff, sprich unter der Atmosphäre Luft gearbeitet. Folgendes lineares Reflowprofil wurde, unter Berücksichtigung allgemein gültiger Regeln, verwendet.

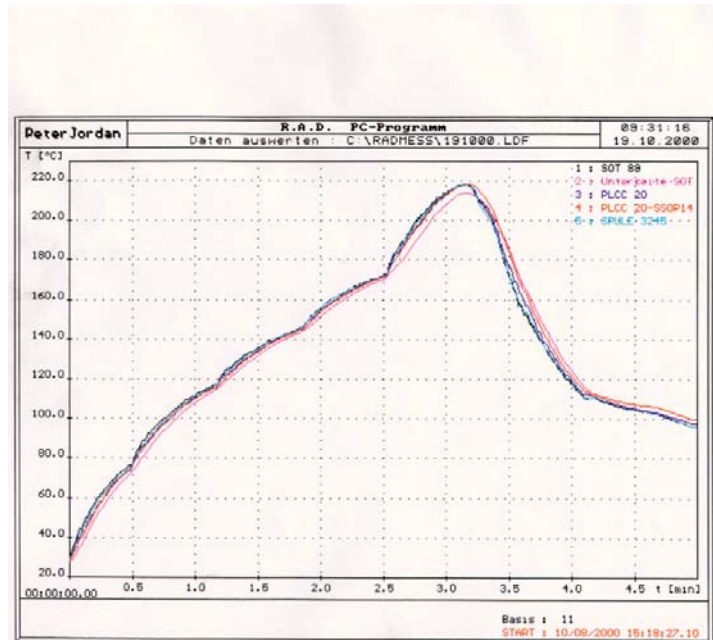


Bild 4.6.4: Reflowprofil SnPbAg

4.7 Funktionstestergebnisse und Interpretation

Der Funktionstest wurde, in der bei Pepperl + Fuchs üblichen Art und Weise, durchgeführt.

Testergebnis (First Pass Yield)

93,8%	OK
6,1%	defekt, davon
2,3%	SMD Bestückungsfehler
0,8%	Flip-Chip-Fehler
3,1%	unklare Fehler (Überlagerung mehrerer Fehler, die eine eindeutige Zuordnung unmöglich machen (KGD !?))

Speziell die Flip-Chip-Fehler und die unklaren Fehler wurden per Röntgen- und metallgraphischer Untersuchung genauer inspiziert.

Das Röntgen brachte einen Kurzschluss zwischen den Lotbumps OAB – H des ASICs zum Vorschein. Hierzu ist zu bemerken, das zwischen diesen Anschlüssen OAB – H ein Pitch von 180 µm zu verarbeiten ist. Außer diesem Ergebnis brachte die Röntgenuntersuchung keine weiteren Aufschlüsse.

Die metallographische Untersuchung bestätigte den bei der Röntgenuntersuchung bereits gefundenen Kurzschluss zwischen OAB - H. Bis auf kleine Auffälligkeiten wurden keine weiteren Fehler gefunden, welche die Ausfallursachen der anderen Baugruppen klären könnten. Alle untersuchten Lötstellen der Flip-Chips sind – den elektrischen Kontakt betreffend- in Ordnung. Die Verbindungen der Lötstellen zu den Leiterbahnen auf dem Chip sind gut, die Diffusionszone zwischen Lot und Ni-Schicht ist gut ausgebildet. Die Fehlerursache liegt demnach nicht im Bereich der Lötstellen des Flip-Chips.

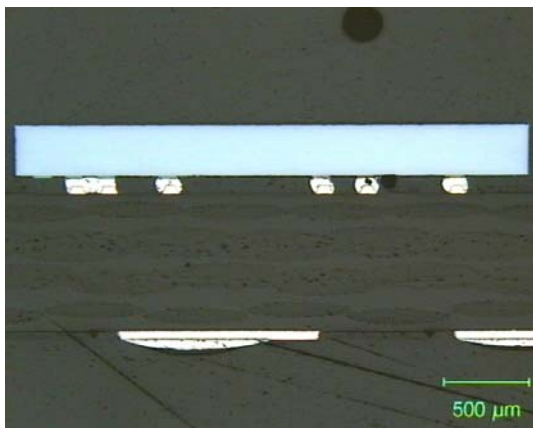


Bild 4.7.1: FC Kurzschluss OAB – H

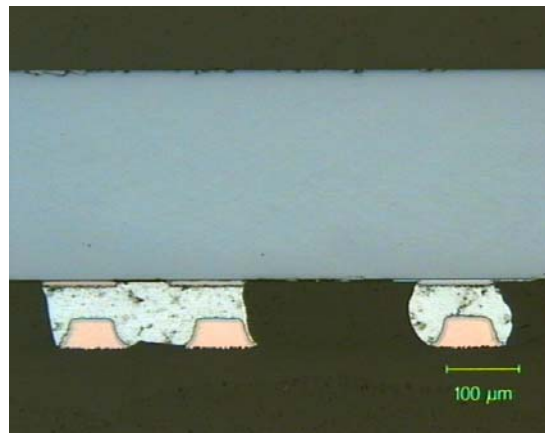


Bild 4.7.2: FC Kurzschluss OAB – H (Vergrößert)

4.8 Underfill und Aushärtung

4.8.1 Preferierte Underfills

Material	Hersteller	Härtetemp. / °C	Härtezeit / min	Viskosität / cP	CTE / ppm/K
3563	Loctite	150	5	8000	35
3566	Loctite	150	5	4500	50
3593	Loctite	150	5	5500	45
U1801	Alpha Fry	150	15	3500	26

Tabelle 4.8.1.1: Preferierte und teilweise verwendete Underfills (Capillary Underfills (CUF))

Alle in Tabelle 4.8.1.1 aufgeführten Underfills eignen sich nur für gelötete Flip-Chips und sind ausschließlich Capillary Underfills (CUF). Polymer-FCs benötigen insbesondere niedrigere Aushärtetemperaturen.

Bei der Beschaffung der Underfills traten einige unvorhersehbare Probleme auf.

- Underfill 3566 wurde seitens Loctite aus Sicherheitsgründen aus dem Lieferprogramm genommen, da dieser Underfiller während des Transports exotherm reagierte. Aus diesem Grund wurde der Underfill 3593, der intern bei Loctite als Nachfolger des 3566 genannt wird, in das Versuchsprogramm aufgenommen.
- Underfill U1801 konnte nicht beschafft werden, da bei Alpha Fry Technologies durch Umstrukturierungsmaßnahmen innerhalb des Unternehmens trotz mehrfacher Nachfragen kein Ansprechpartner gefunden wurde. Seit Beginn des Jahres 2002 steht ein Ansprechpartner zur Verfügung.

Daraus resultierend wurden mit den Underfills 3563 und 3593 entsprechende Underfill-Versuche durchgeführt. Bisherige Ergebnisse werden im folgenden beschrieben.

4.8.2 Freiheitsgrade für den Underfill-Prozess

Um einen prozesssicheren Fertigungsablauf während des Underfillings zu gewährleisten, müssen im Design der Leiterplatte bestimmte Vorgaben, abhängig von der jeweils gewählten Dispensform (L-, Punkt-Form etc.), berücksichtigt werden. Dadurch wird sichergestellt, dass der Underfill zum einen automatisiert an die Stelle aufgebracht wird wo er hingehört und zum anderen für ein optimales Fließverhalten gesorgt wird.

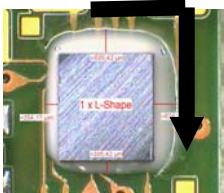
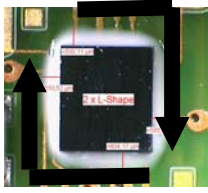
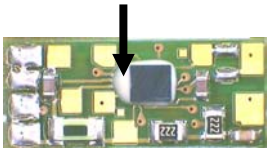
Shape			Underfill-Dot 
Randbedingungen			
Filet	0,5 mm	0,5 mm	0,5 mm
Freiheitsgrad = (Abstd. Nadel – FC) + Ø _{Nadel}	1 mm L-Shape	1 mm 2L-Shape	Radius = 1 mm
Zeit	2,21 sec	5,74 sec	4,14 sec

Tabelle 4.8.2.1 : Design Randbedingungen Underfill 3563

4.8.3 Ultraschallmikroskopische Untersuchungen

Gegenstand der Untersuchungen waren die, mit den Underfills 3563 und 3593 prozessierten, Baugruppen 3-7079A. Die ultraschallmikroskopischen Untersuchungen wurden erforderlich, um das prozesssichere Handling und die prozesssichere Verarbeitung des Underfillers zu dokumentieren. Beurteilungskriterien hierfür sind in erster Linie das Fließverhalten des Underfillers wie auch unerwünschte Delaminationen / Voids unter dem ASIC.

- Im Ultraschallbild zeigt der Underfiller ein gutes Ausbreitungsvermögen unter dem untersuchten Flip Chip mit einer ausreichenden Umschließung der Lotbumps
- Beim Vergleich der Proben untereinander hinsichtlich der Ausbreitung des Underfillers zeigen sich nur geringfügige Unterschiede.
- Die Ausbreitung des Underfillers ist an Stellen behindert, wo durch Leiterzüge unter dem Flip Chip die zur Verfügung stehende Spaltbreite reduziert wurde.

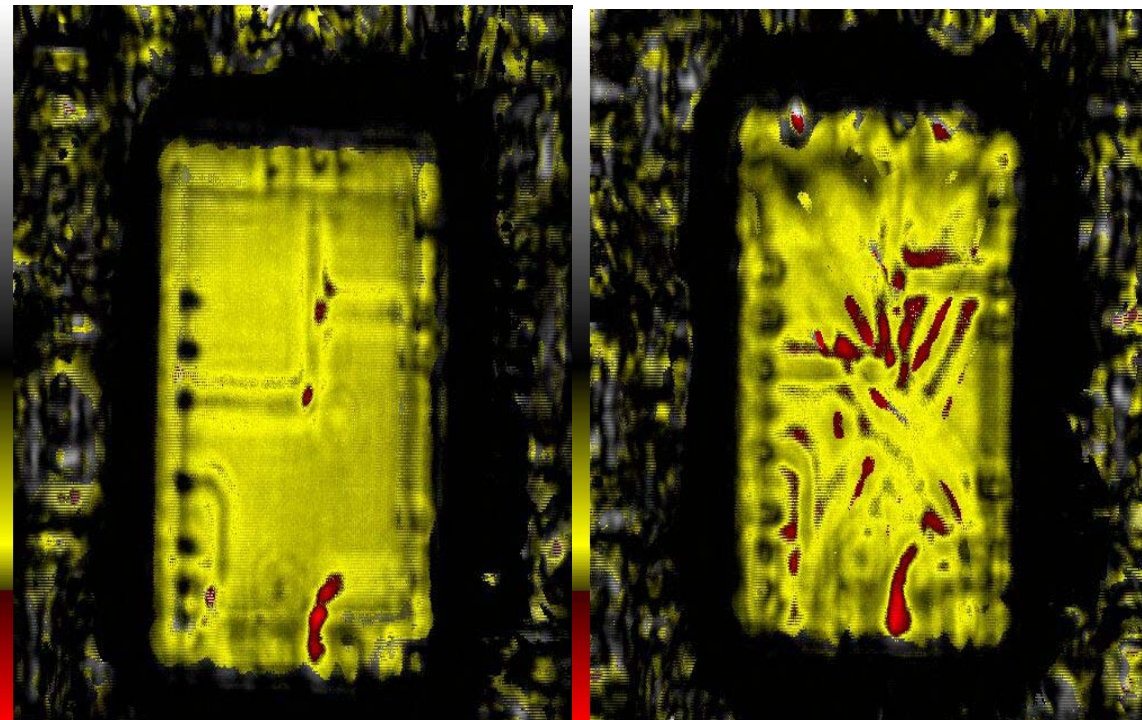


Bild 4.8.3.1: Ultraschallmikroskopie an ASIC PFI 037Z mit Underfill 3563

Die rote Färbung auf Bild 4.8.3.1 entspricht Störungen, Inhomogenitäten und beginnende Delaminationen des prozessierten und ausgehärteten Underfills unter dem ASIC PFI 037Z. Generell kann hierbei von einer ausreichenden Prozessqualität und –stabilität ausgegangen werden.

Ein vierter Versuch zur Sicherstellung der Prozesssicherheit der gesamten Prozesskette über eine größere Stückzahl und die dazugehörigen Zuverlässigkeitsuntersuchungen stehen noch aus.

4.9 Zuverlässigkeitsuntersuchungen

Die bei P+F durchgeführte Prüfung soll zeigen wie sich, die für P+F neue Flip-Chip-Technologie, in Bezug auf thermodynamischen Stress verhält. Die Prüfung wurde angelehnt an die Normprüfung „Schneller Temperaturwechsel im Zweikammerverfahren nach EN 60068-2-14“.

4.9.1 Prüfgegenstand

Bei den folgenden Varianten A. – C. handelt es sich um den kompletten Sensor, das heißt die Baugruppe ist mit Spule und Kabel versehen, mittels Laser einem Funktionsabgleich auf einen definierten Schaltabstand unterzogen, in ein Edelstahlgehäuse eingebaut und anschließend mittels einem Epoxidharz vergossen worden. Für die Variante C wurden Sensoren vom Fertigteilelager genommen, da dieser Artikel zum Standardprogramm von P+F zählt.

- A. Induktiver Näherungsinitiator mit Flip-Chip-on-board und Underfill 3563
- B. Induktiver Näherungsinitiator mit Flip-Chip-on-board und Underfill 3593
- C. Induktiver Näherungsinitiator mit konventioneller SMD-Technik

4.9.2 Prüfablauf

Die unter Punkt 4.10.1 aufgeführten induktiven Näherungsschalter wurden bestimmungsgemäß mit Spannung versorgt und einem Temperaturschock unterzogen. Alle Prüflinge wurden mit Vorwiderstand wie auch LED beschaltet und mit einer Versorgungsspannung von 24 VDC betrieben. Für die ausführliche Funktionsprüfung wurden die Sensoren jeweils nach einer definierten Anzahl von Temperaturschocks aus dem Schockschrank entnommen und gemäß Datenblattangabe überprüft.

4.9.3 Prüfparameter

Untere Temperaturgrenze = - 40°C

Obere Temperaturgrenze = + 85°C

Verweildauer = 3 h (4 Zyklen/Tag)

Versorgungsspannung U_b = 24 VDC

4.9.4 Schockanzahl, Ausfälle und Kommentar

Es wurden insgesamt 552 Temperaturschocks gemäß unter Punkt 4.10.3 spezifizierten Prüfparametern mit folgendem Ergebnis durchgeführt.

A. Induktiver Näherungsinitiator mit Flip-Chip-on-board und Underfill 3563

⇒ 2 Ausfälle

B. Induktiver Näherungsinitiator mit Flip-Chip-on-board und Underfill 3593

⇒ 1 Ausfall

C. Induktiver Näherungsinitiator mit konventioneller SMD-Technik

⇒ 1 Ausfall

Eine detaillierte Untersuchung bezüglich der Ausfallmechanismen ist für die Beurteilung der Beobachtungen erforderlich. Die Ergebnisse stehen noch aus. Grund hierfür ist zum einen der hohe Analyseaufwand bei der Präparation der ausgefallenen Sensoren, basierend auf der Tatsache das diese Sensoren mittels Gießharz vergossen waren. Zum anderen liegt für P+F die höchste Priorität aus bereits geschilderten Gründen nicht auf der Flip-Chip-on-board-Technologie. Aus Zeitgründen war diese Analyse innerhalb der Projektlaufzeit nicht möglich.

5. Zusammenfassung

Das Projekt zeigt deutlich, dass die Flip-Chip-on-board-Technologie als SMT-kompatibler Prozess prozesssicher ablaufen kann und bei geeigneten Pitches auf der Flip Chip Seite von größer gleich 200 μm eine bereits heute kostengünstigere Alternative zur COB-Technik darstellt. Im Vergleich zur konventionellen SMD-Technik ist ein Kostengleichstand für genannten Pitch von größer gleich 200 μm realistisch, allerdings müssen hierzu das entsprechende Equipment vorhanden, das Handling und die Randbedingungen wie Liefervorschriften, Fertigungsanweisungen etc. angepasst werden.

Die, aus P+F Sicht sehr attraktive, auf Waferlevel-umverdrahtete-CSP-Technologie gibt dem Anwender die Möglichkeit selbst bei ungünstigen Chiplayouts eine, für den Fertigungsprozess, optimierte Ballanordnung umzusetzen und damit ein bisher, aus Kostengründen, ungenutztes Miniaturisierungspotential in einem vernünftigen Kosten-Nutzen-Verhältnis auszu-schöpfen. Leider fehlt bei den Chipherstellern wie auch bei den auf diesem Gebiet tätigen Dienstleistern, aus heutiger Sicht, die erforderliche Prozessstabilität hinsichtlich der Umverdrahtung auf Waferlevel um diese Technologie in der Sensortechnik einzusetzen. Es ist eine Frage der Zeit, wann die Hersteller wie auch Dienstleister diese Problemstellung gelöst haben.

6. Anhang

- Anlage A1: Arbeits- und Zeitplan der Fa. Pepperl + Fuchs GmbH