

Zuwendungsempfänger: <b>ATMEL Germany GmbH</b>	Förderkennzeichen: <b>01M 3057 A</b>
Vorhabensbezeichnung: <b>MONARCH - Entwicklung und Modellierung einer neuen Testerarchitektur</b>	
Laufzeit des Vorhabens: <b>01. 11. 2001 - 31. 03. 2003</b>	
Berichtszeitraum: <b>01. 11. 2001 - 31. 03. 2003</b>	
Berichtersteller: <b>ATMEL Germany GmbH Theresienstr. 2 74072 Heilbronn</b>	
Bearbeiter: <b>Andreas Lehmann, Tel.: 07131 - 67 2092 Jens Schuster, Tel.: 07131 - 67 3052</b>	

## Abschlußbericht Fördervorhaben MONARCH



## Inhalt

1	Vorwort	3
2	Aufgabenstellung	4
3	Voraussetzungen für das Vorhaben	7
4	Planung und Ablauf	8
5	Wissenschaftlich-technischer Stand zu Beginn des Fördervorhabens	9
6	Zusammenarbeit	12
7	Erzielte Ergebnisse	14
7.1	Arbeitspaket 1	14
7.2	Arbeitspaket 2	15
7.3	Arbeitspaket 3	15
7.4	Arbeitspaket 4	16
7.5	Arbeitspaket 5	17
8	Verwertbarkeit der Ergebnisse	18
9	Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen	18
10	Veröffentlichungen	18

# 1 Vorwort

Der vorliegende fachliche Abschlußbericht des Fördervorhabens MONARCH (Entwicklung und **Modellierung** einer **neuen Testerarchitektur**) stellt die Grundlagen und Ergebnisse dieses Projektes bis zum vorzeitigen Widerruf des Förderbescheids zum 31. März 2003 dar.

Trotz vielfacher Rettungsversuche seitens der Projektpartner konnte ein Fortbestand des aussichtsreichen Projektes MONARCH nicht erzielt werden, da der Projektpartner SZ Testsysteme AG zunächst Insolvenz angemeldet hatte und anschließend stillgelegt bzw. aufgelöst wurde.

Diese Rettungsversuche beinhalteten nicht nur die finanzielle Unterstützung für SZ Testsysteme AG, sondern auch die Suche nach einem potentiellen Substitutionspartner. Durch die bereits erarbeiteten Grundlagen war jedoch der Einstieg eines weiteren Testsystemherstellers nicht möglich. Eine Weiterführung des Fördervorhabens ohne einen Partner aus dem ATE (**A**utomatic **T**est **E**quipment) Bereich wäre nur mit einer grundlegenden Umgestaltung der Ziele und Arbeiten machbar gewesen und somit weder im Sinne der verbliebenen Projektpartner, als auch des Fördergebers.

Im Folgenden werden daher viele der dargestellten Ergebnisse nur rudimentär verwertbaren Charakter haben. Gründe dafür liegen einerseits im vorzeitigen Ende des Vorhabens, d. h. Arbeiten konnten nicht mehr koordiniert mit den Partnern beendet werden, andererseits sind ehemalige Ansprechpartner beim Projektpartner SZ Testsysteme AG nicht mehr verfügbar und ein entsprechender Informationsaustausch nicht mehr realisierbar. Insbesondere in den Arbeitspaketen mit stark vernetzten Ansätzen innerhalb des Konsortiums sind nur ansatzweise Ergebnisse erzielt worden, die eine Implementierung in die reguläre Produktionsmeßtechnik bei ATMEL zulassen würden. Einziges erfolgreich abgeschlossenes Entwicklungsergebnis innerhalb des Konsortiums war ein, im Rahmen von Arbeitspaket 4, entstandenes Zusatzmodul zum RF Port Modul mit einer Erweiterung bis 18 GHz, das jedoch ebenfalls durch die Auflösung der SZ Testsysteme AG bedingt nie zum Einsatz kam.

## 2 Aufgabenstellung

Mit heutigen am Markt verfügbaren Testsystemen sind Bauelemente der nächsten Generationen nur noch unzureichend testbar, da es sich zunehmend um Komplettsysteme auf einem Chip für unterschiedliche Anwendungsgebiete handelt. Diese Tatsache verlangt nach neuen Testmethoden und damit nach Testsystemen mit erheblich gesteigerter Funktionalität.

Im Rahmen heute existierender Architekturkonzepte wäre eine erforderliche Weiterentwicklung nicht mehr realisierbar.

Eine evolutionäre Erweiterung würde zu extrem teuren und starren Supertestsystemen führen. Derartig umfangreiche Testsysteme sind bereits heute äußerst kostenintensiv und erfordern eine aufwendige Infrastruktur (z. B. Stromversorgung, Kühlung) zum Betrieb. Darüber hinaus sind sie fehleranfällig, aufwendig zu programmieren und insbesondere für mittelständische Unternehmen kaum geeignet.

Beispiele für zukünftige Komplettsysteme und zugehörige Halbleitertechnologien:

- 42 V-Kraftfahrzeug-Bordnetz: Komplexe Bauelemente, die Leistungstechnologie, spezielle Anlogschaltungen und Digitalschaltungen enthalten.
- PEG (**P**assive **E**ntry **G**o) oder RKE (**R**emote **K**eyless **E**ntry): Drahtlose Sensorik, die im Test Hochgeschwindigkeits- und Signalauswertungshardware benötigt.
- Hochgeschwindigkeitsdatenübertragung über Glasfaser und andere schnelle Anwendungen nutzen die verfügbar werdende 90 GHz-Technologie ( $f_T$ ).

Hieraus resultieren unterschiedliche Konsequenzen für ein zukünftiges ATE:

- Stark unterschiedliche, aber meist sehr hohe Anforderungen, führen zur Forderung nach Modularität, besonders im Testkopf des Testsystems.
- Der umfangreiche Einsatz digitaler Signalverarbeitung macht neue Kommunikationsstrukturen für die Pinelektronik notwendig.
- Neue Halbleitertechnologien erfordern genaues Erzeugen und Messen kleiner und hochfrequenter Signale. Dies bedingt eine Entwicklung neuer Konzepte für die Pinelektronik, sowie für den gesamten Testkopf.
- Neue Leistungstechnologien erfordern Messung und Bereitstellung hoher

## Spannungen und Ströme.

Um die Erfüllung zukünftiger Testaufgaben optimal und kostengünstig zu gewährleisten, war ein neues Architekturkonzept zu realisieren, welches folgende Forderungen erfüllen sollte:

- Ein hoher Grad an Modularität ist zu unterstützen. Damit kann ein konkreter Tester je nach Kunde und Anwendung für einfache, sowie komplexe Meßaufgaben applikationsspezifisch zusammengestellt werden, ohne daß - wie bisher - umfangreiche Adaptionen insbesondere bei Betriebssoftware, Selbsttest und Kalibrierung nötig werden.
- Die ITRS (International Technology Roadmap for Semiconductors) fordert die Erhöhung der Zahl der Testkanäle auf über 1000. Dazu sind die Kosten pro Kanal bis zum Jahr 2005 um mindestens 25 % zu senken, für Hochfrequenzkanäle sogar um mindestens ein Drittel gegenüber dem heutigen Preisniveau. Für integrierte Schaltungen mit einer kleineren Zahl an Anschlüssen ist diese dennoch recht hohe Investition nur nutzbar, wenn mehrere Chips gleichzeitig getestet werden können (Multisite-Testing). Die Ressourcenzuordnung muß deshalb völlig neu geregelt werden, und zwar weitgehend automatisiert. Bisher ist es Stand der Technik, daß ein Prüfprogramm inklusive Loadboard zuerst einfach (Single Site) erstellt und getestet wird. Bei der Umstellung auf Multisite muß es oftmals komplett überarbeitet und auch ein neues Loadboard entwickelt werden. Dies bedeutet einen erheblicher Kosten- und Zeitaufwand. Ziel war es, ein Testprogramm schnell von Einfach- auf Mehrfachtest umstellen zu können.
- Die Entwicklung der Halbleiter im Mixed Signal-Bereich führt zur Kombination von hohen analogen Auflösungen bei gleichzeitigem Einsatz umfangreicher und leistungsfähiger Digitalfunktionen auf einem Chip. Außerdem steigt die Komplexität der eingesetzten Messungen stark an, was beides zu größeren Datenmengen führt. Die Leistungsfähigkeit der internen Verbindungen zwischen den Baugruppen der Maschine war deshalb um mindestens eine Größenordnung zu verbessern. Dazu reicht es nicht aus, nur die Datenraten zu erhöhen, es waren auch völlig neue Konzepte für die Verbindungsstrukturen selbst zu entwickeln (z. B. parallele Verarbeitung) und im Hinblick auf die neuen Testaufgaben zu optimieren.

- Im Bereich der mobilen Kommunikation sind bereits heute die vorhandenen Frequenzbänder ausgelastet. Zukünftige Standards werden sich bei Frequenzen über 10 GHz kombiniert mit größeren Bandbreiten bewegen. Dies erforderte neben der allgemeinen Verbesserung der Meßtechnik insbesondere deutliche Fortschritte im Bereich der Signalqualität und Signalführung zwischen Tester und Prüfling, sowie neuartige Kalibrierkonzepte.
- Das Schreiben von Testprogrammen durch den Anwender mußte wesentlich erleichtert und beschleunigt werden, um bereits im Produktionshochlauf neuer ICs von Beginn an höchste Qualitätsanforderung bei geringsten Kosten zu erfüllen. Der Entwicklungsaufwand für diese Phase sollte mit einem zukünftigen Testsystem von den typischen sechs Personenmonaten auf etwa die Hälfte reduziert werden. Die Grundlage dafür wäre eine neue, wesentlich übersichtlichere und benutzerfreundlichere Architektur.

Im Rahmen des Förderprojekts war eine neue Testerarchitektur in Form von Konzepten und Modellen zu erarbeiten, die sowohl technologisch, als auch von der Bedienbarkeit her, die durch die Partner und die ITRS definierten Anforderungen der Halbleiterindustrie erfüllen sollte. Anwender und Systemhersteller sollten gemeinsam Festlegungen zur Erreichung der gewünschten Leistungsmerkmale erarbeiten, um daraus die ausführbaren Spezifikationen für die Hard- und Software zu entwickeln. Die Leistungsfähigkeit der neuen Architektur war durch Simulation definierter Lastfälle zu erproben und nachzuweisen.

Die Kernaufgabe war also die Bereitstellung einer durch Simulation verifizierten Beschreibung einer neuen Generation von IC-Testern (Entwicklung von Modellen und Konzepten in Form einer ausführbaren Spezifikation).

Folgende Aktivitäten sollten hierzu bilden den Kern der Arbeit bilden:

- Definition einer neuen Testsystem-Architektur (Arbeitspaket 1).
- Konzeptentwicklung für Hard- und Software, die den modularen Aufbau des Testsystems unterstützt (Arbeitspakete 2 & 3).
- Technisch-wissenschaftliche Fundierung für hochfrequente Testkomponenten (Arbeitspaket 4).
- Methodische Durchführung der Gesamtsimulation von Hard- und

Softwarebausteinen mit anschließender Bewertung (Arbeitspaket 5).  
Der hardwaremäßige Aufbau der eigentlichen Testermodule sollte außerhalb des Projekts bei SZ Testsysteme AG erfolgen.

### **3 Voraussetzungen für das Vorhaben**

Zu Beginn des Fördervorhabens MONARCH wurde postuliert, daß zur optimalen und kostengünstigen Erfüllung zukünftiger Testaufgaben Testsysteme erforderlich sind, deren Hard- und Softwarearchitektur einen modularen Aufbau sowie höchste Leistungsfähigkeit zu unterstützen haben. Zur Erreichung dieses Zieles wurde ein Konsortium gebildet, das gleichermaßen akademische, wie industrielle Aspekte berücksichtigte.

Die konzeptionellen und wissenschaftlichen Arbeiten sollten unter der Federführung der beiden Lehrstühle LRS (Lehrstuhl für Rechnergestützten Schaltungsentwurf) und LHFT (Lehrstuhl für Hochfrequenztechnik) der Universität Erlangen entstehen.

Sowohl Anwenderaspekte bezüglich Bedienbarkeit, als auch entsprechende Schlüsselanwendungen mit den dazugehörigen Demonstratoren waren Schwerpunkt der ATMEL Germany GmbH.

SZ Testsysteme (erloschen) sollte sich um die realitätsnahe Implementierung der Hard- und Softwaremodelle kümmern, da diese eine fundamentale Grundlage für das im Anschluß geplante Testsystem der nächsten Generation bilden sollten.

Das gebildete Konsortium hatte also alle Voraussetzungen das Fördervorhaben zielgerichtet zu beenden, was jedoch durch die Stilllegung der SZ Testsysteme AG nicht mehr zu realisieren war.

## 4 Planung und Ablauf

Zur besseren Übersicht über den ursprünglich geplanten Ablauf von MONARCH über die gesamte ursprüngliche Laufzeit von drei Jahren, soll in Abbildung 1 die Meilensteinplanung dargestellt werden, die mit marginalen Änderungen bis zum Widerruf des Förderbescheides auch eingehalten wurde.

Quartal Aufgabe	1	2	3	4	5	6	7	8	9	10	11	12
1.1		R										
1.2		R/IWS		R		R/IWS				IWS		
1.3	R	R										
2.1	R											
2.2					R							
2.3				R						SW		
3.1			R	R								
3.2				R								
3.3					HWM					HWM		
3.4										HWM		
3.5			R									
4.3					R							
4.4								R/SW		R/SW	HW	
5.2								R/SW				
5.3										R/SW		
5.4												R/WS

R	Report
SW	Software
HWM	Hardware-Modelle
HW	Hardware (Demonstrator)
IWS	Interner Workshop
WS	Workshop

Abbildung 1: Meilensteinplanung MONARCH

Abbildung 2 zeigt einen Balkenplan, der den Ablauf des gesamten Vorhabens darstellt. Insbesondere wird hier die Interaktion der einzelnen Arbeitspakete untereinander deutlich.



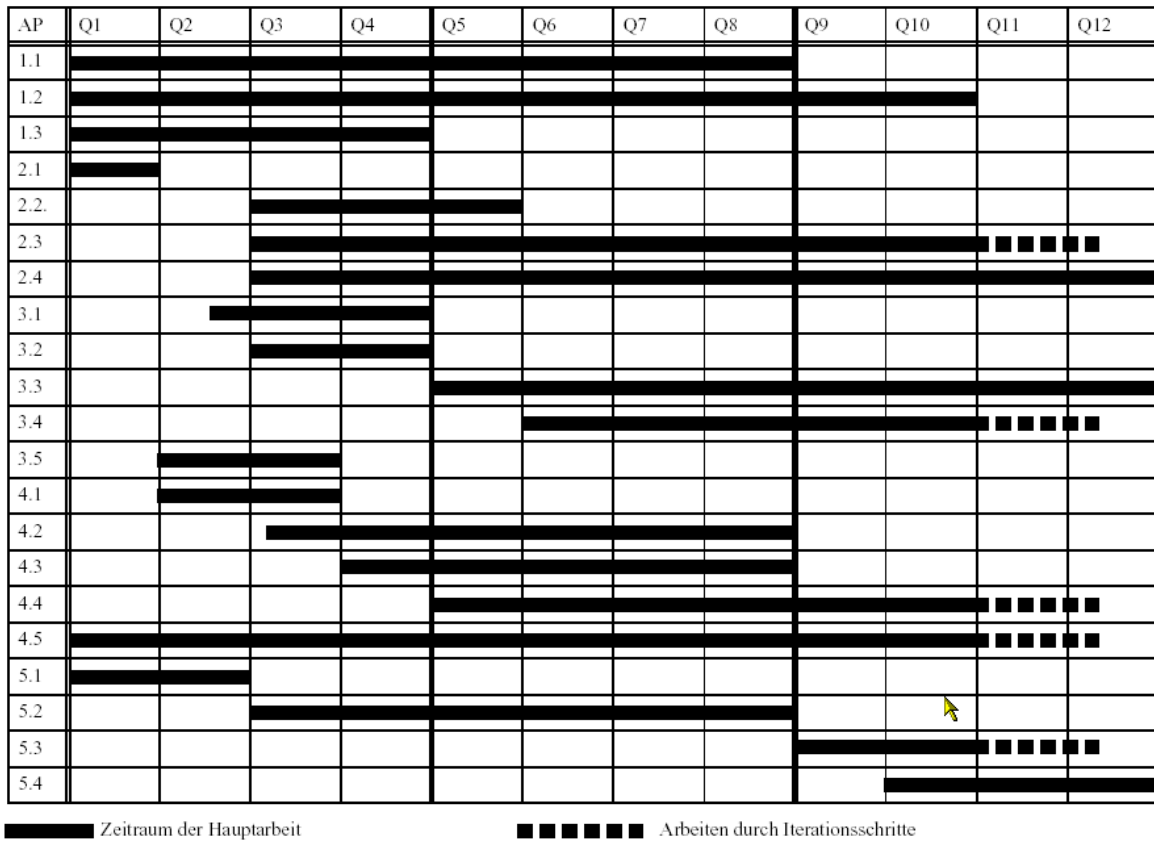


Abbildung 2: Balkenplan

## 5 Wissenschaftlich-technischer Stand zu Beginn des Förder- vorhabens

Gemäß der ITRS werden die bestehenden Testsystemarchitekturen von allen Testsystemherstellern in den nächsten fünf Jahren nicht mehr mit der komplexer und schneller werdenden Technik der DUTs (Device Under Test) Schritt halten können. Die Erforschung völlig neuer, modular aufgebauter und dezentral organisierter Architekturalternativen stellt deshalb eine der dringendsten Aufgaben für die Wissenschaft und Industrie dar. Bei den jeweiligen Testsystemherstellern entsteht erfahrungsgemäß ca. alle 10 bis 20 Jahre eine grundlegend neue Testsystemgeneration. Eine Marktanalyse zeigte deutlich, daß die Architekturen aller aktuell auf dem Markt befindlichen Testsysteme auf Grundlagenforschungen und Entwicklungen beruhen, die bereits zehn bis zwanzig Jahre zurücklagen.

Ein Vergleich der Leistungsmerkmale und Qualitäten der derzeit auf dem Markt verfügbaren Testsysteme gestaltete sich dagegen äußerst schwierig, da es - im Gegensatz zu den bekannten Benchmarks für Computer - keine objektiven und allgemein zugänglichen Verfahren bzw. Benchmarks zur Bewertung gibt.

Wissenschaftliche Literatur gibt es nur zu Einzeltestverfahren, nicht aber zum Bereich Systemarchitektur bzw. zur Integration der Testverfahren in den gesamten Testablauf. Die Testerfirmen sind - als Konkurrenten - nicht bereit, über Details ihrer Vorstellungen öffentlich zu diskutieren. Halbleiterfirmen führen im eigenen Hause stichprobenartige Leistungsbewertungen von Testmaschinen nur am Beispiel ganz konkreter IC-Typen durch.

Aus diesem Grunde konnte das Konsortium keinen objektiven Vergleich der Leistungsmerkmale aller auf dem Markt befindlichen Testsysteme durchführen und war gezwungen, eigene Benchmarks für die Entwicklung und spätere Evaluierung der neuen Testerarchitektur zu schaffen.

Heutige Testsysteme sind bezüglich ihrer grundsätzlichen Architektur ähnlich aufgebaut: Sie enthalten im Testkopf verschiedene Steckplatzbereiche für bestimmte Modularten. Die Steckplätze sind in der Regel spezifisch für die Kartenart Pinelektronik, DSP-Frontends, programmierbare Strom-Spannungsquellen oder spezielle Funktionen vorgesehen. Die Karten werden von einem gemeinsamen Kommunikationsbus gesteuert und haben Zugriff auf Synchronisationssignale (Master Clock und weitere Synchronisationsleitungen). Die Spannungsversorgung erfolgt über eine Reihe gemeinsamer Netzteile.

Die Ein- und Ausgänge der Module werden über ein Testerinterface-Board an der DUT-Schnittstelle des Testers angeboten. Dieses Testerinterface-Board stellt zudem Querverbindungen zwischen den Modulen her.

Die zukünftig geforderten Leistungsmerkmale können von diesen Testsystemen nicht mehr in befriedigendem Umfang erfüllt werden:

- Die Systeme sind unzureichend modular aufgebaut und können deshalb kaum flexibel an die oft sehr speziellen Anforderungen der Prüflinge angepaßt werden.

Konkret ergeben sich durch eine derartige Struktur einige Einschränkungen:

- Die Konfigurationsmöglichkeiten sind auf die jeweiligen Slot-Sektionen limitiert.
- Das Testerinterface-Board limitiert die Flexibilität ebenfalls.

- Auf diese Grundstruktur ist der Selbsttest-Adapter abgestimmt, der meist auch für die Grundkalibrierung verwendet wird.
- Die installierte Stromversorgung ist meist für eine bestimmte Konfiguration ausgelegt und damit nicht modular.
- Die interne und externe Kommunikation der Testmaschinen erweist sich als limitierender Faktor, sie wird der zu erwartenden Datenflut nicht mehr gerecht.
- Die Kommunikationskonzepte sind völlig ungeeignet für den Einsatz in einer modularen Architektur.
- Die nicht ausreichende Geschwindigkeit und Breite der Datenübertragung verlängert die Laufzeit der Testprogramme und erhöht dadurch die Testkosten.
- Die starre Architektur aller auf dem Markt angebotenen Testsysteme unterstützt nur in unzureichendem Maß parallele Testlösungen (vor allem Multisite-Tests). Damit können zunehmend Meßkanäle nicht effizient genutzt werden.
- Die traditionelle Testkopfarchitektur der Testsysteme bereitet bei den zukünftigen Technologien folgende Probleme:
  - Der Testkopf wird bei der geforderten zunehmenden Pinanzahl zu groß.
  - Der Testkopf produziert zu viel Wärme, die mit traditionellen Methoden sehr schlecht abgeführt werden kann.
  - Die Kommunikation zwischen Testkopf und Mainframe des Testsystems ist durch die Signallaufzeit aufwendig und beeinträchtigt die Signalintegrität.

Im gesamten Markt gibt es somit heute noch keine Testerfamilie, die auf diese neuen Anforderungen ausgerichtet ist. Verfügbare Systeme sind architektonisch ähnlich aufgebaut und weisen somit alle dieselben Schwächen auf.

Sämtliche Testerhersteller sind folglich unter Druck, Neukonstruktionen auf den Markt zu bringen.

Von Seiten der wissenschaftlichen Forschung ist zwar der Bereich der Testmustererzeugung seit vielen Jahren ausführlich untersucht worden, mit dem Bereich der Testmaschinen selbst hat sich jedoch bisher kaum eine Forschungsgruppe befaßt. Andererseits gibt es im Bereich der verteilten Architekturen und deren Leistungsbewertung sehr viele Untersuchungen, deren Ergebnisse (Verifikations- und Simulationsmethodik) bei der Entwicklung der neuen Testerarchitektur grundsätzlich anwendbar waren und die an die speziellen

Gegebenheiten angepaßt werden mußten.

## **6 Zusammenarbeit**

Das Konsortium für MONARCH setzte sich aus zwei industriellen Partnern und zwei Hochschullehrstühlen zusammen. Darüber hinaus wurden seitens ATMEL keine Unterauftragnehmer beschäftigt.

Die Projektpartner waren, wie folgt:

1. ATMEL Germany GmbH, Theresienstr. 2, 74072 Heilbronn
2. SZ Testsysteme AG (erloschen), Wasserburger Str. 44, 83123 Amerang
3. Universität Erlangen-Nürnberg, Lehrstuhl für Rechnergestützten Schaltungsentwurf, Paul-Gordan-Str. 5, 91052 Erlangen
4. Universität Erlangen-Nürnberg, Lehrstuhl für Hochfrequenztechnik, Cauerstr. 9, 91058 Erlangen

In der beschriebenen Zusammensetzung hatte das Konsortium den Vorteil, alle Aspekte (wissenschaftliche Grundlagen, Sichtweise und Erfahrungen des Testsystemherstellers, Sichtweise und Erfahrungen des Testsystemanwenders), die für die Entwicklung und Modellierung einer neuen Testsystemarchitektur notwendig gewesen wären, vollständig abzudecken. Die vorhandenen Erfahrungen aus den bisherigen Tätigkeitsgebieten bildeten die Grundlage für eine optimale Konzeptentwicklung. Die hohe Ausgewogenheit des Konsortiums wurde sichergestellt durch die Beteiligung von KMUs (SZ), Großindustrie (ATMEL), sowie der Universitätsinstitute (LRS, LHFT).

Die Teilnehmer des Projektes arbeiten auf dem Gebiet des IC-Tests in verschiedenen Bereichen:

SZ als Testsystemhersteller entwickelte und produzierte Testsysteme und brachte die daraus resultierenden Erfahrungen zur Testsystemarchitektur, Testsystemtechnik und Einsatz eines Testsystems in der Praxis mit ein. Das Scalable System Concept, das eine erfolgreiche Weiterentwicklung der Testsysteme darstellt, wurde in ersten Anwendungen realisiert und floß in das Projekt mit ein. Als

Teilnehmer des Projektes VIRTUS hatte SZ ebenfalls Erfahrungen im Bereich Systemsimulation gesammelt.

ATMEL als Anwender nutzt Testsysteme, erstellt Testprogramme und hat Erfahrungen mit dem Einsatz der Geräte im Testfloor. Anforderungen für Messungen im Hochfrequenzbereich und Erkenntnisse über Schwachstellen beim Einsatz von bestehenden Testsystemen in der Praxis wurden aktiv in das Projekt mit eingebracht.

Der Lehrstuhl für Rechnergestützten Schaltungsentwurf beschäftigt sich seit vielen Jahren in der Forschung mit Fragen des Tests von integrierten Schaltungen. Besonders zu nennen sind hier die Beteiligung im Projekt Jessi AC6, sowie VIRTUS (BMBF-gefördert) und OPTIMISTIC (EU-gefördert). Die behandelten Themen waren dabei Arbeiten zur Optimierung von Testprogrammen, Modellierung und Simulation, Virtueller Test, und die Beschreibung und Modellierung von Testerinstrumenten und Testsignalen. Der Lehrstuhl betreibt ein Testlabor, mit zur Zeit drei Produktionstestsystemen.

Am Lehrstuhl für Hochfrequenztechnik der Universität Erlangen-Nürnberg ist ein breites Erfahrungsspektrum im Frequenzbereich zwischen 100 MHz und 20 GHz vorhanden. Neben dem Entwurf, dem Aufbau und der meßtechnischen Charakterisierung von Mikrowellenschaltungen waren Arbeiten auf den Gebieten planare Wellenleiter im Mikro- und Millimeterwellenbereich, Gehäuse- und Verbindungstechnologien für Komponenten hochbitratiger Übertragungssysteme, dreidimensionale elektromagnetische Simulation von Koppelstrukturen und Antennen, Automatisierung von HF-Meßplätzen und EMV in Mikrowellen-Baugruppen und -Subsystemen besonders relevant für dieses Projekt.

## 7 Erzielte Ergebnisse

Im Folgenden soll beschrieben werden, welche Ergebnisse und Erkenntnisse seitens ATMEL im Rahmen von MONARCH bis zum vorzeitigen Widerruf gewonnen werden konnten.

### 7.1 Arbeitspaket 1

Die Kernaufgabe dieses Arbeitspaketes war die Definition einer neuen Testerarchitektur.

MONARCH war grundsätzlich in fünf Arbeitspakete gegliedert, die in ihrem Aufbau einem hierarchischen Modellingsansatz folgten. Arbeitspaket 1 bildete die Verhaltensebene bzw. Klammer um die Arbeitspakete 2 (Software) und 3 (Hardware). Arbeitspaket 4 war eine detailliertere Fortschreibung dieser beiden Arbeitspakete mit dem Schwerpunkt HF. Arbeitspaket 5 schließlich bildete wiederum die Klammer um alle anderen Arbeitspakete, die in ihrem Ansatz durchaus als Testbench für 1 - 4 verstanden werden konnte.

Die Hauptaufgaben seitens ATMEL im Rahmen von Arbeitspaket 1 war die Auswahl von Schlüsselanwendungen für das zukünftige Testsystem. Diese Schlüsselanwendungen wurden mit ihren Spezifikationen aus dem Bereich der KFZ-Elektronik und dem Bereich der Kommunikationstechnik ausgewählt und in Bericht I dargestellt. Diese Schlüsselanwendungen zeichneten sich alle dadurch aus, daß sie in ihren Testanforderungen weit über gängige Ansprüche und Verfahren hinausgingen und nur mit massivem zusätzlichem Aufwand auf existierenden Testsystemen realisiert werden konnten.

Darüber hinaus wurden in Bericht II Testverfahren für den Bereich SoC (System On Chip) dargestellt, die als Benchmarks für das zu modellierende Testsystem realisiert wurden. Diese Testverfahren wurden alle bei den erwähnten Demonstratoren bzw. Schlüsselanwendungen eingesetzt. Im Rahmen eines Workshops wurden außerdem die grundsätzlichen Anforderungen userseitig dargestellt. Diese umfaßten Anforderungen an die Bedienbarkeit, die Berücksichtigung von Multi-Site Tests, Testzeiten, Genauigkeiten bzw. Auflösungen, das Vorhandensein von entsprechenden automatisierten Kalibrierrouinen und schließlich elementare

physikalische bzw. elektrische Kenngrößen, wie z. B. Strom, Spannung, Grenzfrequenzen, etc. Diese Aufstellung liegt in Form einer Präsentation vor.

## **7.2 Arbeitspaket 2**

In Arbeitspaket 2 sollte die Ausarbeitung der Software-Architektur der neuen Testerarchitektur erarbeitet werden. Durch die naturgemäß starke SZ-Orientierung dieses Arbeitspakets und das frühe Ausscheiden dieses Partners aus dem Verbund, konnten hier nur rudimentäre Ergebnisse erarbeitet werden.

Den Schwerpunkt der Arbeiten auf Seiten von ATMEL bildete hierbei die Aufstellung eines Konzepts, das verschiedene Aspekte von Anwendern beinhaltete. Dieses Userkonzept wurde ebenfalls auf einem Workshop präsentiert.

Grundsätzlich muß bei einem Anwenderkonzept im Produktionsbereich von zwei verschiedenen Schwerpunkten ausgegangen werden. Zum einen ist dies der Schwerpunkt der interaktiven Testprogrammentwicklung (mit entsprechenden Debugging- und Auswertungsvorgängen), zum anderen ist es die Bedienung durch einen Operator und eine nachgeschaltete Meßdatenauswertung - gegebenenfalls im Offline Betrieb.

Desweiteren wurden erste Untersuchungen zu Optimierungsmöglichkeiten für Testprogramme unternommen, die aber nicht mehr implementiert werden konnten. Diese Optimierungsmöglichkeiten werden aber in abgewandelter Form im Produktionstest von ATMEL implementiert.

## **7.3 Arbeitspaket 3**

In Arbeitspaket 3 war die Modellierung der Hardwaremodule zu realisieren. Die eigentliche Modellierung sollte an den Hochschullehrstühlen erfolgen. In Kooperation mit diesen beiden Partnern wurde ein Modellierungsstandard entwickelt, der verschiedene Blickwinkel erfaßt (s. entsprechender Bericht des LRS, Uni Erlangen). Darüber hinaus wurden erste Komponenten definiert, die als erstes implementiert werden sollten, um grundsätzlich die Architektureigenschaften des neuen Testsystems verifizieren zu können.

Eine wichtige Schnittstelle zwischen dem DUT und dem Testsystem stellt das

Interfacemodul bzw. ein entsprechendes Modell dar. In Vorbereitung für folgende, generische Modellierungsansätze in diesem Bereich und als Vorgriff auf die Prüflingskontaktierung unter HF- und EMV-Gesichtspunkten (Elektro-Magnetische Verträglichkeit), wurden Untersuchungen an existierenden Gehäuseformen und den entsprechenden Kontaktiereinheiten durchgeführt und in einem internen Workshop mittels zweier Präsentationen demonstriert.

Die eigentliche Implementierung von Instrumentenmodellen in verschiedenen Modellierungstiefen und Abstraktionsebenen wurde von den Projektpartnern, bedingt durch die vorzeitige Beendigung von MONARCH, nur rudimentär implementiert.

## **7.4 Arbeitspaket 4**

Arbeitspaket 4 hatte zum zentralen Inhalt die Sicherstellung der Signalintegrität bei HF-Messungen, da der Anteil solcher Messungen in zukünftigen SoC-Designs überproportional steigen wird.

Zu diesem Zwecke wurden zunächst anhand der beiden Demonstratoren aus dem Bereich UHF ID und UHF Filter die zu übertragenden Signalformen definiert, um hieraus wiederum die HF-Meßanforderungen und geeignete Meßkonzepte ableiten zu können. Hierzu wurden charakteristische Frequenzbereiche analysiert und entsprechende Anforderungen an die HF-Parameter festgelegt. Diese Untersuchungen und begleitende Ergebnisse liegen in Form eines Berichtes vor, der in Zusammenarbeit mit dem LHFT der Uni Erlangen erstellt wurde.

Ein weiteres Arbeitsgebiet seitens ATMEL in Arbeitspaket 4, waren Untersuchungen an HF-tauglichen Spinnen, die zum Kontaktieren beim Wafertest zum Einsatz kommen. Schwerpunkt hierbei war der Übergang aus dem 50  $\Omega$  System hin zur Spinne. In Kooperation mit dem LHFT wurde ebenfalls ein Lösungsvorschlag erarbeitet, der ansatzweise in verschiedenen Berichten dargestellt wurde.

Neben diesen Aktivitäten wurden in Zusammenarbeit mit SZ und dem LHFT noch eine Erweiterung des existierenden HF Port Moduls auf 18 GHz erarbeitet, das jedoch durch die Stilllegung von SZ nicht mehr im Markt etabliert werden konnte.

Abschließend fanden erste Arbeiten im Bereich der automatisierten Kalibriermethoden für typische HF-Messungen statt. Zu diesem Zweck wurden bereits im Produktionsumfeld etablierte Methoden evaluiert. Diese Methoden sind



allerdings aktuell teilweise für jedes Projekt unterschiedlich anzuwenden und somit nicht immer im Sinne kalibrier-normal-basierter Ansätze (Embedding / De-Embedding).

## **7.5 Arbeitspaket 5**

In diesem Arbeitspaket, das sich die Systemintegration, Gesamtsimulation und die Verifikation zum Ziel gesetzt hatte, wurden zunächst, aus den in Arbeitspaket 1 festgelegten repräsentativen Anwendungen und Demonstratoren, Testabläufe definiert, die die wichtigsten Testmethoden abdeckten. Desweiteren wurden die Abnahmekriterien und Qualitätsmaßstäbe für die Evaluierung der Architektur und des Entwicklungskonzeptes festgelegt (s. auch Bericht III).

Auf Basis der Ergebnisse aus Arbeitspaket 2 sollten die entsprechenden Testprogramme realisiert werden, um in einem späteren Schritt im Vergleich mit gängigen Methoden als Benchmark zu dienen.

Die Einzelmodule bzw. -modelle aus den Arbeitspaketen 2, 3 und 4 sollten dann zu einem simulationsfähigen Gesamtmodell zusammengeführt werden. Die erstellten Testprogramme sollten in diesem Fall als Testbenches für das Gesamtmodell dienen.

Im Rahmen der verschiedenen Aktivitäten in Arbeitspaket 5 wurden seitens ATMEL zunächst die Qualitätsmaßstäbe und Bemessungsgrundlagen für alle zu generierenden Softwarekomponenten definiert und in einen Katalog aus Abnahmekriterien und Qualitätsmaßstäben, sowohl für die neue Testerarchitektur, als auch das neuartige Entwicklungskonzept an sich überführt.

Desweiteren wurden die Testprogramme für die als repräsentative Schlüsselanwendungen definierten Demonstratoren erzeugt und auf Schwachstellen bezüglich der herkömmlichen Systeme durchleuchtet.

Bedingt durch den zeitlichen Ablauf des Projektes MONARCH (Arbeitspaket 5 war naturgemäß als zeitlich letzter Block angelegt) und das vorzeitige Ende, konnte die Gesamtsimulation des neuen Systems mit den zugrundegelegten Testprogrammen nicht mehr durchgeführt werden.

Der Katalog aus Abnahmekriterien liegt als Bericht III vor, die Testprogramme als entsprechender Sourcecode. Schwachstellen dieser Programme in Bezug auf den

Einsatz mit herkömmlichen Systemen wurden im Rahmen eines Workshops aufgezeigt.

## **8 Verwertbarkeit der Ergebnisse**

Durch den vorzeitigen Widerruf des Förderbescheides, bedingt durch die Insolvenz der ehemaligen SZ Testsysteme AG, konnten insgesamt keine Arbeitspakete erfolgreich abgeschlossen werden.

Zum Zeitpunkt des Widerrufs waren jedoch keine Ansätze erkennbar, die nicht erfolgversprechend gewesen wären.

## **9 Fortschritt auf dem Gebiet des Vorhabens bei anderen Stellen**

Während der planmäßigen Laufzeit von MONARCH wurden keine ähnlich gearteten Arbeiten bekannt.

Daher wurden auch keine Fortschritte auf dem Gebiet der Modellierung von Testerarchitekturen bekannt, die über das Maß an Anfangsergebnissen im Rahmen des Fördervorhabens MONARCH hinausgingen.

## **10 Veröffentlichungen**

Seitens ATMEL wurde im Rahmen von MONARCH folgende Veröffentlichung miteingereicht:

*"Modeling a New Test Architecture: Concept of Levels of Abstraction"*

*T. Gentner, H. Beyer, C. Spircu, H. Grams, W. Hartl, J. Schuster*

*15<sup>th</sup> ITG Workshop Testmethods and Reliability of Circuits and Systems*

*Timmendorfer Strand, Germany, March 23 - 25 2003*