

Schlussbericht



IPQ: IP-Qualifikation für effizientes Systemdesign

Laufzeit des Vorhabens

1. Dezember 2000 - 30. November 2003

Autoren

Steffen Rülke, FhG (PK)
Hans-Jürgen Brand, AMD (PK)
Wenhao Yan, DTB (AP1)
Ralph Bergmann, Uni HI (AP2)
Frank Dresig, AMD (AP3)
Martin Radetzki, sci-worx (AP4)
Wolfgang Thronicke, SBS
Jasmin Franz, empolis
Andreas Vörg, FZI
Wolfram Hardt, Uni PB
Carsten Demuth, Infineon
Vasco Jerinic, TU C
Frank Rogin, FhG

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01 M 3048 gefördert.

Version 1.9, 25.5.04

Inhaltsverzeichnis

| | |
|--|----|
| 1 Teil 1 | 3 |
| 1.1 Aufgabenstellung | 3 |
| 1.1.1 Gesamtziel des Vorhabens | 3 |
| 1.1.2 Bezug des Vorhabens zu den förderpolitischen Zielen | 4 |
| 1.1.3 Wissenschaftliche und technische Aufgabenstellungen | 5 |
| 1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde | 6 |
| 1.3 Planung und Ablauf des Vorhabens | 12 |
| 1.4 Wissenschaftlicher/technischer Stand, an den angeknüpft wurde | 14 |
| 1.5 Zusammenarbeit mit anderen Stellen | 20 |
| 2 Teil 2 | 22 |
| 2.1 Erzielte Ergebnisse | 22 |
| 2.1.1 Arbeitspaket AP1: Standardisierung von IP und IP-gerechte Spezifikation | 22 |
| 2.1.2 Arbeitspaket AP2: Retrieval | 34 |
| 2.1.3 Arbeitspaket AP3: Eingangsscheck | 40 |
| 2.1.4 Arbeitspaket AP4: Anpassung | 49 |
| 2.2 Voraussichtlicher Nutzen | 62 |
| 2.3 Fortschritte an anderen Stellen | 68 |
| 2.4 Veröffentlichungen | 71 |

1 Teil 1

1.1 Aufgabenstellung

1.1.1 Gesamtziel des Vorhabens

Das rasante Innovationstempo in der Fertigungstechnologie mikroelektronischer Schaltungen erlaubt es, immer komplexere Systeme auf einem einzigen Mikrochip (Systems-on-Chip, SoC) zu integrieren. Da sich aber im Vergleich dazu die Produktivität der Entwurfsmethoden erheblich langsamer entwickelt, steigen Entwicklungsaufwand und -dauer stark an und das bei zunehmend kürzeren Produkt-Lebenszyklen und -Einführungszeiten.

Resultierende Aufgaben wie

- die Beherrschung steigender Entwurfskomplexität bei immer kleineren IC-Strukturen,
- die drastische Steigerung der Entwurfsproduktivität bei zunehmend kürzeren Produkt-Lebenszyklen und -Einführungszeiten (time-to-market) sowie
- die Sicherung der Entwurfsfehlerfreiheit bei anhaltendem Kosten- und Zeitdruck

sind von strategischer Bedeutung mit unmittelbarem Handlungsbedarf, um der bekannten, in Abb. 1 gezeigten, Schere zwischen Fertigungs- und Entwurfstechnologie entgegenzuwirken. Zur Lösung dieser Aufgaben ist der konsequente Einsatz wiederverwendbarer Komponenten, sogenannter IP-Module (IP: Intellectual Property) und entsprechender IP-basierter Entwurfsmethoden unverzichtbar.

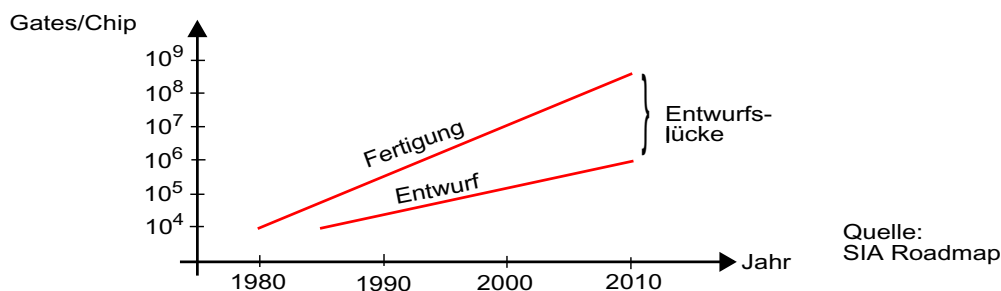


Abbildung 1: Entwurfslücke
(Produktivitätssteigerung bei Logik-Schaltkreisen: Fertigung/Entwurf)

Das im Rahmen der Förderinitiative EkompasS im Zeitraum 1. Dezember 2000 bis 30. November 2003 geförderte Projekt IPQ setzte dort an, wo noch die mit Abstand größten Probleme bei der Realisierung dieser IP-basierten Entwurfsmethodik bestehen: bei der IP-Qualifikation. Die IP-Qualifikation adressiert die beim IP-basierten Entwurf erforderlichen Aktivitäten zur Qualitätssicherung in der kausalen Kette

Entwickeln von IPs → *Auswählen/Evaluieren von IPs* → *Einsetzen/Anpassen von IPs* und zielte damit auf die Qualitätssicherung des IP-basierten Systementwurfs unter den Anforderungen einer hohen Entwurfskomplexität, Entwurfsproduktivität und Entwurfsfehlerfreiheit bei anhaltendem Kosten- und Zeitdruck. Damit wird ein Arbeitsgebiet charakterisiert, zu dem vor Projektstart nur in sehr wenigen Teilbereichen geeignete Lösungsansätze vorlagen. So wurden IPs wegen der bestehenden Risiken in weit geringerem Umfang als notwendig und sinnvoll eingesetzt: Die typischen Spezifikationen erschwerten die Identifikation geeigneter IP-Module, und es existieren keine standardisierten Methoden sowie EDA-Tools für den Vergleich und die Bewertung in Frage kommender IPs. Außerdem sind aufgrund mangelnder Flexibilität der IPs sehr häufig aufwendige und fehlerträchtige individuelle Anpassungen nötig. Erste erfolgversprechende Ansätze zur Lösung der genannten Probleme gibt es z.B. beim

sogenannten Intra-Company-Reuse, wobei innerhalb einer Firma IPs und Know-How zur Verfügung gestellt werden. Diese erste Stufe zur Wiederverwendung kann allerdings nicht auf einen firmeninternen Gebrauch begrenzt bleiben. Zum einen müssen wegen des hohen Entwicklungsaufwands eigene IPs zunehmend auch extern verwertet werden, zum anderen können sowohl große Firmen als auch klein- und mittelständische Unternehmen (KMU) nur durch den Einsatz fremder IPs die gewünschte Zeitersparnis beim Entwurf erreichen. Da firmenspezifische Lösungen nur schwer an andere Bedingungen adaptierbar sind, bleibt in der Praxis der Fremd-IP-Einsatz versagt, wenn es keine ausgereiften Methoden oder gar Werkzeuge am Markt gibt, die eine IP-Qualifikation als quasi Push-Button-Lösung anbieten.

Die in IPQ zu entwickelnden Methoden und Tools sollten dazu beitragen, entscheidende Verbesserungen für die Qualitätssicherung bei der Anwendung und Entwicklung von IP-Modulen zu erzielen. Erforscht und entwickelt wurden dazu industriell anwendbare EDA-Methoden (EDA - Electronic Design Automation) zur IP-Qualifikation, die marktgerecht, zukunftssicher und kostengünstig

- auf Anforderungen sowohl der IP-Entwickler als auch der IP-Nutzer abgestimmt sind,
- auf die Anwendungsklasse des Produktes zugeschnitten sind,
- die Realisierungsbasis und die beim Produktentwickler gegebenen Abläufe im Entwurfsprozess sowie dessen spezifische Entwurfs-Constraints berücksichtigen, aber auch
- relevante Standards einbeziehen bzw. die Entwicklung neuer Ansätze vorantreiben.

Dies beinhaltet Spezifikationsmethoden, intelligente IP Suche, Eingangsscheck, Verfahren zur IP Anpassung und Beiträge zur Standardisierung.

Zur Lösung der Aufgaben ist ein enges Zusammengehen von IP-Anwendern, IP-Providern, Tool-Anbietern sowie Forschungs- und universitären Einrichtungen notwendig, was durch das leistungsfähige IPQ-Konsortium aus AMD, sci-worx, Infineon, empolis, Uni Paderborn, FZI, Thomson, Siemens sowie den Unterauftragnehmern FhG/IIS, TU Chemnitz, Uni Hildesheim und Uni Kaiserslautern gewährleistet ist.

1.1.2 Bezug des Vorhabens zu den förderpolitischen Zielen

Einordnung in den BMBF-Förderkomplex EkompasS. Mit der Fördersäule "Neue Chip-systeme" erbringt das BMBF einen wichtigen förderpolitischen Beitrag zur Stärkung der Wettbewerbsposition Deutschlands im Systembereich. Innerhalb dieser BMBF-Fördersäule wurden für den Förderkomplex "Entwurfplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik- EkompasS" Förderziele definiert, die genau den Intentionen von IPQ entsprechen. Namhafte Unternehmen und kompetente universitäre und Forschungseinrichtungen stellen sich in ihren abgestimmten Arbeitspaketen der Herausforderung zur effektiven und qualitätsgerechten Beherrschung der Komplexität zukünftiger Chipsysteme sowie zur enormen Steigerung der Entwurfseffektivität und -produktivität. Der erfolgversprechende Lösungsansatz besteht in der Entwicklung neuer Entwurfsmethoden zur IP-Qualifikation und deren entwurfstechnologischer Umsetzung unter Berücksichtigung applikationsspezifischer Plattformen. Dabei steht das wissenschaftliche und wirtschaftliche Risiko in einem ausgewogenen Verhältnis zu den guten Erfolgsaussichten. Die Federführung durch den industriellen Verbundpartner AMD fördert die nachhaltige praxisorientierte Ausrichtung der arbeitsteiligen Zusammenarbeit der Unternehmen und Forschungseinrichtungen.

Förderziele. Die Qualität von EDA kann nur durch die parallele, vertikale Integration von neuen Methoden in die bereits in Abschnitt 2.1.1 genannten strategischen Aufgaben der Mikroelektronik:

- Beherrschung der steigenden Entwurfskomplexität,
- drastische Steigerung der Entwurfsproduktivität und

- Sicherung der Entwurfsfehlerfreiheit

verbessert werden. Um diese zentralen Probleme erfolgreich lösen zu können und dadurch die Wettbewerbsfähigkeit deutscher Hersteller zu erhalten bzw. auszubauen, ist IP-Qualifikation unverzichtbar. Sie betrifft alle drei genannten Aufgaben gleichermaßen. Vorhandene Defizite in der Designfähigkeit und im Schaltungs- und System-Know-How sollen durch das IPQ-Projekt deutlich verringert werden.

Methoden und Werkzeuge zur IP-Qualifikation gehören zur Schlüsseltechnologie Mikroelektronik und damit zu den am schnellsten wachsenden Industrien bzw. Märkten. Darüber hinaus beeinflusst die Mikroelektronik fast alle Industrien und Dienstleistungen durch die Hebelwirkung, da sie am Anfang der Wertschöpfungskette steht. Durch Zugänge auf hoher Abstraktionsebene kann IPQ direkt auf den Beginn der Wertschöpfungskette Einfluss nehmen. Zudem gehört der systemorientierte Schaltkreisentwurf traditionell zu den Stärken der europäischen und insbesondere deutschen Industrie, die auch in Zukunft die neuen Innovationen vorantreiben muss, damit der Wirtschaftsstandort Deutschland nicht an Attraktivität verliert.

Für den Standort Deutschland bildet die wirtschaftliche Stärke von KMU eine wichtige Grundlage. Da deren spezifische Anforderungen an die Wiederverwendung von IPs in das Arbeitsprogramm von IPQ eingeflossen sind, unterstützt das Projekt die Zukunftssicherung von KMU.

Nicht zuletzt ist durch die Einbindung von Forschungsinstituten und Universitäten sichergestellt, dass die Ausbildungsqualität des Nachwuchses gesteigert wird und die Spitzenforschung auch junge Leute ermutigt, technische und naturwissenschaftliche Berufe zu ergreifen.

Integration in das MEDEA+ Projekt ToolIP. Den gewaltigen Herausforderungen bezüglich Kosten, Ressourcen und Kompetenzen wird auch durch eine Globalisierung der Mikroelektronikindustrie und -forschung begegnet. Dementsprechend werden internationale Allianzen, die auch über Europa hinausreichen, die Mikroelektronikindustrie in Deutschland nachhaltig beeinflussen. Unter Berücksichtigung der europäischen Potentiale und Anforderungen wird die internationale Ausrichtung durch Gremien, wie z. B. MEDEA+ (Micro-Electronics Development for European Applications) unterstützt. Die Mehrzahl der IPQ-Partner hat darum entschieden ihre Arbeiten in Rahmen von IPQ als Beitrag zu einem MEDEA+ Projekt (A511 ToolIP - Tools for IP Reuse) einzubringen und gleichzeitig Synergien durch die Kooperation mit europäischen ToolIP-Partnern zu nutzen.

1.1.3 Wissenschaftliche und technische Aufgabenstellungen

Die Forschungsarbeiten zur IP-Qualifikation und deren Transfer in industriell verwertbare EDA-Methoden beruhen auf Analysen des Standes der Technik sowie wesentlicher Entwicklungstrends und Defizite. Die erarbeiteten wissenschaftlich-technischen Ansätze zur IP-Qualifikation sollen sich einfach in bestehende Entwicklungsumgebungen integrieren lassen sowie zur erheblichen Steigerung der Entwurfsproduktivität und Verringerung der Entwurfszyklen beitragen. Um dem IP-basierten Systementwurf zum Durchbruch zu verhelfen, sind anwendungsspezifische methodische Ansätze erforderlich, die den produktgetriebenen Interessen sowohl der Anbieter als auch der Anwender von IPs entsprechen und die durch ihren innovativen Charakter auch unter künftigen Anforderungen des Qualitätsmanagements im IP-Reuse-basierten Systementwurf bestehen können.

Der zukünftige Systementwurf benötigt Wiederverwendungsstrategien, die auf die Anwendungsklasse des Produktes zugeschnitten sind, die Realisierungsbasis (Zieltechnologie, Plattform, Prozess) und die beim Produktentwickler gegebene Abläufe im Entwurfsprozess berücksichtigen, aber auch relevante Standards sowie spezifische Entwurfs-Constraints einbeziehen. IP-Qualifikation als zentrales Problem bei der Wiederverwendung muss darüber hin-

aus Besonderheiten der IP-Erstellung (Design-for-Reuse: DfR) sowie der IP-Suche und -Nutzung (Design-by-Reuse: DbR) berücksichtigen, aber auch die Integration von DfR- oder DbR-Methodik in bestehende Entwicklungsumgebungen unterstützen. Folglich müssen die Methoden der IP-Qualifikation im besonderen Maße auf Anforderungen sowohl der IP-Entwickler als auch der IP-Nutzer abgestimmt sein.

Die Schwerpunkte von IPQ liegen darin, die wissenschaftlich-technischen und methodischen Grundlagen zu schaffen, um auf Basis einer *wiederverwendungsgerechten Spezifikation*, eine systematische und Tool-unterstützte Suche (*Retrieval*) sowie eine Bewertung und Auswahl (*Eingangsscheck*) geeigneter IPs zu ermöglichen. Im IP vorgesehene Konfigurationsmöglichkeiten (z.B. Parametrisierung) sollen eine effiziente anwendungsspezifische *Anpassung* erlauben, und standardisierte Formate werden den Einsatz von IPs im Sinne von „Plug & Play“ ermöglichen. Diese methodischen Ziele werden in dem geplanten Vorhaben in vier vernetzten Arbeitspaketen umgesetzt, die in Abschnitt 2.3 beschrieben sind.

Neben der Entwicklung der erforderlichen Methoden und Werkzeuge ist es für die deutsche Mikroelektronikindustrie von eminenter Bedeutung, dass ihre Interessen insbesondere auch bei den internationalen Standardisierungen vertreten werden. Die aktive Mitarbeit an Standardisierungsprozessen kann über den Marktanteil entscheiden und die notwendige Kooperation fördert auch die Entwicklung und Teamfähigkeit zwischen den Firmen. Im Bereich IP und deren Anwendung wird die Standardisierung durch die VSIA (Virtual Socket Interface Alliance) vorangetrieben. Hier soll das Projekt aktiv bei der Definition von Standards mitarbeiten. Weiterhin ist die Mitarbeit im HyperTransport Consortium sowie in der SystemC AMS Study Group vorgesehen.

Mittels Demonstratoren wird exemplarisch die Durchgängigkeit, Anwendbarkeit und Vermarktungsfähigkeit der von den Projektpartnern erreichten Ergebnisse für den Einsatz von Konzepten und Methoden der IP-Qualifikation vorgeführt. Schwerpunkt eines IPQ-Demonstrators ist der Einsatz von wissensbasierten Techniken in einer Infrastruktur zur wissensbasierten Verwaltung von IP-Daten, die den Anwender auf intelligente Weise bei der Auswahl von Komponenten unterstützt, die am Besten für seine Einsatzzwecke geeignet sind. Ein weiterer Demonstrator realisiert ein flexibles Framework zur Integration von Analysewerkzeugen des Eingangsschecks. Außerdem kann die Anwendung von Kodier- und Entwurfsregelchecks vorgeführt werden. Das IPQ-Format für IP-Transfer und Spezifikation qualitativer IP-Charakteristika sowie eine IPQ-Toolbox, die auf diesem Format basiert und IP-bezogene Dienste (als Prototypen: Werkzeuge zur Visualisierung und zum Aufruf von Web-Services sowie zur Werkzeugintegration) anbietet, sind Gegenstand eines weiteren Demonstrators. Schließlich soll auch die erfolgreiche IP-Integration durch Anwendung von IPQ-Ergebnissen bei der industriellen Entwicklung eines SoCs für multimediale, mobile Anwendungen demonstriert werden.

1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

AMD

Die Verifikationsgruppe des AMD Dresden Design Centers (DDC) arbeitet an der Verifikation von Prozessor Peripherie Schaltkreisen, in denen unterschiedliche Kommunikationskomponenten zusammengefasst sind. Die Größe der Chips übersteigt eine Million Gatteräquivalente. Diese Gesamtschaltungen setzen sich aus IP-Komponenten zusammen, die zum einen von externen Anbietern übernommen und zum anderen von AMD selbst erstellt werden. Einige der AMD-IP cores wiederum sind für eine externe Nachnutzung vorgesehen. Zur Lösung die-

ser komplexen Verifikationsaufgabe werden unterschiedliche Hilfsmittel wie Tools zur automatischen Testbench Entwicklung (Specman, Verisity), Verilog Simulationen, Emulationen/ Prototyping und Equivalence Checking eingesetzt. Damit werden sowohl einzelne IP-Blöcke als auch das Gesamtsystem verifiziert.

Erste Ansätze einer Strategie zur Wiederverwendung von IP, die unter anderem die Definition und Überprüfung von Coding Guidelines und die Bereitstellung einer Specman basierten IP Verifikationsumgebung umfasst, wurden am DDC untersucht. Obwohl in der Verifikationsgruppe Erfahrungen mit formalen Methoden wie z.B. Model Checking vorliegen, wurden darauf basierende Tools vor dem IPQ-Projekt noch nicht für die IP Qualifikation eingesetzt.

UA FhG

Arbeitsschwerpunkte der Gruppe „Synthese“ sind der Technologietransfer im Rahmen industrieller Projekte sowie F&E-Projekte zur Constraint- bzw. Applikations-gesteuerten Optimierung (Low Power, Timing, Wiederverwendung). Die Arbeiten zur Wiederverwendung umfassen ein breites Spektrum, wobei unterschiedliche Aspekte und Sichten des applikations-spezifischen Wiederverwendungsprozesses untersucht werden. Das betrifft u.a. Analyse, wiederverwendungsgerechte Spezifikation, Retrieval und Verifikation.

In Kooperation mit verschiedenen Industriepartnern (Robert Bosch GmbH, AMD) und Hochschulen (BTU Cottbus, TU Chemnitz), wurden Methoden und Werkzeuge zur Analyse von Verilog- und VHDL-Kodierrichtlinien bereitgestellt. Zur anwenderfreundlichen Spezifikation der Analyseaufgabe wurden gemeinsam mit der Robert Bosch GmbH Sprachkonzepte entwickelt und implementiert.

Die Gruppe „Test und Verifikation“ entwickelt Verfahren und Methoden auf den Gebieten des Digitaltests und des Analog- und Mixed-Signal-Tests sowie der formalen Verifikation. Die Arbeiten zur formalen Verifikation konzentrieren sich insbesondere auf Verfahren, die die Eigenschaften bestimmter Systemklassen für den Verifikationsablauf gezielt ausnutzen. Auf diese Weise wurden rekonfigurierbare Prozessoren, Steuereinrichtungen für die Automatisierungstechnik, die Abwesenheit von Steuerhasards in Pipeline-Prozessoren und der Steuerfluss digitaler Systeme verifiziert. Methodische Untersuchungen erfolgten mit Prozessalgebren und temporalen Logiken, sowie für BDD-basierte Traversierungsverfahren des Zustandsraumes endlicher Automaten und die symbolische Traversierung unendlicher Automaten. Die Anwendbarkeit von Theorembeweisern mit Logiken höherer Ordnung wurde für praktische Verifikationsaufgaben untersucht. Weiterhin ist der Software-Prototyp VERDIS, bestehend aus einem Equivalence Checker und einem Model Checker sowie aus Modulen zur verifikationsgerechten Modellierung der zu verifizierenden Systeme, implementiert worden. Es wurden verschiedene industrielle Entwürfe mit kommerziellen Verifikationswerkzeugen unter industriellen Bedingungen verifiziert.

UA TU Chemnitz

Im Bereich „Wiederverwendung“ werden an der Professur Schaltungs- und Systementwurf „Design for Reuse“-Entwurfsmethoden für digitale IP entwickelt, wobei die Schwerpunkte zum einen auf Modellierungskonzepten für IP liegen, die eine Minimierung des Anpassungsaufwandes der IP an neue Sollspezifikationen garantieren. Zum anderen werden Verifikationsmethoden und -umgebungen für digitale IP entwickelt, wobei insbesondere die Verifikation hochkomplexer IP durch Emulation auf rekonfigurierbarer Hardware im Vordergrund steht.

In verschiedenen F&E-Projekten konnten in den Bereichen Wiederverwendung und IP in den letzten Jahren umfangreiche Erfahrungen gesammelt werden. So wurde an einem industriellen Beispiel, dem Re-Design eines MPEG-2 Videodekodern, die Wiederverwendung komplexer Komponenten als Entwurfsmethode appliziert und erprobt.

Die Entwicklung von Modellierungsmethodiken für IP fokussiert insbesondere auf Paramet-

risierungskonzepte für synthetisierbare HDL-Entwurfsbeschreibungen. Erste Ergebnisse sind die im Rahmen des MEDEA-Projektes „EURIPIDES“ in Kooperation mit der Robert Bosch GmbH und der FhG - IIS/EAS Dresden entwickelten, wiederverwendbaren Kommunikationscontroller-Module für Standardschnittstellen. Im Rahmen dieses Projektes entstand des weiteren ein Prototyp eines industriell einsetzbaren Testbenchgenerators zur maschinellen Erzeugung der Verifikationsumgebung für IP. Der Testbenchgenerator nutzt zur Erzeugung der Verifikationsumgebung eine ebenfalls im Rahmen des Projektes entstandene Bibliothek von wohldefinierten, standardisierten Testbenchelementen.

Als eine weitere, effiziente Wiederverwendungsmethode wird die Technik der Generierung von Komponenten untersucht. So konnte ein an dieser Professur entwickelter Modulgenerator für arithmetische Datenpfadkomponenten in mehreren Projekten, welche den Einsatz von Hochleistungsarithmetik erforderten, erfolgreich appliziert werden.

Weiter Arbeiten befassten sich mit der Spezifikation und Synthese von Schnittstellen wiederverwendbarer digitaler Hardwarekomponenten. Auf der Basis von VHDL+, einer Erweiterung von VHDL, wurde eine Modellierungsmethodik für IP entwickelt, die die funktionale Spezifikation von der Spezifikation des IP-Interfaces separiert, sodass das IP-Interface ohne Modifikation der IP-Funktionalität an von Zielsystemen vorgegebene Schnittstellenspezifikationen, wie z.B. Kommunikationsprotokolle angepasst werden kann. Mit Hilfe des an dieser Professur entwickelten Werkzeugs „MODIS“ erfolgt eine automatische Synthese des IP-Interfaces auf RT-Ebene aus der VHDL+ Interface-Spezifikation.

Weitere Arbeitsschwerpunkte der Professur Schaltungs- und Systementwurf liegen auf den Gebieten Hochleistungsarithmetik für digitale Bildverarbeitung und Spezifikationserfassung digitaler, analoger und heterogener Systeme mit VHDL+ bzw. VHDL-AMS.

SBS

Im Rahmen von Förderprojekten blickt SBS C-LAB auf eine Historie erfolgreich durchgeführter Projekte zurück, deren Themen die Grundlage für die Teilnahme an IPQ bilden. Neben der Entwicklung von Methodologien für eingebettete Systeme auf der Basis des im Sonderforschungsbereich 358 der DFG entwickelten Synthesystems PMOSS wurden auch JAVA-basierte, objekt-orientierte Modellierungsansätze untersucht und entwickelt. So wurde z.B. die Generierung von Java-Code aus einem internen Syntheseformat implementiert. Neben der Kodierung des Systems wurden Untersuchungen im Bereich Kommunikation von Komponenten auf der Basis existierender Austauschformate und Protokolle (z.B. CORBA/IIOP) auch im Hinblick auf Echtzeitaspekte untersucht. High-Performance Computing (HPC) und Quality-of-Service-(QoS)-Garantien werden gleichermaßen im koordinierten BMBF-Projekt HiQoS vereint. Entsprechende Medienserver und Clients, sowie effiziente Netzwerkmodelle sind daher ebenso Gegenstand von HiQoS. Im Bereich der Toolintegration für eingebettete Systeme wurde die Middleware ASTAI(R) entwickelt [66], welche unter anderem die komfortable Integration von Entwurfswerkzeugen zu durchgängigen, komplexen Arbeitsprozessen erlaubt. Entsprechende Vorarbeiten wurden unter dem Arbeitstitel LIP (Lean Integration Platform) durch die BMBF-Projekte BIBLIO und MIMOSYS gefördert. Um das Basissystem herum wurden einige Zusatzmodule implementiert, die die weitgehende Integration von Sicherheitskonzepten und den Web-basierten Zugang zur Integrationsumgebung erlauben. Eine Fallstudie über den Entwurf spezieller IP-Komponenten, die in eingebettete Systemen eingesetzt werden, wurde im DFG-Projekt REDA durchgeführt. Erste Ansätze zur Integration von IP-orientierten Entwurfskonzepten auf Basis einzelner IP-Komponenten und Entwurfswerkzeugen wurden in der Entwurfsumgebung PARADISE realisiert. Kernpunkte dieser Entwurfsumgebung sind die Einsetzbarkeit von Werkzeugen über lokale Standorte hinaus und die Einführung einer modularen, streng strukturierten Entwurfsmethodik.

sci-worx

Die sci-worx GmbH (Hauptgesellschafter Infineon) ist aus der Sican GmbH hervorgegangen und hat im Rahmen eines Asset-Deals sämtliche Mitarbeiter, Verpflichtungen und Projekte der Sican GmbH übernommen. Die sci-worx GmbH ist ein Service-Center und Designhaus für Dienstleistungen und für die Entwicklung von High-End Produkten auf dem Gebiet der Mikroelektronik mit Hauptsitz in Hannover. Das Angebot von sci-worx umfasst u.a. die Entwicklung von Digital und Mixed Signal ASICs sowie die Systementwicklung für Multimedia-Anwendungen, jeweils ergänzt durch spezifisches Design-Methodik Know-How.

sci-worx gehört zu den weltweit erfolgreichsten Anbietern von IP-Modulen mit einer Fokussierung auf die Anwendungsfelder Telekommunikation und Multimedia. sci-worx bietet zahlreiche wiederverwendbare ASIC Cores (DesignObjects[®]) an, mit denen sich Design by Reuse verwirklichen lässt. Diese DesignObjects[®] reichen von Modulen für die digitale Video- und Audiosignalverarbeitung bis hin zu Modulen für industrielle Applikationen und diverse Bus-Interfaces.

Schon vor Beginn des IPQ-Projekts hatte sci-worx an internationalen F&E-Projekten teilgenommen, um die Entwicklung neuer Technologien zu verfolgen und aktiv mitzugestalten. So wurden im MEDEA-Projekt A116, M4M - MPEG fo(u)r mobiles, 1997 bis 1998 die Grundlagen einer MPEG4-Infrastruktur für mobile Anwendungen geschaffen. Heute gehört MPEG-Multimedia-IP zu den Kernkompetenzen von sci-worx.

Ziel im IPQ-Projekt war es, durch Schaffung und Standardisierung geeigneter Schnittstellen zum Kunden die Voraussetzungen für IP-gerechte Systemspezifikation, automatisierte IP-Suche, IP-Evaluierung sowie für erforderliche Anpassungen zu schaffen sowie die IP-basierte Entwicklung von Systems-On-Chip durch verbesserte IP-Qualität und effizientere Abläufe auf eine solide Basis zu stellen.

empolis

empolis war bereits zu Projektbeginn im Jahre 2000 einer der weltweit führenden Anbieter von intelligenten E-Assistance Lösungen und seinerzeit unter dem Firmennamen tec:inno aktiv. Seit 1991 werden intelligente elektronischer Beratungs- und Assistenzsysteme speziell für den Online-Vertrieb, den Support und das Knowledge Management entwickelt und implementiert. Die innovativen Anwendungen bestehen aus kooperativen und mitdenkenden Informationssystemen, die Wissensressourcen in Unternehmen erschließen und bündeln. Das reicht von Projektdokumenten über Produktdaten bis hin zu Fallbeispielen, die aus dem Erfahrungsschatz der Mitarbeiter resultieren.

Im Zusammenhang mit IPQ muss insbesondere auf die Erfahrung von empolis im Bereich des Knowledge Management und hier auf das Thema der Wiederverwendung hingewiesen werden. Die empolis Retrieval Produkte bilden die Grundlage des intelligenten Kataloges des IC Herstellers Analog Devices in den USA der im Internet und auf CD-ROM zur Verfügung steht. Er erlaubt es den Kunden, ihre Anforderungen, z.B. für einen Operationsverstärker, interaktiv zu spezifizieren. Ein Kunde kann Grenzwerte für zahlreiche Parameter angeben und ihnen bei Bedarf unterschiedliche Priorität zuweisen. Als Ergebnis der Anfrage erhält der Anwender eine Liste der zehn Produkte aus dem Analog Devices Sortiment, die seinen Anforderungen hinsichtlich der spezifizierten Parameter am besten entsprechen. Anschließend kann der Kunde dann direkt zu dem Datenblatt des entsprechenden Produktes verzweigen. Darüber hinaus ist es jederzeit möglich, die Suche zu modifizieren oder zu verfeinern, bis die optimale Lösung gefunden wird. Des weiteren arbeitete empolis bereits zu Projektbeginn gemeinsam mit dem Fraunhofer Institut für Experimentelles Software-Engineering am Konzept der Experience Factory, die die Wiederverwendung von Software und Softwareentwürfen unterstützt. Die Erfahrungen aus diesen beiden Bereichen, IC Katalog und Experience Factory, wurden von empolis in IPQ eingebracht und durch die gemeinsame Arbeit mit den Projektpartnern zu

einer vertikalen Retrievalplattform für IP weiterentwickelt.

UA Uni Kaiserslautern

Die Arbeitsgruppe „Wissensbasierte Systeme & Künstliche Intelligenz“, beschäftigt sich seit 1987 schwerpunktmäßig mit dem Gebiet des Fallbasierten Schließens und hatte bereits zu Projektbeginn darin in Europa eine führende Stellung eingenommen. Begründet ist dies durch eine Vielzahl von erfolgreichen Projekten. Im Jahre 1992 wurde mit dem INRECA Projekt (*ESPRIT-III Projekt, Förderung von 1992-1995*) das erste Europäische Projekt zum Thema Fallbasiertes Schließen durchgeführt, durch das auch bei den drei beteiligten Industriepartnern die technische Basis für den heutigen kommerziellen Erfolg gelegt wurde. Mit den nachfolgenden anwendungsorientierten Forschungsprojekten WiMo (*Förderung durch die „Stiftung Innovation für Rheinland-Pfalz“ von 1995-1996*), INRECA-II (*ESRPIT-IV Projekt, Förderung von 1996-1999*), READEE (*Förderung durch die „Stiftung Innovation für Rheinland-Pfalz“ von 1997-2001*), WEBSSELL (*ESRPIT-IV Projekt, Förderung von 1998-2000*), FIORES-II (*Growth Projekt, 5. EU Rahmenprogramm, Förderung von 2000-2003*) sowie eine Reihe von direkten Industriekooperationen konnte ein solides Verständnis für die Herausforderungen des Einsatzes fallbasierter Techniken in vielfältigen Anwendungsszenarien geschaffen werden. Darüber hinaus führten die Erfahrungen dieser Projekte zu einer fundierten Methodologie zur Entwicklung und Wartung fallbasierter Systeme. Ein Anwendungsgebiet, das seit 1997 besondere Bedeutung in der Arbeitsgruppe „Wissensbasierte Systeme & Künstliche Intelligenz“ erlangt hat, ist die Wiederverwendung elektronischer Schaltungen. Dies war der Gegenstand des Forschungsprojektes READEE (Juni 1997 - August 2001), in dem als ersten Pilotanwendungen Produktkataloge für Analoge Integrierte Schaltungen der Firma Analog Devices (USA) und für Digitale Signalprozessoren (vorgestellt auf der europäischen Design Automation Conference, DATE'98) erarbeitet wurden.

UA Uni Hildesheim

Die Arbeitsgruppe „Daten & Wissensmanagement“ die seit 1.10.2001 von Prof. Dr. Ralph Bergmann an der Universität Hildesheim geleitet wird, beschäftigt sich schwerpunktmäßig mit neuen Methoden des Wissensmanagement und hierbei insbesondere mit dem Gebiet des Fallbasierten Schließens. Der Arbeitsgruppenleiter setzt an der Universität Hildesheim seine Forschungsaktivitäten fort, die er von 1991 - 2001 an der Universität Kaiserslautern begonnen hatte. Die Voraussetzungen unter denen das Vorhaben durchgeführt wurde, die für den Unterauftragsnehmer Universität Kaiserslautern aufgeführt sind, sind daher gleichermaßen Vorarbeiten des Unterauftragnehmers Universität Hildesheim.

FZI

Das FZI Forschungszentrum Informatik ist eine mittelständische, gemeinnützige Forschungseinrichtung des Landes Baden-Württemberg, die aus der Universität Karlsruhe hervorgegangen ist. Ziel des FZI ist es Ergebnisse der wissenschaftlichen Forschung für kleine und mittelständische Unternehmen kurzfristig nutzbar zu machen. Dies geschieht durch Beratung, anwendungsorientierte Auftragsforschung und Systementwicklung auf Basis neuester Kenntnisse.

Das FZI gilt als gelungenes Modell für interdisziplinären Technologietransfer und kann seit seiner Gründung 1985 auf viele erfolgreiche Jahre zurückblicken. Dabei hat es seine Kompetenz in einer Vielzahl von geförderten Projekten sowohl auf nationaler wie auch auf internationaler Ebene unter Beweis gestellt. Zurzeit erwirtschaften etwa 100 Mitarbeiter in zwölf eigenverantwortlichen Forschungsbereichen einen Jahresumsatz von etwa 8 Mio. Euro.

Seit Jahren arbeitet das FZI sehr erfolgreich auf dem Gebiet der Wiederverwendung von Intellectual Property (IP)-Komponenten. Am FZI werden dabei mehrere Ansätze verfolgt, um das Ziel „Beherrschung der steigenden Entwurfskomplexität“, „Steigerung der Entwurfspro-

duktivität“ und „Entwurfsfehlerfreiheit“ zu erreichen. Zu diesen Ansätzen gehören zum Beispiel: eine Wiederverwendungsdatenbank (RMS) basierend auf einem objektorientierten Datenschema für die Wiederverwendung von Hardware-Beschreibungen, die Entwicklung effizienter Zugriffs- und Qualifizierungsmethoden; Methoden und Werkzeuge für digitale, analoge und mixed-signal Designs, System-Synthese sowie die aktive Mitarbeit in Standardisierungsorganisationen. In zahlreichen Publikationen konnten qualitative und quantitative Ergebnisse der Arbeiten dargestellt werden.

Vor Beginn von IPQ hatte das FZI unter anderem im EURIPIDES-Projekt (SSE-Projekt; MEDEA A-407) die Projektleitung. Die FZI-Arbeiten verfolgten in EURIPIDES zwei Schwerpunkte: Design Reuse (Wiederverwendung) und Rapid-Prototyping. Ergänzt wurden diese Aktivitäten durch die langjährigen Arbeiten auf dem Gebiet der Verhaltenssynthese. Der nationale Kontaktpunkt der „European Electronic Chips & System Design Initiative (ECSI)“ war am FZI eingerichtet. Die ECSI-Aufgaben umfassten die Betreuung der deutschsprachigen ECSI-Mitglieder, die Durchführung von ECSI-Veranstaltungen und die Mitarbeit im Rahmen der „Virtual Socket Interface Alliance“ (Standards im Bereich Wiederverwendung von Hardware-IP). Weiterhin koordinierte Dr. Ralf Seepold die Arbeiten in der MEDEA-EDA Roadmap zum Thema „IP-Reuse“.

In IPQ verfolgte das FZI die Ziele: Standardisierung von IP-Qualitätskriterien, Automatisierung der IP-Qualifizierung und des IP-Austauschs, die automatische Eingangsprüfung und IP-Anpassung auf Kundenseite, die Spezifikation und Modellierung eines IP-Entwurfablaufes, die Spezifikation der Charakterisierungsparameter insbesondere für AMS-IP-Module, sowie die Erweiterung der Wiederverwendungsdatenbank.

Uni Paderborn

Die Universität Paderborn, Fachbereich Informatik, ist auf dem Gebiet des automatisierten Systementwurfs international ausgewiesen. Grundlage für die Durchführung des Projektes waren die Vorarbeiten auf den Gebieten des Hardware/ Software Codesigns, des Architektur-entwurfs sowie der Entwurfsmethodik. Die Erfahrungen aus diesen Gebieten konnten als Expertise sowohl für die Konzeption und Entwicklung der methodischen Ansätze als auch in die Implementierung der IPQ-Toolbox eingebracht werden. Dabei hat sich erwiesen, dass aus der Modellierung einzelner IP-Komponenten auf verschiedenen Abstraktionsebenen wichtige Erkenntnisse für die Definition des IPQ-Formates abgeleitet werden konnten. In Zusammenarbeit mit dem Kooperationspartner Siemens SBS Clab konnten die Erfahrungen aus der Integration komplexer Entwurfsumgebungen in das Projekt eingebracht werden. Dies hat zu einer modularen, plattformunabhängigen und verteilt nutzbaren Werkzeugimplementierung geführt. Integrationsaspekte, bezogen auf einzelne IPs innerhalb eines Systems (SoC) konnten ebenfalls auf Grundlage der Vorarbeiten untersucht werden. Dies hat so einer Erweiterung des IPQ-Formates unter dem Aspekt der Integration einzelner IP Komponenten geführt. Insgesamt konnten alle für das Projekt notwendigen Voraussetzung aufgrund der Vorarbeiten und Erfahrungen eingebracht werden.

Infineon

Infineon Technologies ist einer der weltweit führenden Anbieter von Halbleiter- und Systemlösungen für die Automobil- und Industrieelektronik, für Anwendungen in der drahtgebundenen Kommunikation, sichere mobile Lösungen sowie Speicherbauelemente.

Der Automotive Microcontroller Bereich arbeitet speziell an komplexen System-On-Chip Lösungen. Diese sind dadurch gekennzeichnet, daß sie aus einer Vielzahl unterschiedlicher, meist standardisierter IP Blöcke zusammengesetzt sind. Die Bandbreite dieser Blöcke reicht von einfachen seriellen Interfaces, bis zu High-End CPU's. Diese werden zum Teil im eigenen Bereich entwickelt, von anderen Abteilungen zugeliefert oder aber auch am externen Markt

gekauft. Sie werden der eigentlichen Applikation in Form von geänderten Formaten und Interfaces angepasst. Fehlende Standards stellen einen signifikant höheren Entwicklungsaufwand und ein erhöhtes Risiko dar.

Erste Ansätze zu einer standardisierten On-Chip Infrastruktur, zu standardisierten Formaten und Prozessen hat es bereits gegeben. Diese Lösungen waren aber proprietär, d.h. mit den entsprechenden Lieferanten nicht abgestimmt. Dadurch kam es zu Missverständnissen, bzw. zu einem Mehraufwand, da Blöcke in eigenen Formaten nicht geliefert wurden.

Standards zu definieren wurde auch versucht. Als einzelne Firma diese zu treiben hat intern als auch extern zu Akzeptanzproblemen geführt, eine weite Verbreitung hat so nicht stattgefunden.

DTB

Der THOMSON Konzern mit Stammsitz in Boulogne (Paris) ist eine international tätige Unternehmensgruppe (Thomson, RCA, Technicolor, GrassValley), die im Bereich der Videoverteilungskette aktiv ist, d.h. alle Produkte von der Aufzeichnung über das Speichermedium bis zum Abspielgerät anbietet. Die Aktivitäten von Thomson sind in fünf Bereiche aufgeteilt: Display & Components, Digital Media Solutions, Consumer Products, New Media Services und Patent & Licensing.

Die Deutsche Thomson-Brandt GmbH (DTB in Villingen/Hannover) ist eines von drei Forschungs- und Entwicklungszentren innerhalb des Konzerns und beinhaltet das europäische Fernsehentwicklungszentrum sowie das weltweite Entwicklungszentrum für optische Systeme (CD/DVD). Die Villingener Kompetenz liegt vor allem in folgenden Entwicklungsschwerpunkte: Entwicklung von digitalen Hardware-Systemen und entsprechender Software, d.h. Systeme zur Modulation/Demodulation von digitalen Signalen, digitale Kompressionssysteme, Systeme zur digitalen Signalverarbeitung, Conditional Access Systeme, digitale Aufnahmesysteme, Schnittstellen Mann Maschine, Mikroelektronik und Mikromechanik, Assembly Techniken, optische Systeme, Key Komponenten z.B. für CD/DVD, TV sowie digitale Produkte, die den höchsten europäischen Standards entsprechen.

Zudem ist die DTB das weltweite Entwicklungszentrum für Tunersysteme und eines von 3 weltweiten Standorten des ICDH (IC Design House). Im Bereich ICDH-Villingen wird im Gegensatz zu den anderen weltweiten Standorten sowohl digital als auch analog IC- Design betrieben.

Bereits vor dem Start dieses Projektes wurde innerhalb des Thomson ICDH eine weltweit agierende IP-Gruppe etabliert unterer anderem in Villingen. Diese Gruppe ist aus der Notwendigkeit von IP-Anwendung in immer komplexer werdenden IC entstanden. Kernaufgabe dieser Gruppe ist einerseits die Entwicklung von neuen IP-Generationen andererseits die IP-Qualitätssicherung.

1.3 Planung und Ablauf des Vorhabens

In IPQ wurden vier Arbeitspakete bearbeitet, die von der IP-Spezifikation bis zum IP-Einsatz im Sinne eines Ablaufs aufeinander aufbauen und eine enge wechselseitige Verzahnungen besitzen. Während im *AP1 Standardisierung von IP und IP-gerechte Spezifikation* die mit der wiederverwendungsgerechten Beschreibung der Entwurfsaufgabe verbundenen Anforderungen im Mittelpunkt stand, untersuchte *AP2 Retrieval* effiziente Methoden zur Suche wiederverwendbarer Komponenten. Gegenstand von *AP3 Eingangsscheck* war die Eignungsprüfung von IP für ihre Integrierbarkeit in bestehende Entwicklungsumgebungen. Ziel von *AP4 Anpassung* war die Entwicklung von Methoden zur Anpassung von IP, die den Anforderungen des Anwenders nur unvollständig genügen. Abb. 2 veranschaulicht die Einordnung der Arbeitspa-

nete in die Entwicklungsumgebung des Systementwurfs.

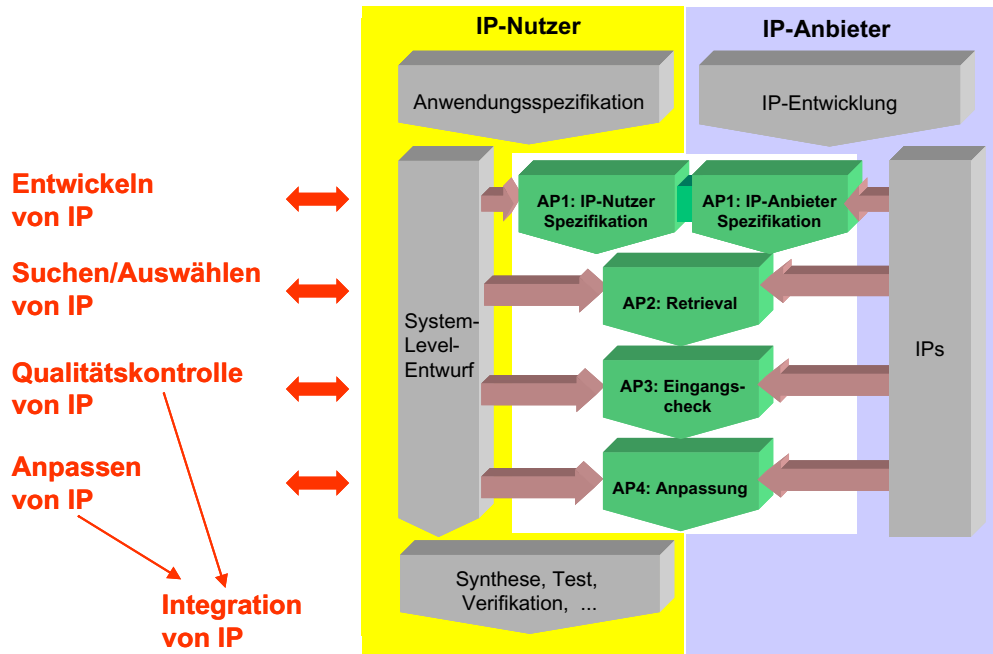


Abbildung 2: Projektstruktur

Arbeitspaket AP1: Standardisierung von IP und IP-gerechte Spezifikation

Spezifikationen von zukünftigen Entwürfen sollen bereits vorhandene IP-Module berücksichtigen und dadurch gegenüber klassischen Verfahren eindeutig effizienter und schneller zum Ziel führen. Durch Beiträge zur wiederverwendungsgerechten Spezifikation, ausführbaren Spezifikation sowie durch Berücksichtigung von Entwicklungsrichtlinien und Standards werden folgende Ziele unterstützt:

- Erhöhung des Wiederverwendungsgrads von neuen Entwürfen,
- Simulation von Spezifikationen mit IP-Modulen,
- Anwendung von spezifischen Standards und Mitbestimmung von zukünftigen Standards.

Durch aktive Beteiligung am Standardisierungsprozess wurden die Anforderungen der deutschen Industrie eingebracht. Insbesondere muss der Spezifikationsprozess bereits im Hinblick auf die verfügbaren virtuellen Komponenten verbessert werden, um den Einsatz von IP zu unterstützen.

Arbeitspaket AP2: Retrieval

Beim Systementwurf kommt es darauf an, nur solche IP auszuwählen, für die eine hohe Chance besteht, dass sie den Eingangskontrolle überstehen. Bei der Unterstützung des Retrievals in grossen IP-Beständen durch Informatikmethoden (IP-Suche) ist die Retrieval-Genauigkeit daher von großer Bedeutung. Diese kann jedoch nur dadurch erreicht werden, dass das Wissen über die IP-Wiederverwendung, die IP-Parametrisierbarkeit und die IP-Qualifikation bereits beim IP-Retrieval zumindest approximativ Eingang findet und automatisch verarbeitet wird. Wichtige Beiträge hierzu liefern Techniken aus dem Bereich „Wissensbasierte Systeme / Künstliche Intelligenz“, insbesondere Fallbasiertes Schließen und Constraint-Propagierungsverfahren.

Arbeitspaket AP3: Eingangskontrolle

Der Eingangskontrolle umfasst den Komplex von Aktivitäten, die notwendig sind, um die Einsetzbarkeit eines vorliegenden IP für eine gegebene Entwicklungsumgebung zu *analysieren*

und zu *bewerten*. Während beim Retrieval (AP2) IPs nach funktionellen und qualitativen Kriterien in großen Datenbeständen gesucht werden, untersucht der Eingangsscheck die dabei gefunden IP vorwiegend bezüglich ihrer Passfähigkeit zu technologischen und entwurfsmethodischen Gegebenheiten des Produktentwicklers.

Provider und Nutzer von IP stellen dabei spezifische Anforderungen:

- Der Nutzer benötigt Aussagen über die Eignung eines IP für seine Anwendungsbedingungen und möchte dazu auch verschiedene Angebote vergleichen können.
- Der Provider möchte, dass das von ihm angebotene IPs konkrete Anforderungsspezifikationen erfüllt und auch unter unterschiedlichen Entwurfsumgebungen nutzbar ist.

Wesentliche Zielsetzungen bestanden darin, durch die Generierung qualitätsgerechter Informationen die Treffersicherheit bei der Auswahl von IP drastisch zu erhöhen, die Integration von IPs in den Entwurfsablauf zu vereinfachen sowie IPs zu bewerten und zu vergleichen.

Arbeitspaket AP4: Anpassung

Beim IP-basierten Entwurf komplexer Systeme tritt häufig die Situation ein, dass zu einer aus der Systembeschreibung abgeleiteten Spezifikation eines IP-Moduls keine Komponente zur Verfügung steht, welche vollständig die in dieser Spezifikation beschriebenen *Eigenschaften* und *Randbedingungen* besitzt bzw. erfüllt. Vielmehr wird eine Anzahl von Komponenten existieren, die dem spezifizierten IP *ähnlich* sind, d.h. einen Großteil seiner Forderungen erfüllt. Durch geeignete *Anpassungsmethoden* soll eine dem spezifizierten IP *ähnliche* Komponente so modifiziert werden, dass sie der Spezifikation genügt und somit im Entwurf eines neuen Systems verwendet werden kann. Die Existenz effizienter Anpassungsmethoden für IPs an Sollspezifikationen ist somit grundlegende Voraussetzung für eine hohe Wiederverwendungsquote im Systementwurf. In diesem Arbeitspaket wurden die Parametrisierung von IP untersucht und effiziente Methoden zur Adaption des Interface von IP an abweichende Sollspezifikationen entwickelt. Ziele waren die Steigerung des Grades der Wiederverwendbarkeit und die Optimierung von IPs.

1.4 Wissenschaftlicher/technischer Stand, an den angeknüpft wurde

Arbeitspaket AP1: Standardisierung von IP und IP-gerechte Spezifikation

Zu Beginn des Projektes bestand bei vielen IC-Entwicklern die Vorstellung, IP ist eine Form von HDL-Code Recycling. Diese in Ansätzen betriebene Methodik wurde allerdings in den aller meisten Fällen ohne Methodik und ohne Beachtung von Standards durchgeführt. Die Etablierung von Standards erschien einer Mehrheit von IC-Entwicklern ein unnötiger Ballast, erzwingen diese Standards vielfach eine Umstellung langjährig gewohnter Praxis.

IP wurden und werden vermutlich auch weiterhin zu einem hohen Prozentsatz aus bereits bestehenden IC-Funktionsblöcken generiert. Hierbei wird vielfach der HDL-Code einer neuen Anwendung angepasst, die Spezifikation überarbeitet und das Ergebnis als IP deklariert. Diese Vorgehensweise birgt das Risiko im Ergebnis einen Block zu erhalten, der für eine weitere Anwendung wiederverwertet werden kann, jedoch ist es nicht möglich einen solchen Block in sich differenzierenden multifunktionalen Anwendungen zu verwenden oder diesen in eine IP-Bibliothek einzufügen. Dies kann verschiedene Gründe haben:

- Die Spezifikation entspricht nicht den Spezifikationsrichtlinien, und somit fehlen beispielsweise wichtige Informationen über die Portabilität.
- Der Code entspricht nicht den unbedingt notwendigen Kodierregeln, was den Wechsel zu einer anderen Tool-Umgebung erschweren kann.
- Internationale IP Standards werden nicht eingehalten

- Über die Spezifikation hinaus gehende Dokumentation, ist unvollständig
- Eine Portierung zu anderen Anwendung ist sehr zeitintensiv.
- etc.

Nicht nur bei IP, die aus konvertierten IC-Funktionsblöcken stammen stellen sich diese Probleme, auch bei IP-Neuentwicklungen ist feststellbar, dass diese vielfach, wenn auch unbewusst, für eine spezielle Anwendung entwickelt wurden. Somit kann selbst für diesen Fall eine Portierung in eine anderen Anwendung aufwendig sein.

In der gesamten IP-Thematik ist die Spezifikation der wesentliche Schlüssel auf dem Weg zum IP. Es sollte möglich sein durch die Spezifikation eine Entscheidung über die Anwendbarkeit des IP für eine spezielle Anwendung zu entscheiden. In der Spezifikationsphase ist es vielfach jedoch sehr diffizil im Ergebnis ein Dokument zu erhalten, das eine solche Entscheidung ermöglicht. Problematisch in der Spezifikationsphase ist vor allem die unterschiedliche Betrachtungsweise, da jeder Entwickler einen Fokus auf spezielle Teilbereiche hat, die jedoch aus Sicht des IP-Anwender teilweise unwesentlich sind. Zudem sind unterschiedliche Formattierungen, und für notwendig erachtete Inhalte, stark differenzierend zwischen unterschiedlichen Entwicklern, was eine Analyse des Funktionsblocks erschwert.

Diese konkret in der Entwicklung sich stellenden Probleme erfordern eine Analyse des Entwicklungsablaufes, sowie vorhandener IP und Standards, um im Ergebnis einen Leitfaden für die IP-Entwicklung zu erhalten, der alle Bereiche der IP-Entwicklung abdeckt. Diese Analyse muss sowohl den bisherigen Entwicklungsgang untersuchen, als auch den aus diesem Projekt raus hervorgehenden Entwicklungsgang. Ein solcher Leitfaden muss eine IP-Entwicklung ermöglichen, die im Ergebnis IP von hoher Qualität ermöglicht und zudem konform zu internationalen Standards geht. In diesem Leitfaden müssen verschiedene Regelwerke und Guidelines integriert werden, wobei ein spezielles Augenmerk auf IP's liegen muss, die aus IC-Funktionsblöcken generiert werden.

Arbeitspaket AP2: Retrieval

Stand der Technik an dem im Arbeitspaket Retrieval angeknüpft wurde, waren beschreibungsorientierte Datenhaltungssysteme für die Verwaltung von großen Beständen an IP, welche die Klassifikation, Speicherung, Suche und Retrieval der IP-Komponenten übernehmen. Diese Datenhaltungssysteme waren in zunehmenden Maße unter Nutzung des Internets hierarchisch dezentralisiert als virtuelle Kataloge realisiert, d.h. speichern Referenzen auf IP in räumlich getrennten, lokalen Datenhaltungssystemen. Die Klassifikation von IP basierte auf einem oder mehreren der folgenden vier grundlegenden Mechanismen: Taxonomie, Schlüsselworte, Attribute und Ähnlichkeitsmetriken. Das Retrieval von IP in Datenhaltungssystemen erfolgte auf der Basis einer nichtformalen Spezifikation der Komponente. Das RMS (Reuse Management System) des FZI nutzte als Datenmodell für IP das sog. Component Environment (CE) Modell. Spezielle Eigenschaften von IP, beispielsweise deren Funktion, werden durch jeweils einen Satz charakteristischer Attribute (CA) beschrieben, welcher als charakteristischer Vektor (CV) bezeichnet wird. Das READEE-Datenhaltungssystem der Universität Kaiserslautern nutzte für das IP Retrieval die Technik des Fallbasierten Schließens. Dies ist eine Methode zur Realisierung wissensbasierter Systeme, an der seit ca. 30 Jahren im Umfeld der Forschungen zu künstlicher Intelligenz intensiv gearbeitet wurde [13], [14], [15], [16]. Diese Technik hatte sich als ein eigenständiges Forschungsfeld etabliert, was sich ganz besonders durch seine Anwendungsnähe auszeichnet. Ein wissensintensives Retrieval mit fallbasierten Techniken lässt erhebliche Vorteile in Bezug auf Retrievalqualität gegenüber alternativen Such- und Retrievalverfahren, wie z.B. klassischem Datenbankretrieval, Textretrieval (wie z.B. bei Suchmaschinen), oder statischen taxonomiebasierten Ansätzen erwarten. Gerade diese Stärke hatte seit 1998 zu einem Anwendungsboom dieser Technik geführt [17]. Im Jahre 2000 waren einige kommerzielle fallbasierte Softwaretools (z.B. CBR-Works, orange, CBR-Answers,

KATE, CBR-Express, REMIND) auf dem Markt, die sehr flexibel zur Realisierung verschiedener Aufgaben eingesetzt werden können. Eine große Zahl von laufenden Anwendungen dieser Technik sind zurzeit weltweit im Einsatz, überwiegend in den Bereichen Diagnose & Troubleshooting, Help-Desk, Knowledge Management und Electronic Commerce (siehe z.B. [16]). Fallbasiertes Schließen für Designaufgaben stand gerade an der Schwelle zur praktischen Umsetzung. Das Projekt „READEE“ baute auf dem kommerziellen Tool CBR-Works auf und erforscht die Anwendung des Fallbasierten Schließens zur Wiederverwendung von IP [18], [19]. Hierbei wurden bereits Pilotanwendungen erfolgreich realisiert, wie z.B. die Auswahl von Operationsverstärkern von Analog Devices (USA) sowie die Auswahl von DSPs (vorgestellt auf der Design, Automation and Test in Europe Conference, DATE'98). Wesentliche Beschränkungen der Fallbasierten Technologie war es, dass sie nicht in der Lage war mit parametrisierten Beschreibungen umzugehen, wie sie bei der Repräsentation von parametrisierten IP vorkommen. Außerdem gab es erhebliche Defizite im Bereich der Erklärungsfähigkeit der Ergebnisse. Zwar waren die Retrievalergebnisse nachgewiesenermaßen von hoher Qualität, jedoch konnte das Zustandekommendes Retrievalergebnisses dem Nutzer nicht transparent gemacht werden.

Arbeitspaket AP3: Eingangsscheck

Mit dem IP-Eingangsscheck verfolgt der Anwender von IP zwei primäre Ziele. Zum einen sollen IP hinsichtlich ihrer Kompatibilität zum In-House Design-Flow qualifiziert werden. Dies umfasst u.a. eine Überprüfung der Verträglichkeit der gelieferten Datenformate und Datenkodierung mit den zu verwendenden EDA-Werkzeugen. Soft-IP werden in der Regel als synthetisierbare HDL-Beschreibung geliefert, welche auf das vom In-House Synthesewerkzeug unterstützte HDL-Subset geprüft werden muss. Für diese Aufgabe existieren Werkzeuge zur Kodierstil-Analyse von HDL-Beschreibungen. Eine flexible, hinsichtlich der Kodierregeln erweiterbare Implementierung eines solchen Werkzeugs wurde in [34] beschrieben. Zu dem Zeitpunkt des Projektstarts am weitesten fortgeschrittenen kommerziellen Kodierstil-Analyse-Werkzeugen gehörten PROTON und PROVERILOG der Firma LEDA zur VHDL- bzw. Verilog-Analyse [35] (Später von Synopsys übernommen). Zu diesem Zeitpunkt sowie in den ersten Jahren der Projektarbeit erweiterte sich das Spektrum der verfügbaren kommerziellen Code Checker rasch (u.a. VN Check von TransEDA [37], NovaExploreRTL von Avanti [38] - später von Synopsys übernommen, SpyGlass von Interra [39] - später Atrenda) und die Leistungsfähigkeit dieser Tools wurde zunehmend umfangreicher, besonders hinsichtlich der implementierten Regelsätze (z.B. Reuse Methodology Manual [33], Synthetisierbarkeit). Den komplexen Anforderungen hinsichtlich nutzer- oder applikationsgetriebener Implementierbarkeit firmenspezifischer, aus Entwurfsregeln abgeleiteter und semantikgetriebener Guidelines, wie sie für den Eingangsscheck charakteristisch sind, genügten diese Werkzeuge jedoch noch nicht.

Ein weiteres Ziel des IP-Eingangsschecks ist die funktionale Überprüfung einer als RT-Code oder Gatternetzliste gelieferten Implementierung von IP durch Verifikation mit einem Referenzmodell. Zum Projektstart verfügbare Verifikationsmethoden basieren auf formalen Techniken wie dem Model- und Equivalence-Checking [40],[41],[42],[43]. Der Entwicklungsstand entsprechender Werkzeuge erlaubte einen Equivalence-Check von Gatternetzlisten bis zu einigen hunderttausend Gattern, allerdings sinkt die beherrschbare Komplexität bei algorithmischen Strukturen wie Multiplizierern auf Größenordnungen von etwa 10000 Gatteräquivalenten. Formale Methoden wurden aber beim IP-Eingangsscheck auf Grund zu geringer beherrschbarer Designkomplexität noch nicht umfassend angewendet. Es bestand daher ein erheblicher Nachholbedarf betreffend die Entwicklung industriell anwendbarer Methoden für den IP-Eingangsscheck, basierend auf formaler Verifikation.

Im Bereich des Qualitätschecks von IP gab es erste Bestrebungen, diese zu standardisieren.

Diese Standardisierung geht vor allem in den Bereich des Lieferumfangs von IP und in die Richtung Design-for-Reuse. So gibt es die *VSIA Quality/Risk Attribute Checklist and Rating Form* im Rahmen der *Quality Study Group* der VSIA und das *OpenMORE Program*, welches von *Mentor Graphics & Synopsys* der VSIA gestiftet wurde [36].

Obwohl die meisten IP durch Extrahierung, Konvertierung und Modifizierung existierender IC-Funktionsblöcke generiert werden, gab es zu Projektbeginn noch kein praxistaugliches Verfahren, das individuell für den konvertierenden Block geeignet ist und mit dem IP richtlinienkonform generiert werden könnte.

Arbeitspaket AP4: Anpassung

Die Arbeiten in diesem Arbeitspaket wurden aufgrund der Situation initiiert, dass eine Wiederverwendung von IP-Modulen in der Regel eine aufwendige Anpassung an kunden- oder systemspezifische Anforderungen notwendig macht, und dass aufgrund dieses Aufwands die IP-Wiederverwendung in vielen Fällen einen nicht so hohen Nutzen erbringt, wie dies wünschenswert wäre [20], [21]. Zu Beginn des IPQ-Projekts existierten bereits *Design for Reuse* Ansätze, die Methoden für einen wiederverwendungsgerechten Entwurf von Komponenten bereit stellten, die den erforderlichen Anpassungsaufwand minimieren sollten. Diese waren auf den höheren Abstraktionsebenen des Entwurfsprozesses (algorithmische und RT-Ebene) angesiedelt und basierten auf den Konzepten der *funktionalen und strukturalen Parametrisierung*, des *objektorientierten Entwerfens*, der *Modulgenerierung* sowie des *Interface-basierten Entwurfs*.

Für die funktionale und strukturelle Parametrisierung wurde die Eignung von standardisierten Hardwarebeschreibungssprachen wie VHDL oder Verilog für den Entwurf von wiederverwendbaren Komponenten untersucht [20], [22], [23], [24], [25]. Wie in diesen Arbeiten gezeigt wurde, besitzen als HDL-Beschreibung auf algorithmischer oder Register-Transfer-Ebene implementierte Komponenten aufgrund ihrer funktionalen und strukturalen Parametrisierbarkeit und Technologieunabhängigkeit eine grundsätzliche Eignung zur Wiederverwendung. Allerdings waren Fragen der Verwaltung parametrisierter IPs und ihrer qualifizierten Konfigurationen nicht gelöst. Des Weiteren bestand das Problem, parametrisierte IPs ausreichend zu verifizieren. Schließlich waren die in den verschiedenen Entwurfssprachen vorhandenen Mechanismen zu unterschiedlich und ermöglichten deshalb keine einheitliche Methodik.

Objektorientierte Wiederverwendungstechniken betrachteten eine Wiederverwendungskomponente als Klasse, welche grundlegende strukturelle und funktionale Eigenschaften der Komponente repräsentiert. Objektorientierte Konzepte wie Vererbung und Polymorphie sollten die Ableitung spezialisierter Komponentenklassen von einer Basisklasse erlauben, wobei Struktureigenschaften und funktionsbestimmende Methoden der spezialisierten Komponentenklassen durch Redefinition der vererbten Eigenschaften und Methoden der Basisklasse adaptiert werden können. Industrietaugliche Werkzeuge waren aber nicht verfügbar und sind es bis heute nicht.

Die Generierung von Komponenten war ein bereits weit verbreiteter Ansatz zur Wiederverwendung auf verschiedenen Entwurfsebenen. Ein *Generator*, welcher durch eine eindeutige und konsistente formale Komponentenspezifikation gesteuert wird, erzeugt auf der Grundlage eines implementierten Generierungsalgorithmus eine Komponentenbeschreibung. Allerdings hängt die Korrektheit dieser Beschreibung entscheidend von der Korrektheit der Generator-Software ab, welche der Erfahrung nach noch weitaus schwieriger sicherzustellen ist.

Auf dem Gebiet der Schnittstellen (*Interfaces*) zwischen IP-Komponenten und anderen Systemmodulen gab es ebenfalls Vorarbeiten. Wiederverwendungskomponenten besitzen oft ein zu systemspezifischen Kommunikationsprotokollen (z.B. Busprotokolle) inkompatibles und

daher zu adaptierendes Interface. Die Interface-Synthese als Teilgebiet der High-Level-Synthese beschäftigte sich seit längerem mit Problemen der automatischen Generierung von Schnittstellen zwischen Hardwarekomponenten [26][27][28][29][30] bzw. der Beschreibung von Interface-Protokollen [31]. Allerdings bezogen die existierenden Techniken adaptive Schnittstellen nicht ein und führten zu einem nicht zu vernachlässigenden Overhead in Fläche und Verlustleistung, waren schlecht in existierende Entwurfsabläufe integrierbar oder unzureichend durch Werkzeuge unterstützt [32].

Aufgrund der beschriebenen Unzulänglichkeiten der Vorarbeiten fehlten praxisgeeignete Methoden und Werkzeuge für eine flexible und automatisierte Anpassung von IP nahezu vollständig; vielmehr war IP-Anpassung eine manuell zu erledigende Aufgabe für erfahrene Entwickler.

Literaturangaben zu 1.4:

- [1] M. Keating, "Reuse Methodology Manual", Design Reuse Partnership, 1999
- [2] T. Grötter, S. Liao, G. Martin, S. Swan, "System Design with SystemC", Kluwer Academic Publisher, 2002
- [3] Reutter, A.; Moessner, B.; Rosenstiel, W.: "Design of generic components for efficient reuse in high level designs". In Workshop on System Design Automation, Dresden, Germany, 1998.
- [4] Reutter, A.; Rosenstiel, W.: "An Efficient Reuse System for Digital Circuit Design". In Proceedings of DATE'99, Munich, Germany, pages 38-43, 1999.
- [5] Siegmund, R.: "Untersuchungen zu Methoden des Design Reuse". Diplomarbeit, TU Chemnitz, 1998
- [6] ICL High Performance Systems. VHDL+: Extensions to VHDL for System Specification, 1998.
- [7] Koegst, M.; Garte, D.; Conradi, P.; Wahl, M.: "Analysis and Classification of Reuse Strategies and Tasks for the Circuit Design", Int. Workshop on Logic and Architecture Synthesis, Dez. 6-18, 1997, Grenoble, France, pp. 61-70.
- [8] Riedel, St.; Müller, D.: "Modulgenerierung als Methode der Wiederverwendung", 8. ITG_Fachtagung "Mikroelektronik für die Informationstechnik", 3.-4. März, 1998, Hannover.
- [9] Radetzki, M. et al.: "The Object-Oriented Approach to Hardware Reuse". In: Roger, J.-Y.; Stanford-Smith, B.; Kidd, P.T. (eds.): Advances in Information Technologies: The Business Challenge. IOS Press, Amsterdam, 1998.
- [10] Raminderpal Singh (Editor), "Signal Integrity Effects in Custom IC and ASIC Designs", November 2001, Wiley-IEEE Press
- [11] R. Seepold. Reuse of IP and Virtual Components, Design Automation and Test in Europe (DATE), Munich, March 1999.
- [12] R. Seepold and A. Kunzmann. Reuse Techniques for VLSI Design, Kluwer Academic Publishers, March 1999. ISBN 0-7923-8476-8.
- [13] Aamodt, A.; Plaza, E.: „Case-Based Reasoning: Foundational Issues, Methodological Variations and System Approaches“. *AI Communications*, 7(7):39–59, 1994.
- [14] Leake, D.: „Case-Based Reasoning: Experiences, lessons, & future directions“. AAAI-Press, 1996.
- [15] Lenz, M.; Bartsch-Spörl, B.; Burkhardt, H.; Wess, S.: „Case-based reasoning technology, from foundations to applications“. In *Lecture Notes in Artificial Intelligence*, volume Vol. 1400. Springer, Berlin, Heidelberg, 1998.
- [16] Bergmann, R.; Breen, S.; Göker, M.; Manago, M.; Wess, S.: „Developing industrial case-based reasoning applications: The INRECA methodology“. In *Lecture Notes in Artificial Intelligence*, number 1612 in Lecture Notes in Artificial Intelligence. Springer, 1999.
- [17] Stolpmann, M.; Wess, S.: „Optimierung der Kundenbeziehungen mit CBR Systemen- Intelligente Systeme für E-Commerce und Support“. Business & Computing. Addison Wesley Longmann, Bonn, 1999.
- [18] Vollrath, I.; Wilke, W.; Bergmann, R.: „Case-based reasoning support for online catalog sales. *IEEE Internet Computing*“, 2(4):47–54, 1998.
- [19] Bergmann, R.; Vollrath, I.: „Generalized cases: Representation and steps towards efficient similarity

- assessment“. In W. Burgard, T. Christaller, and A. Cremers, editors, *KI-99: Advances in Artificial Intelligence*, number 1701 in Lecture Notes in Artificial Intelligence, pages 195–206. Springer, 1999.
- [20] Reutter, A.; Rosenstiel, W.: „An Efficient Reuse System for Digital Circuit Design“. In *Proceedings of DATE '99, Munich, Germany*, pages 38–43, 1999.
- [21] Moussa, I.; Diaz-Nava, M.; Jerraya, A.: „Cost evaluation in the Design for Reuse Context“. In *Proceedings of the 2nd GI/ITG/GMM Workshop on Reuse Techniques for VLSI Design, Karlsruhe, Germany*, pages 45–57, 1998.
- [22] Jerraya, A.; Ding, H.; Kission, P.; Rahmouni, M.: „*Behavioural Synthesis and Component Reuse with VHDL*“. Kluwer Academic Publishers, Dordrecht, NL, 1997.
- [23] Reutter, A.; Moessner, B.; Rosenstiel, W.: „Design of generic components for efficient reuse in high level designs“. In *Workshop on System Design Automation, Dresden, Germany*, 1998.
- [24] Siegmund, R.: „Untersuchungen zu Methoden des Design Reuse“. Diplomarbeit, TU Chemnitz, 1998.
- [25] Riedel, S.; Kunjan, T.; Reutter, A.; Müller, D.: „Entwurf wiederverwendbarer Komponenten am Beispiel von Schnittstellenmodulen“. In *Fachtagung Informations- und Systemtechnik*, Hannover, March 1998.
- [26] Boriello, G.: „*A new Interface Specification Methodology and Its Application to Transducer Synthesis*“. PhD thesis, University of California at Berkeley, 1988.
- [27] Akella, J.; McMillan, K.: „Synthesizing converters between finite state protocols“. In *Proceedings of ICCAD*, 1991.
- [28] Passerone, R.; Rowson, J.; Sangiovanni-Vincentelli, A.: „Automatic synthesis of interfaces between incompatible protocols“. In *Proceedings of DAC*, 1998.
- [29] Oberg, J.; Kumar, A.; Hemani, A.: „Grammar-based hardware synthesis of data communication protocols“. In *Proceedings of the 9th International Symposium on System Synthesis*, La Jolla, CA, November 1996.
- [30] S. Inc. Protocol Compiler User Manual, 1998.
- [31] ICL High Performance Systems. *VHDL+: Extensions to VHDL for System Specification*, 1998.
- [32] Rowson, J.; Sangiovanni-Vincentelli, A.: „Interface-based design“. In *Proceedings of the 34th Design Automation Conference, Anaheim, CA*, 1997.
- [33] Keating, M.; Bricaud, P.: „Reuse methodology manual for system-on-a-chip designs“, Kluwer Academic Publishers, 1999.
- [34] Schneider, J.; Reutter, A.; Rülke, St.: „Comparison of different analysis approaches for coding guidelines and implementation of a TCL-based prototype“. In *Proceedings of the Forum on Design Languages*, Tübingen, 2000.
- [35] LEDA. *PROTON: Rule Specifier User Manual*, 1997-1998.
- [36] <http://www.vsi.org>
- [37] <http://www.transeda.com>
- [38] <http://www.avanticorp.com>
- [39] <http://www.atrenta.com>
- [40] S. Sawitzki, R. G. Spallek, J. Schönherr, B. Straube: „Formal Verification for Microprocessors with Extendable Instruction Set.“, Application-specific Systems, Architectures and Processors, ASAP'2000, Boston, U.S.A., July 10-12, 2000
- [41] J. Schönherr, B. Straube: „Automatic Equivalence Check of Circuit Descriptions at Clocked Algorithmic and Register Transfer Level.“, DATE 2000, Paris, March 27-30, 2000
- [42] Fordran, E.; Schönherr, J.; Straube, B.; Donath, U.: „Formale Verifikation des Entwurfs einer Steuereinrichtung mittels Modelchecking.“, Fachtagung Verteilte Automatisierung - Modelle und Methoden für Entwurf, Verifikation, Engineering und Instrumentierung, Magdeburg, 2000
- [43] J. Schönherr, B. Straube: „Formale Verifikation auf höheren Entwurfsebenen mittels symbolischer Traversierung unendlicher Automaten.“, Gemeinsamer Workshop der GI/ITG/GME Fachgruppen Methoden des Entwurfs und der Verifikation digitaler Schaltungen und Systeme & Beschreibungssprachen und Modellierung von Schaltungen und Systemen, Frankfurt, 2000

1.5 Zusammenarbeit mit anderen Stellen

Die erfolgreiche Organisation der Projektarbeit basierte u.a. auf einer engen Kooperation mit dem edacentrum und dem Projektträger DLR, dessen Vertreter auch an allen zentralen Veranstaltungen von IPQ beteiligt waren. Die fachliche Kooperation mit Partnern ist strukturiert nach Projekten (ToolIP, EkompaSS, Medea+), Standardisierungsgremien und sonstigen externen Einrichtungen in den nachfolgenden Abschnitten zusammengefasst.

ToolIP. Umfangreiche Kontakte bestanden zu europäischen Partnern im Rahmen von MEDEA+, wo die Mehrzahl der IPQ-Partner, wie bereits unter Abb. 2.1.2 dargestellt, im Projekt ToolIP vertreten ist. Insbesondere zu Philips Semiconductor (Niederlande), IMSE-CNM (Spanien), Bull (Frankreich), DS2 (Spanien), STM (Frankreich), Thales (Frankreich), Design & Reuse (Frankreich), Thomson MM (Frankreich) und UPM (Spanien) wurde enge Kooperationsbeziehungen aufgebaut, u.a. zum IP-Austausch sowie zu IP-Entwicklungsprozess-Richtlinien (DTB), zu Parametrisierung und Konfiguration von Soft IP (sci-worx), zu Strukturierungsansätzen von IPQ-Datensätzen (Uni Paderborn), zur Modellierung parametrisierter AMS-IP und zu IP-Beschreibungstechniken und IP-Wissensrepräsentationen (empolis/ Uni Hildesheim). Die Universität Paderborn, FZI, Infineon und sci-worx arbeiteten mit D&R, Philips Semiconductors, Thales und Thomson MM an der Spezifikation eines gemeinsamen IP Transferformats. Eine Übersicht zu den Kooperationspartnern von ToolIP ist in Abb. 3 angegeben.

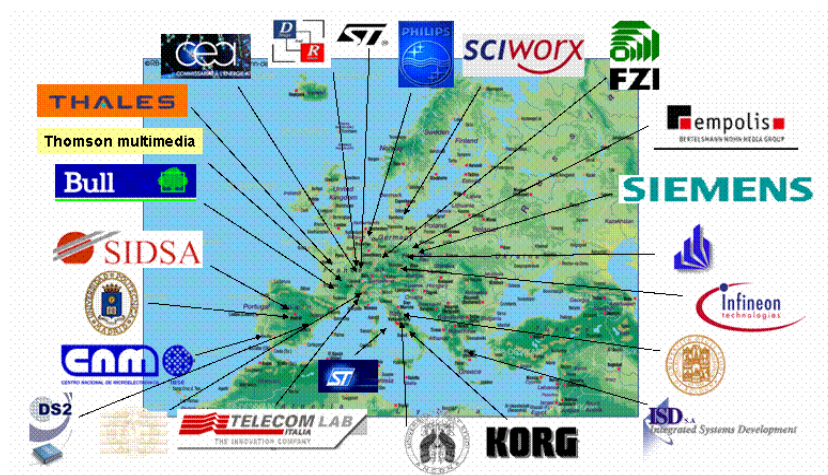


Abbildung 3: ToolIP-Partner

Standardisierungsgremien. Mehrere IPQ-Partner arbeiten in internationalen Standardisierungsgremien mit, siehe Abb. 4. Als Beispiel für die Ergebnisse der Mitarbeit in der VSIA konnte bis Projektende der Beta Status einer standardisierten Quality IP (QIP) Tabelle für den Review durch die Mitglieder der VC Quality Development Group freigegeben werden. Unter Verwendung eines solchen Standards nutzen IP-Anbieter und -Kunden gleiche Strukturen für IP-Lieferung und -Anwendung, was den Aufwand für die IP-Verwaltung und -Konvertierung

deutlich reduziert.

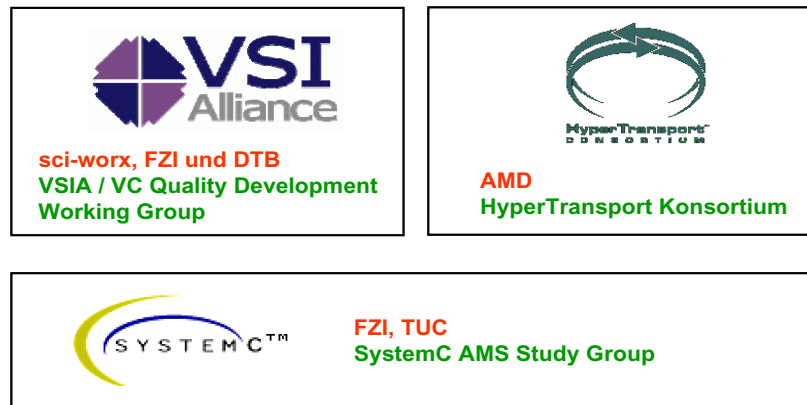


Abbildung 4: Mitarbeit in Standardisierungsgremien

EkompaSS-/Medea+-Projekte. Neben der speziell ausgeführten Zusammenarbeit im Rahmen von ToolIP (s.o.) gab es eine Reihe weiterer projektübergreifende Kooperationen. Eine Übersicht dazu ist in Abb. 5 angegeben. Insbesondere für die Organisation der Kooperation mit EkompaSS-Projekten hatte sich die Inanspruchnahme von Dienstleistungen des edacentrums sehr bewährt (u.a. gemeinsame Beteiligung an Workshops, spezielle Kooperationsmeetings). Bestandteil der Zusammenarbeit mit Partnern der EkompaSS-Projekte ANASTASIA, IP², HG-DAT, SpeAC waren u.a. Fragen der IP-Charakterisierung und -Verwendung sowie des SystemC-Design. Gemeinsam mit ANASTASIA wurde der „Workshop on Mixed-Signal IP Blocks“ durchgeführt. Weitere Kooperationen ergaben sich aus der Mitarbeit von IPQ-Partnern an der EDA-Roadmap von MEDEA+.

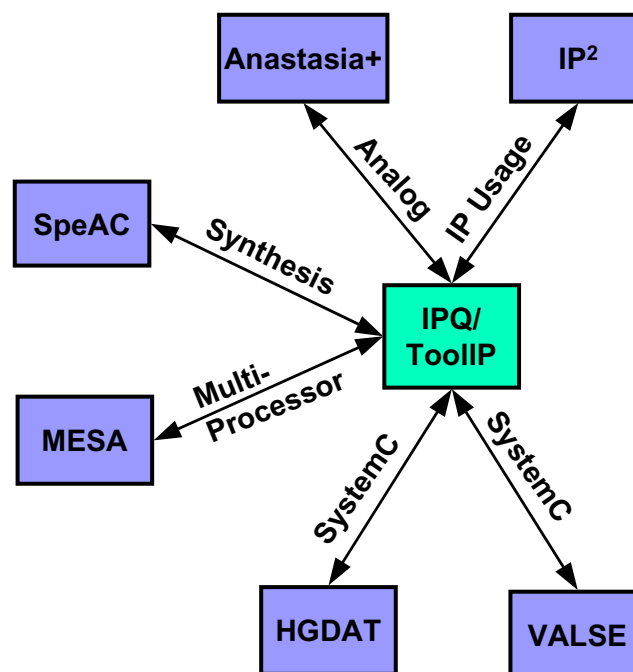


Abbildung 5: Kooperation mit EkompaSS/Medea+-Projekten

Weiter externe Einrichtungen. Außerhalb der Kooperationsbeziehungen im Rahmen von deutschen und europäischen Projekten sowie im Zusammenhang mit Standardisierungsgremien

wurden im Rahmen der IPQ-Projektarbeit zahlreiche weitere nationale und internationale Kontakte zu Hochschulen, Forschungseinrichtungen und EDA-Tool Providern aufgebaut. Dazu zählen u.a.:

- AMD und FhG mit BTU Cottbus, @HDL, TransEDA und Synopsys/AVANT! (zu Problemen der Entwicklung und Evaluierung von Code Checkern),
- FZI mit CNM und Nokia (zur Modellierung parametrisierter AMS-IP),
- sci-worx mit Uni Braunschweig (zur Abbildung von Algorithmen auf komplexe parametrisierte digitale IPs),
- Uni Kaiserslautern mit MPI Saarbrücken (zur Ähnlichkeitsbestimmung parametrisierter IP)
- und Uni Hildesheim mit Uni Karlsruhe und Vrije Uni Amsterdam (zum Retrieval).

Zur Zusammenarbeit mit externen Partnern ist auch zu erwähnen, dass bereits in der Vorbereitungsphase des IPQ-Projekts eine Befragung mehrerer KMUs nach deren spezifischen Anforderungen an den IP-Einsatz durchgeführt wurde, um diese Zielgruppe in das Arbeitsprogramm einzubeziehen.

2 Teil 2

2.1 Erzielte Ergebnisse

2.1.1 Arbeitspaket AP1: Standardisierung von IP und IP-gerechte Spezifikation

Zusammenfassung

Absolut erforderlich für alle 3 Teilaufgaben in diesem Arbeitspaket, war zunächst eine genaue Analyse der bis dato etablierte Vorgehensweise bei der IP-Entwicklung. Zudem war eine Analyse von definierten IP-Standards (vornehmlich VSIA) erforderlich, einerseits auf deren Anwendbarkeit andererseits auf die hieraus resultierenden IP und deren Qualität. In allen Teilaufgaben ist feststellbar, dass die internationalen Standards in den meisten Fällen anwendbar sind, jedoch eine weitergehende Standardisierung notwendig ist, um im Ergebnis qualitativ hochwertige IP zu erhalten. Somit sind die Ergebnisse dieser Arbeit konform zu internationalen Standards jedoch in vielen Punkten weitergehend.

T1: Hier wurde von den Partnern Vorgaben und Vorlagen für alle mit dem IP auszuliefernden Spezifikationen erarbeitet. Zudem ist ein auf Office Anwendungen basierendes Makro erstellt worden, so dass eine den entwickelten Guidelines konforme Spezifikation besser gewährleistet werden kann.

T2: Zwei wesentliche Fortschritte wurden in diesem Bereich erzielt. Zum einen wurde eine Klassenbibliothek entwickelt, die dem Entwickler von ausführbaren Spezifikationen beim Vergleichen oder beim Lesen / Generieren von Referenzdateien unterstützt. Zudem wurde eine Skriptsprache zur Beschreibung von Testfällen definiert.

T3: Da eine Vielzahl von IP aus bereits bestehenden IP entwickelt werden, wurde in dieser Teilaufgabe eine Extrahierungsrichtlinie entwickelt. Diese erlaube bereits vor der Entwicklung des IP, die IC-Datenbasis zu analysieren und außerdem den ökonomischen Aufwand abschätzen zu können. Als weiteres wird der Konvertierungsvorgang Schritt für Schritt definiert.

In einem weiteren Bereich dieser Teilaufgabe wurde der Einflüsse neuer Halbleitertechnologien auf die IP-Entwicklung untersucht. Die Ergebnisse dieser Arbeit sind in die verschiedenen Teilaufgaben eingebracht worden.

Gemeinsam haben die IPQ-Partner FZI, sci-worx und THOMSON sich dafür eingesetzt das

im Rahmen der VSIA eine Standardisierungsarbeitsgruppe zum Thema IP-Qualität ins Leben gerufen wird. Die Arbeit in diesem Bereich war sehr erfolgreich und hat unter anderem eine Qualitätsmetrik für Soft IP hervorgebracht, die zu einem VSIA Standard wird.

Teilaufgabe T1: IP-gerechte Systemspezifikation / Spezifikation für Reuse

sci-worx

Um IPs effizient wiederverwendbar zu machen, ist es erforderlich, deren Eigenschaften in einheitlichen Spezifikationen zusammenzufassen. Diese IP-Spezifikationen können in die Systemspezifikation eingehen (bottom-up Ansatz) oder mit den Anforderungen verglichen werden, die in einer Top-Down-Systemspezifikation beschrieben sind. Bei sci-worx wurden einheitliche Vorgaben und Vorlagen für alle mit einem IP auszuliefernden Spezifikationen entwickelt. Dabei wurden die im Rahmen der VSIA Compliance definierten Anforderungen an die IP-Dokumentation berücksichtigt, so dass die Benutzung der Vorlagen automatisch zu Spezifikationen führt, die mit den VSIA-Anforderungen in Einklang stehen.

Die Überprüfung der IP-Dokumentation auf VSIA Compliance ist im Rahmen der IP-Qualifizierung für sci-worx eigene IP, insbesondere aber auch für zugelieferte IP durchzuführen. Um diesen Prozess zu systematisieren, wurden verschiedene Ansätze evaluiert. Gemeinsam mit FZI wurde eine "Compliance Datenbasis" entwickelt, mit deren Hilfe die Bewertung von IPs eingetragen und gespeichert werden kann. Später wurde das von der VSIA entwickelte Online Compliance Program getestet. Dabei wird die Bewertung internet-basiert vorgenommen. Aufgrund des Vorteils, dass IPs, welche die VSIA Compliance erreichen, im Rahmen des Online Compliance Programs von der VSIA im Internet aufgelistet werden, ist abzusehen, dass sich dieser Ansatz durchsetzen wird.

Einer weiterer wichtiger Aspekt der Arbeit zur Spezifikation für Reuse war der Beitrag zur Entwicklung des IPQ-Formats, welches zur Charakterisierung der Eigenschaften von IPs sowie zur Übertragung dieser Informationen sowie ggf. auch der IP-Dateien dient.

Bezüglich des Charakterisierungsteils des IPQ-Formats hat sci-worx wesentlich zur Definition der Anforderungen aus industrieller Sicht beigetragen. Zu diesen Anforderungen gehört, dass neben den von der VSIA in der Virtual Component Transfer Spezifikation VCT2 festgelegten Basisinformationen eine weitergehende Charakterisierung der Funktionalität sowie der Qualitätseigenschaften möglich sein sollte und dass die Eigenschaften parametrisierter IPs geeignet zu transportieren sind. Später hat sich sci-worx aktiv an der Definition von Attributen, die eine solche Charakterisierung erlauben, beteiligt. Gemeinsam mit Uni Hildesheim wurde exemplarisch eine Ontologie des Anwendungsgebiets FEC (Forward Error Correction, also fehlerkorrigierende En- und Dekodierung) erstellt. Die Qualitätsattribute wurden aus der VSIA-Standardisierung einer Qualitätsmetrik (vgl. AP1 T3) abgeleitet. Nach der Implementierung der Attribute im IPQ-Format durch die Partner hat sci-worx seine FEC IPs in diesem Format charakterisiert. Dabei wurden die von den Partnern bereitgestellten Eingabewerkzeuge einem Praxistest unterzogen. Die entstandene Datenbasis wurde für die Demonstration des IP-Retrievals zur Verfügung gestellt.

Ein weiterer Aspekt ist die Übertragung des eigentlichen IPs mittels des IPQ-Formats. Hier hat sich sci-worx im Rahmen von ToolIP an einem Pilotprojekt zum IP-Austausch beteiligt. Ein sci-worx IP wurde im IPQ-Format verpackt, zu einem Partner übertragen, und dort extrahiert, um die entwickelten Konzepte zu überprüfen. Es wurde festgestellt, dass zusätzliche Arbeiten zur Anpassung des IP an die unterschiedlichen Design-Strukturen der Kunden erforderlich sind. Dieses Thema wurde von FZI bearbeitet; sci-worx hat notwendige Anpassungen an dem auszutauschenden IP vorgenommen und dies als Beispielobjekt für die Forschungszwecke der Partner zur Verfügung gestellt.

empolis

Empolis/Universität Kaiserslautern haben intensiv an den Konzeptionen zum IPQ Format mitgearbeitet. Die Anforderungen für die Formatdefinition aus Sicht des Retrievals wurden gesammelt und strukturiert. Hierbei wurden insbesondere der bestehende Ansatz zur IP Beschreibung der VSI Alliance sowie die aktuelle Praxis bei sci-worx berücksichtigt. Insgesamt hat die Arbeit zu 11 zentralen Anforderungen geführt, die detailliert beschrieben sind. Diese Anforderungen beziehen sich auf

- das allgemeine Schema zur IP Beschreibung,
- allgemeine informationstechnische Anforderungen an die zu verwendenden Datenstrukturen,
- unterschiedliche Kategorien von IP Attributen,
- Taxonomien zur Anwendungsbeschreibung.

Die Anforderungen wurden unter der Zielstellung ermittelt, dass es möglich sein muss, mit Hilfe von wissensbasierten Methoden (hier insbesondere fallbasiertes Schließen, CBR) ein Retrieval mit hoher Güte realisieren zu können. Die Analyse des Ansatzes der VSI Alliance hat hierbei erhebliche Defizite aufgezeigt. Diese liegen insbesondere in der zu intensiven Verwendung von textuellen Attributen und in den nicht hinreichend spezifizierten Anwendungsbeschreibungen. Unter Zuhilfenahme des prototypischen Retrievalsystems für elektronische Schaltungen (nicht IPs), das im Projekt READEE entwickelt wurde, wurden die wichtigsten Anforderungen bezüglich ihrer softwaretechnischen Realisierbarkeit evaluiert.

In Zusammenarbeit mit den IPQ Partnern sci-worx und Universität Paderborn wurden durch empolis (zusammen mit den Unterauftragnehmern Universität Kaiserslautern und Universität Hildesheim) die technischen Anforderungen, die die Repräsentation von IPs betreffen, weiter konkretisiert. Hierzu wurden unter anderem verschiedene Ansätze zur Standardisierung von Qualitätskriterien, als auch der bereits standardisierte Katalog der VSIA “Virtual Component Attributes (VCA) With Formats for Profiling, Selection and Transfer Standard Version 2” berücksichtigt. Daraus abgeleitet wurden Konzepte zur Definition und Spezifikation verschiedener für das Retrieval relevanter Wissensarten, wie Kategorien, Taxonomien und Constraints (für Formatkonsistenz und parametrisierte IP). Zur technischen Implementierung der IP Repräsentation wurden in Zusammenarbeit mit der Universität Paderborn verschiedene Web Basistechnologien (insbesondere XML/XML-Schema sowie RDF/RDF-Schema) auf Ihre Eignung bezüglich der zuvor erfassten Requirements für das IPQ Format untersucht und bewertet. Hierzu wurden auf konzeptioneller Ebene die verschiedenen Formalismen zur Repräsentation des relevanten Retrievalwissens identifiziert und beschrieben. Dies war eine wichtige Ausgangsbasis für die nachfolgende Definition des IPQ-Formats.

FZI

Für eine effiziente IP-Entwicklung, Verwaltung, Übertragung und Integration ist ein einheitliches IP-Format erforderlich auf dem Tool-Flows aufsetzen können. Ein einheitliches IP-Format ermöglicht die Automatisierung spezifischer Wiederverwendungsprozesse. Das FZI hat maßgeblich die Spezifikation des IPQ-Formats eingeleitet und vorangetrieben. Das IPQ-Format unterscheidet zwischen charakterisierenden Daten, die das IP-Modul beschreiben, und den Inhaltsdaten. Die Entwurfsdateien, Verifikationsumgebung, Syntheseumgebung und Dokumentation gehören zu den Inhaltsdaten. An der Spezifikation des Gesamtformats haben sich zahlreiche Partner beteiligt. Im IPQ-Projekt hat das FZI die Pflege des Inhaltformats übernommen, während die Universität Paderborn das Charakterisierungsformat gepflegt hat. Die Standardisierung des in AP1T1 spezifizierten IPQ-Formats als IPQ-Projektformat wurde in AP1T3 bearbeitet.

Bei der Entwicklung des IPQ-Formats wurde auf die Integrationsmöglichkeit bestehender de facto Standards geachtet. In diesem Zusammenhang wurde zusammen mit sci-worx ein

Arbeitsablauf zur Erzeugung und Speicherung VSIA konformer Dokumentation entwickelt.

| VSIA compliance 2.2 report for soft IP | |
|--|--|
| IP core: test-ip | |
| DWG Specification: | Arch 1.0 |
| Section: | 2.3.2 |
| Deliverable: | Behavioral Model |
| Required: | Recommended |
| IP Documentation: | Verification Specification |
| Description: | The behavioral model is used to model the functionality of non-processor blocks of VCs. It is important for all classes of VCs — Soft, Firm, and Hard — and is used for verifying the functionality of the VC, for co-verification with other VCs, and for software-hardware co-verification. This would be a natural output of a top-down design of a VC. When VCs are developed using an alternate methodology, such as VCs designed directly at the RTL level, the behavioral |
| Comply? | |
| Comment: | |

Abbildung 6: VSIA Übereinstimmungsdatenbank

Bild 1 zeigt einen Bildschirmausschnitt der zugrundeliegenden VSIA Übereinstimmungsdatenbank.

Ein weiteres wichtiges Ergebnis ist die Erweiterung der Wiederverwendungsdatenbank. SystemC wurde als wiederverwendbare und ausführbare Spezifikationsprache vorgeschlagen. Um diese Spezifikationen und deren Verfeinerungen auch in nicht SystemC orientierten Tool-Flows wiederverwenden zu können ist in Zusammenarbeit mit der Universität Tübingen ein SystemC nach XML-Kompilier entwickelt worden. Die XML-Darstellung ist Hardwarebeschreibungssprache (HDL) unabhängig und erlaubt die Übersetzung zurück in SystemC sowie in VHDL und Verilog. Dafür stehen weitere Kompilier zur Verfügung. Bild 2 zeigt die schematische Darstellung des HDL-Kompilers mit den möglichen Ein- und Ausgabesprachen.

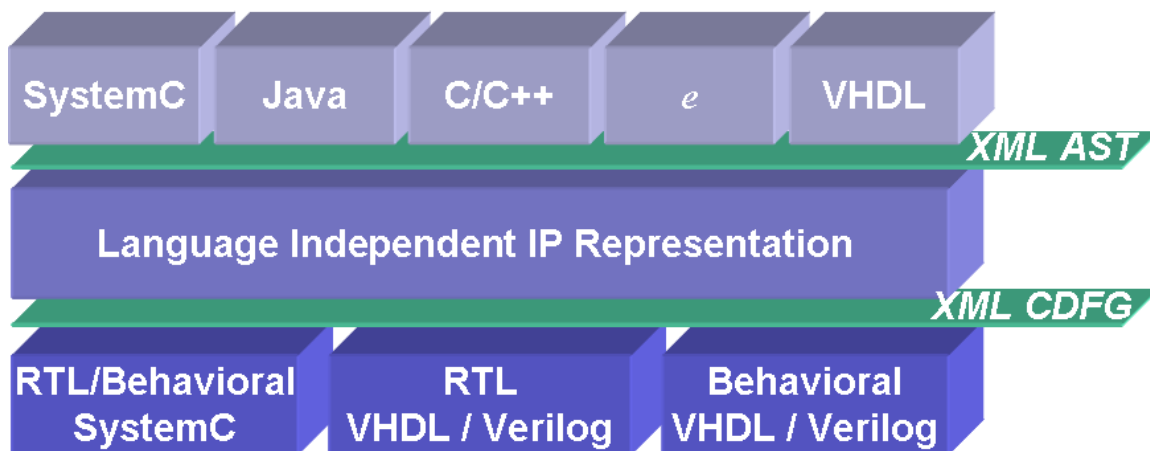


Abbildung 7: HDL Kompiler - SystemC nach VHDL/Verilog

Wesentlich für den SoC-Entwurf und Werkzeuginfrastruktur ist die Bereitstellung von effizienten Techniken zur IP-Modulintegration und Gesamtsystemverifikation auf verschiedenen

Abstraktionsebenen. Dadurch wird bereits in der Spezifikationsphase die Systemintegration ausführbarer Spezifikationen mit IP-Modulen unterschiedlicher Entwicklungsstadien möglich. Software basierte Simulationstechniken sind dafür nicht ausreichend. Am FZI wurde daher Hardware-Emulationsmethoden in einer erweiterten Testbench-Umgebung entwickelt. Der entscheidende Vorteil unserer Forschung ist, dass sowohl Entwurfs- IP-Module als auch Verifikations-IP-Module auf eine FPGA-basierte-Systemplattform abgebildet werden. Dafür sind zum einen Techniken für eine effiziente Kommunikation und Synchronisation zwischen heterogenen Simulationswerkzeugen und Emulationsplattformen für die SoC Verifikation sowie eine effiziente Abbildung von Entwurfs- und Verifikations-IP-Modulen auf eine FPGA-basierte Emulationsplattform entwickelt worden. Dadurch können Entwurfs- und Verifikations-IP-Module entwickelt werden, die über Schnittstellen auf verschiedenen Abstraktionsebenen verfügen und damit eine einfache Integration in ein virtuelles SoC-Modell auf verschiedenen Abstraktionsebenen ermöglichen. Der SoC-Entwurfsablauf basiert auf dem erweiterten Schema der Wiederverwendungsdatenbank. Die notwendigen Eingangsdaten können aus der XML-Repräsentation generiert werden. Dafür wurden unter anderem die Anforderungen zur Entwicklung von SoC- und Testbench-Komponenten spezifiziert und die Einbettungstechniken zur Integration in den Entwurfsablauf entwickelt.

Uni Paderborn

Für das übergeordnete Ziel der Qualifizierung von parametrisierbaren IP-Komponenten zur Realisierung effizienten Systemdesigns ist ein allgemeines Format zur Repräsentation einer IP notwendig. Dieses Format (IPQ Format) ist die Basis für alle Aufgaben innerhalb des Design-Prozesses in Bezug auf die IP-Qualifikation, die Wiederverwendung und die Integration. Die Arbeiten der Universität Paderborn in dieser Teilaufgabe waren in zwei aufeinanderfolgende Aufgaben eingeteilt: die Spezifikation der Anforderungen an das IPQ Format (zusammen mit den Projektpartner) und die Validierung dieser Anforderungen.

Da die Definition des IPQ Formats von grundlegender Bedeutung für die Marktfähigkeit der darauf aufsetzenden Werkzeuge und Entwurfsverfahren ist, wurden die Anforderungen in Zusammenarbeit mit Industriepartnern (sci-worx, Siemens, empolis) und Forschungseinrichtungen (FZI, Uni Kaiserslautern/Hildesheim, TU Chemnitz, FhG) erarbeitet. Nur durch die Beteiligung verschiedener Partner kann eine breite Akzeptanzbasis aufgebaut und eine hinreichend starke Position im Standardisierungsprozess erreicht werden.

Betrachtet man typische IP-Beschreibungen, wie sie in Hardwarebeschreibungssprachen wie VHDL oder Verilog HDL gemacht werden, so ist offensichtlich, dass eine vollständige Analyse eines solchen Designs sehr komplex sein kann. Sowohl in Top-Down- als auch Bottom-Up-Entwürfen wurde bisher viel Manpower und Rechenleistung, und somit Geld und Zeit, für die Auswahl, Simulation und Verifikation von IPs investiert.

Ein Designer, der sich zur Wiederverwendung von Hardwarekomponenten entschlossen hat, erwartet häufig nicht, eine IP zu finden, die exakt seinen Anforderungen entspricht. Oftmals ist es ausreichend, ein Design zu finden, das leicht an die vorgegebene Anwendung adaptierbar ist, oder das unverändert integriert werden kann, jedoch nur kleine Anpassungen der Anwendung notwendig macht. Wenn die IPs ausgesucht sind, muss für alle Parameter eine passende Einstellung gefunden werden. Letztendlich werden die IPs dann meist in ein sehr leistungsfähiges System eingesetzt - oftmals auf einen einzigen Chip.

Auf Basis dieser Überlegungen wurden Anforderungen an das IPQ Format aus den verschiedenen Phasen des IP-Systementwurfs aufgestellt. Diese resultierten aus dem aktuellen Wissensstand der beteiligten Projektpartner. Die Aspekte der Verfahren für Retrieval, Parametrisierung sowie Integration und Anpassung fanden daher besondere Berücksichtigung bei der Zusammenstellung der Anforderungen.

Zusätzlich zu den spezifischen Anforderungen der einzelnen Phasen wurden allgemeine

Anforderungen herausgearbeitet, die für alle Phasen relevant sind. Hierzu zählen z.B. Forderungen nach der Trennung der IP-Charakterisierung vom eigentlichen IP-Inhalt, einer eindeutigen Semantik für jedes beschreibende Element, der Möglichkeit zur Handhabung von Zugriffsrechten, usw. Eine detaillierte Beschreibung kann im Dokument zu AP1-T1-UniPB-EQ2 nachgelesen werden.

Die zweite Aufgabe der Universität Paderborn war die Validierung der zuvor aufgestellten Anforderungen. Dazu wurde geprüft, ob die Anforderungen durch am Markt verfügbare Techniken systematisch realisiert werden können. Es hat sich dabei herausgestellt, dass die Implementationsbasis XML gut geeignet ist. Weiterentwicklungen auf diesem Sektor, speziell die Entwicklung von XML-Schema, bieten weitere Konzepte an, die bei der Umsetzung der Anforderungen an das IPQ Format benötigt werden. Somit wurde für die Implementierung des IPQ Formats XML-Schema als Grundlage festgelegt. Mit allen Partnern wurden die Anforderungen an das IPQ Format intensiv diskutiert. Dabei sind Anregungen aus den jeweiligen Anwendungsbereichen eingebracht worden, die in die Konzeption des IPQ Formats (Arbeitspaket 4, Teilaufgabe 1) eingeflossen sind. Kooperationskontakte mit europäischen Partnern haben ebenfalls Anwendungs- oder Firmen-spezifische Aspekte eingebracht.

Auf Basis der zusammengestellten und validierten Anforderungen an das IPQ Format wurde die Definition des IPQ Formats durchgeführt (siehe Arbeitspaket 4, Teilaufgabe 1).

DTB

IP, die in unterschiedlichen Anwendungen wiederverwertet werden sollen, bedürfen einer standardisierten Spezifikation.

Die Befragung verschiedener IP/IC-Designer innerhalb des Thomson Konzern hat eine deutliche Unzufriedenheit über die stark schwankende Qualität sowie Gliederung der Spezifikationen gezeigt, die wiederum vom jeweiligen System/Konzeptingenieur abhängt. Ursächlich verantwortlich hierfür ist ein z.T. mangelndes Verständnis des System/Konzeptingenieurs für die Implementierung z.B. im HDL Code. Dieser Zustand ist nicht tragbar, insbesondere dann nicht, wenn die IP externen Partnern zur Verfügung gestellt werden. Da IP in vielen Fällen der speziellen Anwendung angepasst werden müssen, ist eine gut gegliederte und inhaltlich vollständige sowie verständliche Spezifikation notwendig. Hierbei sollten spezielle Vorlieben des System/Konzeptingenieur nicht erkennbar sein.

Um eine standardisierte Dokumentationsgliederung etablieren zu können, wurde ein Office-Anwendungsmakro basierend auf den Erfahrungen der bisherigen IC Entwicklungen erstellt. Hierbei wurden verstärkt die Bedürfnisse des IC Entwicklers berücksichtigt. Das Ziel hierbei war jedoch nicht den Definitions- und die Entwicklungsprozess eines Konzeptes zu beeinflussen. Ziel war es ein Makro zu etablieren, das den Bedürfnissen des Konzept- als auch des Hardwareingenieur gerecht wird. Der Arbeitsaufwand für die Erstellung des Makro war gering, jedoch waren im Vorfeld der Makroerstellung längere Befragungen und Diskussionen notwendig, um einerseits unterschiedliche Bedürfnisse berücksichtigen zu können, andererseits die Akzeptanz für die Anwendung des Makro zu steigern. Eine finale Version des Makro konnte erst nach konkreter Anwendung im Projekt erreicht werden.

Die Erstellung des Makro, welche durch das Förderprojekt ermöglicht wurde, hat nicht zuletzt durch die einfache und allgemein bekannte Oberfläche von Office-Tools eine breite Akzeptanz im Konzern gefunden. Die Anwendung des Makro wird vom Management für die IP-Entwicklung vorgeschrieben.

Teilaufgabe T2: Ausführbare Spezifikationen

sci-worx

Ziel dieser Teilaufgabe war es, eine Methodik und unterstützende Infrastruktur zu entwickeln, die es erlaubt, ausführbare Spezifikationen von IPs zu entwickeln, die für mehrere Anwendungszwecke geeignet sein sollten: zur Auslieferung an potentielle Kunden zwecks Evaluierung, zur Benutzung als Referenzmodell bei der simulativen Verifikation der IP-Implementierung, sowie als Modell der IP im Rahmen von Systemsimulationen.

Zunächst wurden die Anforderungen an eine solche Methodik genau spezifiziert. Diese Anforderungen bildeten die Grundlage für die Definition der Methodik sowie für eine Untersuchung verschiedener erfolgversprechender Ansätze für die Infrastruktur.

Der erste untersuchte Ansatz war das vom IEEE standardisierte Open Model Interface (OMI). Aufgrund der Standardisierung sowie der vorgeblichen Unterstützung des OMI durch die relevanten Simulatoren bestand die Aussicht, hiermit zu einem Mechanismus zu gelangen, der es erlaubt, ausführbare Spezifikationen zu erstellen, die sich leicht mit den von Kunden verwendeten HDL-Simulationsmechanismen verbinden lassen. Leider zeigte die Untersuchung, dass der OMI-Standard in der Regel nur unvollkommen bzw. mit proprietären Eigenarten umgesetzt ist.

Als Alternative wurde auf eine Anbindung mit Hilfe des Werkzeugs Testbuilder von Cadence zurückgegriffen. Dabei handelt es sich zwar nicht um einen Standard, aber da das Werkzeug als Open Source verfügbar ist, ist es möglich, dem Kunden alle zur Verwendung der ausführbaren Spezifikationen erforderlichen Hilfsmittel kostenfrei mitzuliefern. Eine Anbindung an die meisten relevanten Simulatoren ist gegeben.

Im Rahmen der Methodikentwicklung wurde darauf Wert gelegt, dass ausführbare Spezifikationen nicht zyklengenau sein müssen, da die Entwicklung solcher Modelle einen hohen Aufwand erfordert. Die entstandene Methodik greift daher auf transaktionsbasierte Verifikationsmechanismen zurück. Der Vergleich des Verhaltens von ausführbarer Spezifikation und HDL-Implementierung erfolgt auf der Basis des kausalen Ein-/Ausgabeverhaltens anstelle eines zyklengenauen Vergleichs.

Um diese Methodik zu unterstützen, wurde aufbauend auf der Testbuilder-Schnittstelle eine Klassenbibliothek implementiert, welche die Entwickler von ausführbaren IP-Spezifikationen bei der Anbindung an die HDL-Simulation, beim Vergleich von Transaktionen oder beim Lesen und Generieren von Referenzdateien unterstützt. Darüber hinaus wurde eine Skriptsprache zur Beschreibung von Testfällen definiert, die es erlaubt, Testfälle einfacher als in C/C++ zu beschreiben. Für diese Sprache wurde ein Interpreter entwickelt, der als Teil der Infrastruktur zur Verfügung steht.

Teilaufgabe T3: Entwicklungsrichtlinien und Standardisierung

sci-worx

Entwicklungsrichtlinien sind erforderlich, damit IP-Entwickler IPs gezielt entwickeln können, so dass sie ein hohes Qualitätsniveau erreichen, unabhängig von einem bestimmten Design Flow funktionieren und die in vielen Fällen unterschiedlichen Anforderungen seitens der Kunden erfüllen. sci-worx hat mehrere Coding Standards von Kunden untersucht und darüber hinaus die im Standardwerk "Reuse Methodology Manual" und im IP-Bewertungsschema OpenMORE definierten Anforderungen berücksichtigt. Daraus wurden Entwicklungsrichtlinien für VHDL und Verilog abgeleitet, die eine hohe Übereinstimmung mit diesen Vorgaben sicherstellen. Naturgemäß sind diese Richtlinien sehr rigide und umfassen eine große Anzahl einzelner Regeln. Deshalb wurde in AP3 T1 u.a. eine automatische Überprüfung der Einhaltung der Entwicklungsrichtlinien implementiert.

Durch die schnell fortschreitende Technologieentwicklung wurde es im Verlauf des Projekts erforderlich, zu untersuchen, welchen Einfluss zukünftige Sub-100-nm-Technologien auf die IP-Entwicklung haben bzw. was bereits bei der IP-Entwicklung zu berücksichtigen ist, damit ein IP auch nach einer Synthese auf eine so geringe Strukturgröße funktioniert. Als besondere Herausforderungen haben sich dabei die hohe statische Strom- und Leistungsaufnahme sowie die erhöhte Gefahr des Übersprechens erwiesen. sci-worx hat untersucht, wie diesen Problemen begegnet werden kann, und daraus zusätzliche Entwicklungsrichtlinien abgeleitet.

Ein weiteres Ergebnis dieser Teilaufgabe ist der bei sci-worx definierte IP-Qualifizierungsprozess, in dessen Rahmen ein fertig entwickeltes IP eingehend untersucht wird, um die Einhaltung von Richtlinien bzgl. der Entwicklung, der Dokumentation, der Verifikation usw. sicherzustellen. Zur Unterstützung dieses Ablaufs wurden Checklisten erstellt, anhand derer ein IP bewertet wird.

Neben den firmeninternen Aktivitäten ist eine Standardisierung der wesentlichen qualitätsrelevanten Aspekte von IPs erforderlich, um einen IP-Austausch zu ermöglichen. Ohne eine solche Standardisierung wichen in der Vergangenheit die Anforderungen verschiedener IP-Anbieter und IP-Benutzer zu weit voneinander ab, und es war nicht möglich, IP entsprechend allgemein akzeptierter Kriterien zu entwickeln. Gemeinsam mit den IPQ-Partnern FZI und TMM hat sci-worx entscheidend dazu beigetragen, dass im Rahmen der VSIA eine Standardisierungs-Arbeitsgruppe zum Thema IP Qualität ins Leben gerufen wurde und produktiv gearbeitet hat. In dieser Gruppe hat sci-worx zwei Jahre lang intensiv mitgearbeitet. Verschiedene Vorschläge für eine Qualitätsmetrik, darunter eine von sci-worx auf der Basis der eigenen IP-Qualifizierung eingebrachte Metrik, wurden analysiert. Das Problem, eine Qualitätsmetrik zu entwickeln, wurde in die Teilprobleme der Kriterienfestlegung, Kriterienquantifizierung, und der Berechnungsvorschrift zerlegt, mit dem Ziel, auf jedem Gebiet die besten Ideen aus den vorhandenen Vorschlägen zu verwenden. Das Team zur Festlegung von Kriterien für Soft IP wurden von sci-worx geleitet. Als Ergebnis steht eine Qualitätsmetrik für Soft IP zur Verfügung, die einen Alpha-Test erfolgreich bestanden hat und sich zum Ende des IPQ-Projekts gerade im Beta-Test befindet sowie einem Review durch die VSIA-Mitglieder unterzogen wird. Nach Abschluss dieser Aktivitäten wird die Metrik ein VSIA-Standard.

FZI

In der Teilaufgabe, Entwicklungsrichtlinien und Standardisierung, wurden die Standardisierung des IPQ-Inhaltsformats als IPQ-Projektformat und die Quality IP (QIP) Standardisierung innerhalb der VSIA bearbeitet.

Das FZI hat zusammen mit sci-worx den Kontakt zur Virtual Socket Interface Alliance (VSIA) hergestellt und geklärt, in welcher Form IPQ-Ergebnisse in die VSIA-Standardisierung einfließen können. Dadurch haben sich die IPQ-Partner DTB, sci-worx und FZI aktiv an der Standardisierung innerhalb der Virtual Component Quality Development Working Group (QDWG) beteiligen können. Durch die IPQ-Beteiligung an der internationalen VSIA-Standardisierung konnten europäische Anforderungen in den internationalen Standard einfließen.

Das Ziel der Standardisierungsbemühungen war die Entwicklung einer Qualitätsmetrik zur IP-Integrations-Risikobewertung beim IP-Kauf einerseits und als Entwicklungsrichtlinie für IP-Entwickler andererseits. Innerhalb der QDWG wurden Qualitätskriterien für die Kategorien: digitales Hard-, Soft- und Verifikations-IP, analog-IP, Software-IP sowie IP-Anbieter Bewertung und Reifebewertung des IP-Moduls zusammengetragen. Die IPQ-Partner haben insbesondere zur Standardisierung für digitales Soft-IP beigetragen. Es wurden diverse Firmenbeiträge ausgewertet, unter anderem der IPQ-Industriepartner, und die auf dem Reuse Methodology Manual (RMM) basierende Qualitätsmetrik OpenMORE. Nach erfolgreichem Abschluss dieser ersten Standardisierungsphase wurden die Arbeiten in Untergruppen für die spezifischen Aufgaben: Bewertung, Quantifizierung und Konkretisierung der Kriterien fortge-

führt. Das FZI hat an der Konkretisierung der digitalen Soft-IP Kriterien mitgewirkt und den VSIA Standard Quality IP (QIP) mit zum Beta Status gebracht. Das Ergebnis der Standardisierungsbemühungen ist der erfolgreiche Abschluss eines Beta-Test unter den VSIA Mitgliedern für digitales Soft- und Verifikations-IP. Die Beta-Test Ergebnisse wurden in den endgültigen Standard eingearbeitet. Die Freigabe des offiziellen VSIA QIP Standards ist wenige Monate nach Abschluss des IPQ-Projekts geplant.

Eine weitere Hauptaktivität war die Arbeit am IPQ-Format. Das FZI hat die Workshops zum Thema „IP-Qualifizierung (IPQ) Transferformat“ koordiniert. In diesen Workshops wurde das Konzept des IPQ-Gesamtformats vom FZI vorgestellt und die Beiträge zum IPQ-Inhaltsformat gesammelt. Ein wesentliches Ergebnis war der Start eines Pilotprojektes, das dem IP-Transfer und der Wiederverwendung von IP unterschiedlicher Firmen gewidmet war. Das Pilotprojekt wurde von sci-worx, Philips (Niederlande) und Design&Reuse (Frankreich) durchgeführt. Am FZI wurden weitere Verbesserungen des Formats und der darauf aufbauenden Techniken des IP-Modultransfers und der automatischen Anpassung von IP-Modulen in AP3 erarbeitet.

Ein zusätzlicher Arbeitsteil war die Vorbereitung und Präsentation der IPQ-Ergebnisse als Teil eines Tutorials bei der DAC 2002 Konferenz, die für die Standardisierung und den Plattform-basierten-Entwurf relevant sind.

Ein wichtiges Ergebnis der Arbeiten am IPQ-Inhaltsformat für den automatisierten IP-Transfer war die Ersetzbarkeit physikalischer Abhängigkeiten auf Dateisystemebene durch logische Abhängigkeiten. Während physikalische Abhängigkeiten beim IP-Transfer ungültig werden können, bleiben die logischen Abhängigkeiten erhalten und gültig. Aus den logischen Abhängigkeiten können die physikalischen Abhängigkeiten zurückgewonnen und angepasst werden. Dadurch kann ein IP-Modul für IP-Anbieter und IP-Nutzer transparent und automatisch transferiert und automatisch importiert werden. Zusätzliche Informationen im IPQ-Format über den verwendeten Toolflow unterstützen den IP-Käufer bei der Integration des IP-Moduls in die eigene Entwicklungsumgebung. Bild 3 zeigt das zugrundeliegende UML-Modell aus dem die XML-Schema Dateien generiert werden. Mit Hilfe der Schema Dateien wird die Übereinstimmung der IPQ-Format Dateien mit der Spezifikation geprüft. Das IPQ-Format wurde in AP1T3 als XML-Schema Beschreibung modelliert. Die Modellierungsergebnisse konnten in den AP3 Arbeiten aufgegriffen und in einem Prototypen umgesetzt werden. Das Inhaltsformat gliedert sich in das IPQ-Gesamtformat ein, das in Kooperation mit der Universität Paderborn (IPQ-Charakterisierungsformat) bearbeitet wurde.

Das FZI hat das IPQ-Format den VSIA DWGs: Virtual Component Transfer (VCT), Plattformbased Design (PBD) und der Hardware dependent Software (HdS) vorgestellt. Diese DWGs sind an einem IP-Komponentenformat interessiert, das in einer System-on-Chip Darstellung instanziiert werden kann. Die DWG-Mitglieder zeigten großes Interesse an dem IPQ-Format, das wichtige Anforderungen an ein solches Format erfüllt.

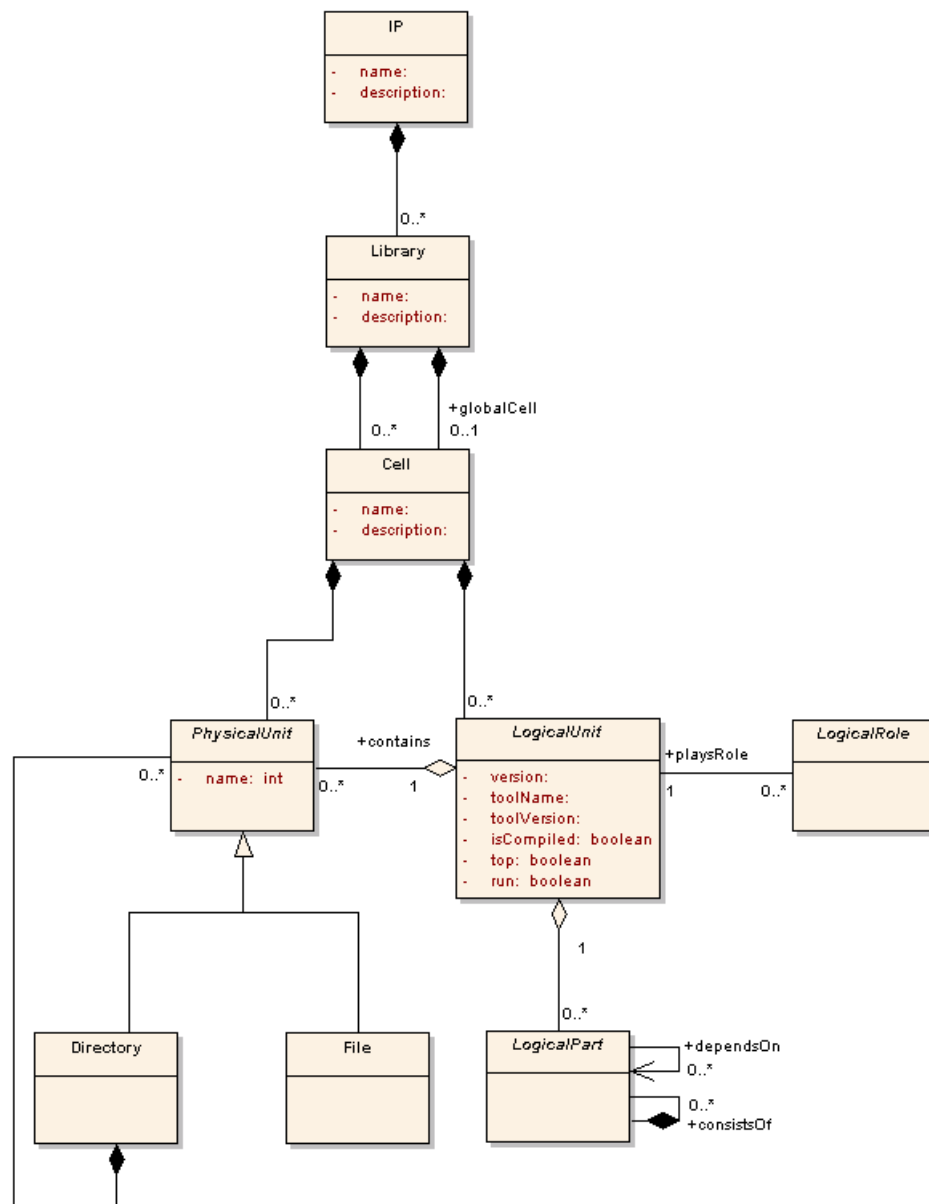


Abbildung 8: UML Modell des IPQ-Formats

Infineon

Um verschiedene IP Blöcke zum einem System-On-Chip zu verbinden, ist eine standardisierte Infrastruktur von besonderer Bedeutung. Nur so kann gewährleistet werden, daß IP Blöcke von unterschiedlichen Herstellern im Zielsystem zusammen arbeiten. Ziel eines On-Chip-Bus Standards muß es sein, Flexibilität und Leistungsfähigkeit miteinander zu verbinden.

Infineon beschäftigt sich im Arbeitspaket 1 mit der Definition eines solchen On-Chip Bus Standards. Auch wenn es hier schon Standards wie den AMBA Bus von ARM gibt, so erfüllen diese nicht die Leistungsanforderungen vieler SoC's, da sie für spezielle Applikationen oder Cores entwickelt wurden. Im ersten Schritt wurden die verfügbaren Lösungen (AMBA, IBM CoreConnect, Sonics, VSIA) analysiert. Wichtig waren dabei Punkte wie die freie

Verfügbarkeit am Markt, die maximale Frequenz, die Fähigkeit mehrere Master an den Bus anzuschließen, maximale Busbreite, verfügbare Bandbreite, Laufzeiten, Burst Länge, Konfigurierbarkeit um nur einige zu nennen. Die gravierendsten Nachteile der genannten Systeme waren:

- Begrenzte Bandbreite zwischen den einzelnen Elementen
- Eingeschränkte Kommunikation zwischen Peripherals durch vorgegebene Handshake Mechanismen
- Überlastung / Sättigung des Bus Systems, damit schwere Abschätzung der Leistung des Gesamtsystems
- Eingeschränkte Skalierbarkeit
- Bus Bridges sind erforderlich, um unterschiedliche Prozessoren miteinander zu verbinden
- Ungleiche Ausnutzung der verschiedenen Ressourcen

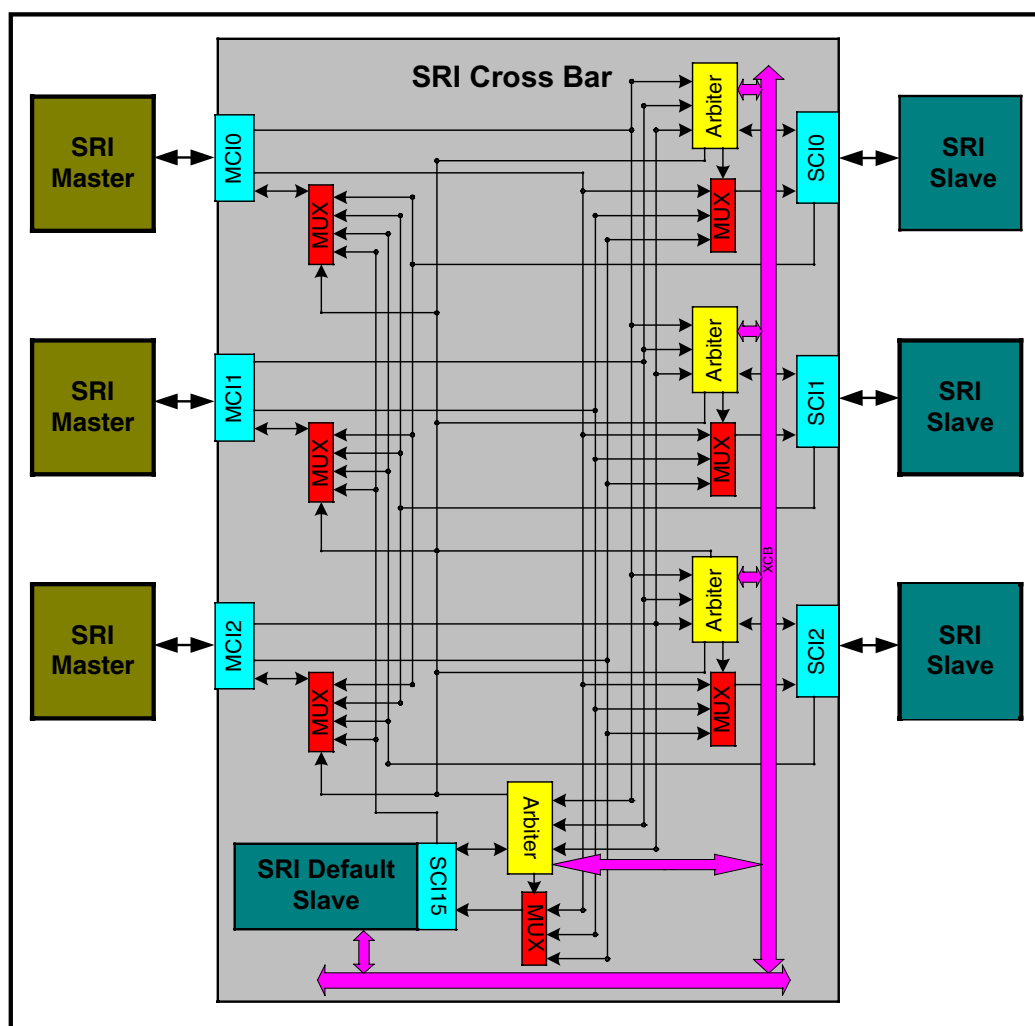


Abbildung 9: On-Chip Bus Struktur

Im zweiten Schritt wurden die Anforderungen aus Sicht von IPQ gemeinsam mit den Partnern herausgearbeitet. Folgende Punkte stellen dabei den wesentlichen Kern dar:

- Frequenzen großen 300MHz müssen mit konventionellen Technologien und Design Methoden erreichbar sein
- Ein Crossbar basiertes System muß die gleichzeitige Datenübertragung zwischen mehreren Master und Slave Elementen garantieren
- Ein System mit 4 Master Elementen muß beispielsweise eine Bandbreite von 12,8GBit/s

erreichen

- Das System muß Multi-Core Eigenschaften unterstützen (z.B. Multi-Core Debugging)
- Verschiedene Arbitrierungsmöglichkeiten müssen zur Verfügung stehen
- Die Pipeline Tiefe des Datenpfades muß konfigurierbar sein, um so die Leistungsfähigkeit für verschiedene Technologien/Frequenzen zu garantieren
- Volle Skalierbarkeit der Zahl der Master und Slave Elemente (bis zu 16 Master)
- Standard Interfaces werden definiert um den einfachen Austausch verschiedener System Komponenten zu gewährleisten

Basierend auf den Anforderungen wurde die Spezifikation für den On-Chip-Bus entwickelt. Alle gestellten Anforderungen konnten dabei erfüllt werden. Abb. 9 zeigt die entstandene Bus Struktur.

Eine Verifikationsumgebung wurde mit in die Spezifikation eingebunden. Diese prüft IP Modul unabhängig die Einhaltung des Standards. Gewährleistet wird dies durch eingebettete Verifikationskomponenten. Dem Entwickler steht damit ein leistungsfähiges Gesamtsystem, bestehend aus dem skalierbaren, konfigurierbaren On-Chip-Bus und der entsprechenden angepassten Verifikationsmethodik zur Verfügung.

Ein erster Demonstrator konnte die Leistungsfähigkeit eindrucksvoll unter Beweis stellen.

DTB

Wesentliches Problem bei der Extrahierung von Funktionsblöcke aus einem existierenden IC zur Generierung wiederverwendbarer IP ist, dass in den meisten Fällen die IC-Spezifikationen spezifisch für die jeweilige IC-Entwicklung generiert wurden. Aus diesem Grund sind die Funktionsbeschreibungen auf spezielle Anwendungen beschränkt und folglich in anderer Anwendungsumgebung nur schwer wiederverwendbar. Beispielsweise müssen in wiederverwendbaren IP die Funktionalitäten für unterschiedliche Anwendungsbereiche konfigurierbar sowie die Interfaces weitestgehend standardisiert sein.

Um eine lückenlose Analyse der konvertierten IC-Blöcke durchführen zu können, wurde festgelegt, dass die Konvertierung erst dann begonnen werden darf/kann, wenn alle notwendige Prüfungsprozeduren erfolgreich abgeschlossen wurden.

Der Prüfungsprozess beinhaltet,

- Überprüfung der Spezifikation (Vollständigkeit, Adaptierbarkeit)
- Überprüfung des möglichen Anwendungsbereiches (Features und Modes)
- Überprüfung der Portabilität des Blockes (z.B. Schnittstellen, technologische Anforderungen)
- Überprüfung des Codierstiles
- Kontrolle der Testumgebung (Testbench, Testmuster,...)

Die im Verlauf der Arbeit im zweiten Halbjahr 2002 entstandene Checkliste kontrolliert die Inhalte der Spezifikation des vorhanden IC Block. Dies betrifft nicht nur die globale Beschreibung des Blockes, sondern auch die Beschreibung der einzelnen Funktionalität und der nötigen Hardwarearchitektur. Ausgehend hiervon ist eine Bewertung des möglichen Anwendungsbereiches möglich. Er umfasst das Erstellen einer Liste der möglichen Features und Mode. Somit ist nachfolgend ein Vergleich zwischen den geforderten und den unterstützten Features und Mode möglich. Weiterer wichtiger Bestandteil der Liste ist die Kontrolle der Portabilität des Blockes. Unter dieser Rubrik wird abgeprüft welche technologischen Voraussetzung erforderlich sind, sowie welche Schnittstellen (Pin's) zur Verfügung stehen / erforderlich sind. Der nächste Kontrollschritt sieht die Kontrolle des HDL-Code. Unter diesem Punkt sind verschiedene Arbeitsschritte zusammengefasst, beginnend mit einer Sichtprüfung des Code (z.B. Qualität der Kommentare) über eine Kontrolle des Programmierstils mittels eines Tools (z.B. Leda von Synopsys) bis hin zur Codecoverage-Prüfung, die wiederum eine funktionierende Testumgebung erfordert.

In der zweiten Jahreshälfte 2003 wurden die Konvertierungsrichtlinien weiter modifiziert. Schwerpunkt der Arbeit war weniger der Inhalt dieser Richtlinie, vielmehr ist Sie auf Ihre Anwendbarkeit in Projekten überprüft worden. Da sich die Konvertierung aufgrund der stark unterschiedlichen Gegebenheiten bei IC-Funktionsblöcken stärker differenzieren als zunächst angenommen, war es notwendig die Kriterien zu detektieren, die durch die bisherige Richtlinie nicht erfasst wurden. Die Konvertierungsrichtlinie ist nachfolgend weiter den konkreten Gegebenheiten angepasst worden. Die nach der Anpassung gesammelten Erfahrungen zeigen, dass die aktuelle Richtlinie deutlich besser den Gegebenheiten entspricht.

Trotz verschiedener Richtlinien und Entwicklungsabläufe zur IP-Generierung, ist eine Prüfungsprozedur für die Extrahierung der IC-Funktionsblöcke hin zum IP seltenst durchgeführt worden. Vielmehr ist man direkt in die Entwicklungsphase eingestiegen, ohne vorher existierende IC-Blöcke zu analysieren. Um die Vorgänge der IP-Extrahierung aus IC-Blöcken kontrollieren zu können, wurde die Extrahierungsrichtlinie generiert.

Obwohl verschiedene Richtlinien und Entwicklungsabläufe zur IP-Generierung definiert worden sind, ist die Vorprüfungsprozedur für die Extrahierung der IP häufig nicht angewendet worden, weil direkt in die Entwicklungsphase eingestiegen wurde, ohne vorher die existierenden IC-Blöcke zu analysieren. Um die Vorgänge der IP-Extrahierung aus IC-Blöcken kontrollieren zu können, wurde die Extrahierungsrichtlinie generiert. In diesem Dokument werden nur die Schritte während der Extrahierungsprozedur vorgeschrieben. Eine weitergehende Beschreibung findet nicht statt. Die verschiedenen anderen Dokument sind entsprechend auf diese neue Richtlinie adaptiert und übernommen worden.

In der Praxis hat sich gezeigt, dass die gemeinsame Anwendung der Extrahierungsrichtlinie mit der Konvertierungsrichtlinie bzw. der anderen IP Entwicklungsrichtlinie die IP Entwicklungszeit deutlich verkürzt und zudem eine definierte Qualität gewährleistet.

2.1.2 Arbeitspaket AP2: Retrieval

Zusammenfassung

Unter Retrieval versteht man den Auswahlprozess, bei dem der IP-Nutzer eine kleine Menge zur Wiederverwendung potentiell geeigneter IP aus großen IP-Datenbanken der IP-Anbieter selektiert. Die ausgewählten IP werden dann im Eingangsscheck (AP3) einer detaillierteren Eignungsprüfung unterzogen. Das Retrieval ist insbesondere aufgrund der wachsenden IP-Bestände von großer Bedeutung. Es kommt darauf an, nur solche IP auszuwählen, für die eine hohe Chance besteht, dass sie den Eingangsscheck überstehen. Andererseits sollten natürlich keine wiederverwendbaren IP übersehen werden. Bei der Unterstützung des Retrievals in grossen IP-Beständen durch Informatikmethoden (IP-Suche) ist die Retrieval-Genauigkeit daher von großer Bedeutung. Diese kann jedoch nur dadurch erreicht werden, dass das Wissen über die IP-Wiederverwendung, die IP-Parametrisierbarkeit und die IP-Qualifikation bereits beim IP-Retrieval zumindest approximativ Eingang findet und automatisch verarbeitet wird. Wichtige Beiträge hierzu liefern Techniken aus dem Bereich "Wissensbasierte Systeme / Künstliche Intelligenz", insbesondere Fallbasiertes Schließen und Constraint-Propagierungsverfahren. Die Arbeiten im Rahmen des Projekts konzentrieren sich auf folgende Teilziele:

- Retrieval-gerechte Repräsentation von IP-Komponenten, sowohl für hierarchisch aufgebaute als auch für parametrisierte IP,
- Modellierung von Qualitätskriterien und Konzepte zur Berücksichtigung beim Retrieval,
- Akquisition und Formalisierung von Reuse-relevantem Expertenwissen,
- Entwicklung einer Methode zum präzisen IP-Retrieval für parametrisierte IP auf der Grundlage wissensbasierter Techniken,

- Konzept für technische Integration in eine kommerzielle Retrieval-engine und Einbettung in ein Reuse Management System,
- Konzeption einer Benutzer-gerechten Ergebnispräsentation mit Bewertung der Retrieval-Ergebnisse und Erklärung der Ergebnisfindung.
- Entwicklung eines Charakterisierungs- und Dokumentationssystems für mixed-signal IP.

Teilaufgabe T1: Modellierung von Qualitätskriterien

empolis

Eine wichtige Voraussetzung zur Erreichung eines Retrievals von hoher Güte ist die Berücksichtigung von Qualitätskriterien. Daher wurde ein Konzept erarbeitet, um beim Retrieval die Qualitätskriterien parallel zu funktionalen Kriterien zu berücksichtigen [100]. Es basiert auf einer umfassenden Analyse und Charakterisierung von Attributen zur Beschreibung von Qualitätsmerkmalen von IPs. Hierbei wurde eine hierarchische Modellierung von Qualitätsmerkmalen vorgenommen, unter Berücksichtigung des “OpenMore Assessment Programs” und der “VSI Alliance VCA” Spezifikation. Hiermit ist es zunächst überhaupt einmal möglich, Qualitätsinformation für IPs als Bestandteil des IPQ Formates darzustellen.

Darüber hinaus wurden verschiedene Szenarien für Suchanfragen mit Qualitätsanforderungen und funktionalen Anforderungen erarbeitet [98]. Diese unterscheiden sich in der Art und Weise wie Qualitätsanforderungen spezifiziert werden und in dem Grad, in dem sie zusätzlich zu den funktionalen Anforderungen die Gesamteignung (Nützlichkeit) bestimmen. Für diese Szenarien wurden sodann Konzepte zur Realisierung/Implementierung unter Verwendung der Technologie des Fallbasierten Schliessens erarbeitet. Hierzu war es u.A. notwendig, die klassische Sichtweise des Fallbasierten Schliessens zu verallgemeinern. Diese Verallgemeinerung basiert darauf, dass ein globaler Nützlichkeitsbegriff zur Bestimmung der Retrievalergebnisse und der Ähnlichkeitsmaße eingeführt wurde. Für das IP Retrieval bestand nun die Aufgabe, einen globalen Nützlichkeitsbegriff durch Almagamierung von Qualitätskriterien und funktionalen Kriterien zu definieren.

Das Konzept wurde im Zusammenarbeit mit dem Projektpartner sci-worx in einem internen Workshop bzgl. der inhaltlichen Anwendbarkeit und Benutzeradäquatheit evaluiert. Hierbei hat sich ergeben, dass zwar primär die funktionalen Kriterien ausschlaggebend für das Retrieval sind, die Qualitätskriterien jedoch ebenfalls (sekundär) wichtig für eine Kaufentscheidung sind und dementsprechend berücksichtigt werden müssen. Die erarbeiteten Techniken zur Spezifikation von Qualitätsanforderungen und zur Kombination mit funktionalen Kriterien wurden daher als Basiskonzepte für das qualitätsbezogene Retrieval beibehalten. Klar wurde die besondere Bedeutung von individuell einstellbaren kundenspezifischen Qualitätsanforderungen, denen bei der weiteren Umsetzung des Retrievalverfahrens besondere Aufmerksamkeit geschenkt wurde.

Ausgehend vom dem entwickelten Konzept wurde sodann ein Design für ein IP Retrieval System entwickelt. Dieses Design umfasst die wichtigsten Komponenten des vollständigen Retrievalsystems. Insgesamt ist das IP Retrievalsystem aus folgenden Komponenten aufgebaut:

- WWW-Schnittstelle für Kunden und Hersteller
- Kundenprofile zur Verwaltung von persönlichen Suchpräferenzen
- Datenbank für die IPs im IPQ-Format
- Konverter der das IPQ-Format in ein für die Suche optimiertes Format wandelt
- Retrieval System inklusive Erweiterung zur Kombination von funktionalem und qualitätsbezogenem Retrieval

Die Implementierung baut auf der vorhandenen Retrievalkomponente des kommerziellen Retrievalsystems orange auf und erweitert diese um Komponenten zur Verwaltung von persönlichen Suchpräferenzen und deren Berücksichtigung im Retrieval.

Teilaufgabe T2: Spezifikationsbezogenes IP-Retrieval

empolis

Zusammen mit der Universität Paderborn wurde die Sprache *IPCHL* [97] entwickelt, welche die Basis zur Beschreibung IP-spezifischen Wissens dargestellt. Die Kompatibilität zum VSIA Industriestandard wurde sichergestellt, indem in *IPCHL* die in den Dokumenten *Virtual Component Attributes (VCA) With Formats for Profiling, Selection, and Transfer. Standard Version 2.2 (VCT 2 2.2, VSI AllianceTM, Virtual Component Transfer Development Working Group) und OpenMORE Assessment Program for Hard/Soft IP Version 1.0 (Synopsis Inc., Mentor Graphics Corporation)* beschriebenen Attribute samt Namensraum als grundlegende Sprachelemente aufgenommen wurden. Vor allem im Hinblick auf Deklarativität, Erweiterbarkeit und Ausdrucksmächtigkeit wurde *IPCHL* konzipiert. Sprachelemente zur Definition eigener Taxonomien sowie der Strukturierung von Attributen hinsichtlich der taxonomischen Knoten sind ebenso vorhanden, wie vordefinierte Taxonomien entsprechend des VSIA Standards. Diese Taxonomien stellen weiteres, regelhaftes Wissen über die Strukturierung der Attribute zur Charakterisierung dar, welches vom Benutzer selbst erweitert bzw. ergänzt werden kann. Die technische Realisierung von *IPCHL* erfolgte mit Hilfe von XML/XML-Schema und stellt somit den Teil des IPQ-Formats dar, welcher der strukturierten Charakterisierung von IPs dient.

Ein weiterer Schwerpunkt lag auf der Entwicklung einer Integrationsbasis für das Zusammenwirken von Retrievalkomponente und anderen Tools, die im Laufe des IPQ Projekts entstanden sind. In Zusammenarbeit mit der Universität Paderborn und der Siemens AG wurde hierzu die Definition der Retrieval Schnittstelle für Web-Services vorgenommen und auf die von der Universität Paderborn vorgeschlagene Web-Service Architektur abgestimmt. In dieser Architektur stellt das IPQ Format das Protokoll zwischen den verschiedenen Web Services dar, um die Integration des online Demonstrators in ein verteiltes Webservice-basiertes Szenario zu realisieren.

Der seit Januar 2002 online verfügbare Retrieval Prototyp [102,103] wurde zu einem vollständigen Demonstrator erweitert [129]. Da der Prototyp bereits alle Konzepte realisierte, welche einem spezifikations- und fallbasiertem Retrieval zu Grunde liegen, lag der Schwerpunkt somit auf der Akquisition realer Fälle und Ähnlichkeitsmaße zum Zwecke der systematischen Evaluation des Demonstrators durch die Projektpartner. Aufgrund der Verfügbarkeit der Beschreibungssprache *IPCHL* war es möglich, IP spezifisches Wissen formal und für den Demonstrators verarbeitbar zu erfassen [117]. Zu diesem Zweck wurden Gespräche sowohl mit dem europäischen Partner Design&Reuse als auch mit dem deutschen Partner sci-worx geführt. Ein Ergebnis war, dass die in dem Dokument *Virtual Component Attributes (VCA)* beschriebenen Attribute, die der bisherigen Realisierung von *IPCHL* zugrunde lagen, nicht hinreichend für die Beschreibung konkreter IPs ist. Die dort identifizierten Attribute beschreiben vielmehr als Ansammlung allgemeine IP Eigenschaften und können nur als Grundlage herangezogen werden. Wesentlich wichtiger sind die Attribute, die spezifisch für eine bestimmte Klasse von IPs sind und die in den jeweiligen Katalogen nicht erfasst sind. Es wurden daher neben den Implementierungsarbeiten für den vollständigen Demonstrator weitere Akquisitionstreffen mit sci-worx veranstaltet, wobei man sich auf eine Klasse von IPs zur Übertragungssicherung mit Korrektüreigenschaften zur weiteren Vertiefung einigte. Es stellte sich heraus, dass die Integration dieser Attribute nicht nur zu einer Erweiterung der Beschreibungssprache *IPCHL* führt, sondern auch Änderungen mit sich brachte [124], die sodann mit der Universität Paderborn diskutiert und realisiert wurden. Für den vollständigen Demonstra-

tor wurden eine Reihe von Standardähnlichkeitsmaßen in Zusammenarbeit mit sci-worx bereits vorab definiert und reale Beispiele integriert. Zur Unterstützung des Anwenders, der diese nunmehr komplexere IP Spezifikation erstellt, wurde ein Editor entwickelt, der sowohl die Erfassung IP-spezifischer Attributwerte ermöglicht als auch die eigene Definition von Attributen im Hinblick auf eine funktionale Klasse samt Ähnlichkeitsmodell.

FZI

Durch spezifikationsbezogenes IP-Retrieval wird das Auffinden bereits wiederverwendbar entworfener IP-Module ermöglicht. Zur Effizienzsteigerung des IP-basierten-Entwurfs hat das FZI an einem Retrieval System, dem Reuse Management System (RMS), gearbeitet. In IPQ wurde das bereits bestehende RMS-Konzept wesentlich erweitert, für den Nutzer transparenter in den Entwurfsablauf integriert und durch Prüfalgorithmen die Konsistenz der Datenbasis sichergestellt. Diese Ergebnisse wurden folgendermaßen erreicht:

In Zusammenarbeit mit empolis, sci-worx, Thomson Multimedia und Uni Paderborn wurden die Anforderungen an die IP-Darstellung erarbeitet. Die charakteristischen Daten wurden in das IPQ-Charakterisierungsformat integriert, welches dann in eine RMS-Klassifikation und Metrik umgesetzt und in Java implementiert wurde.

Für die Zugriffsüberwachung auf die IP-Daten sind Sicherheitseinstellungen auf Benutzerebene eingeführt worden. Dadurch wird sichergestellt, dass ein Benutzer nur Zugriff auf die für ihn vorgesehenen Daten hat. Insbesondere der Zugriff auf den IP-Inhalt (HDL-Beschreibung, Simulations- und Syntheseumgebung usw.) wird dadurch überwacht. Hierfür und zur Performancesteigerung des Retrievals wurde das proprietäre RMS-Format der Datenbasis durch ein relationales Datenbankformat ersetzt.

Die in IPQ entwickelte RMS-Architektur besteht aus einem Server, der die Retrieval Algorithmen bereitstellt, und auf die Datenbasis zugreift. Anfragen in Form der IP-Spezifikation werden über den Client, ein Javaapplet, gestellt. Die Client Software steht an jedem Arbeitsplatz mittels Standardbrowser zur Verfügung.

Basierend auf einer umfassenden Analyse von Analog, Mixed-Signal (AMS) IP-Modulen in AP4 ist eine AMS-Klassifikation in RMS implementiert worden. Die Integration der neuen Klassifikation konnte mittels des neu entwickelten Administrationswerkzeugs wesentlich effizienter als bisher erfolgen.

Durch das Administrationswerkzeug wird die konsistente Integration sowohl neuer Klassifikationen, als auch von IP-Charakterisierungen und deren Attribute unterstützt. Während der Arbeit am und mit dem RMS hat sich gezeigt, dass die Erstellung neuer Klassifikationen und das "Füllen" der Datenbasis mit IP-Charakterisierungen einen erheblichen Aufwand erfordern. Dieser konnte durch das entstandene Werkzeug wesentlich reduziert werden. Die Berechnungen für eine unscharfe Suche nach ähnlichen IP-Modulen werden durch das Administrationswerkzeug nach jeder Aktualisierung der Charakterisierungsdaten automatisch durchgeführt. Basierend auf den statischen Ähnlichkeitswerten ist das Retrieval wesentlich beschleunigt worden. Dem Nutzer werden schließlich die Retrieval-Ergebnisse, entsprechend ihrer Ähnlichkeit zur Spezifikation, geordnet aufgelistet. Bild 4 zeigt ein Bildschirmfoto des Administrationswerkzeugs. Im oberen Bereich werden die Klassifikationen verwaltet, in der Mitte die

Taxonomieknoten und im unteren Bereich die den Taxonomieknoten zugewiesenen Attribute..

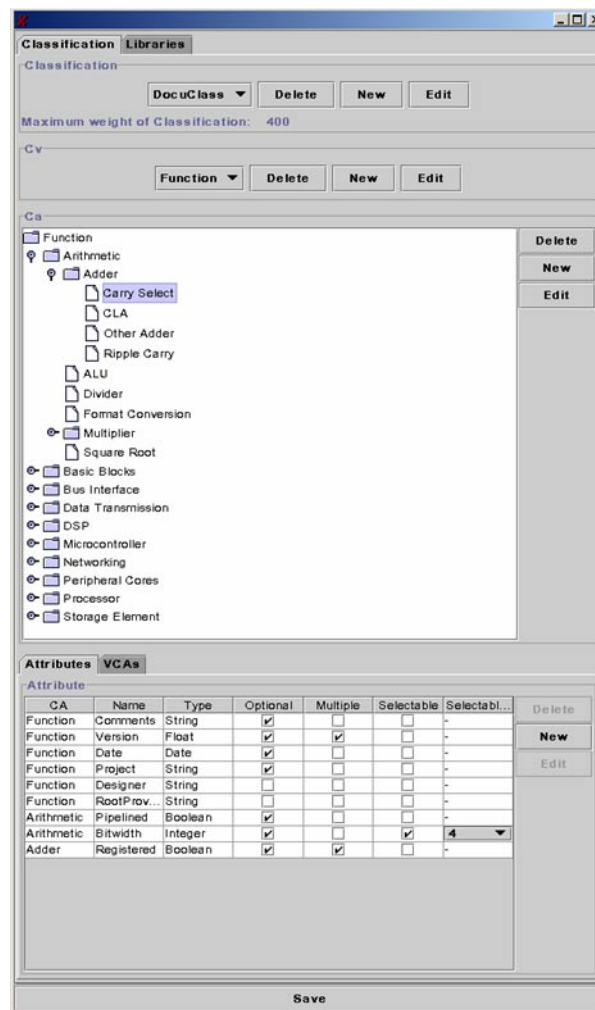


Abbildung 10: Administrationswerkzeug

Teilaufgabe T3: Retrieval parametrisierter IP

empolis

Das Kernstück von Retrievalverfahren für parametrisierte IPs ist die Bestimmung der Ähnlichkeit zwischen einer Anfrage und einem parametrisierten IP. Ein parametrisiertes IP stellt dabei nicht nur ein Punkt im Beschreibungsraum dar, sondern kann als Teilraum dieses Raumes gesehen werden, d.h. ein parametrisiertes IP repräsentiert eine Menge von Designpunkten [122]. Die Ähnlichkeitsberechnung zwischen einer Anfrage und einem parametrisierten IP ist somit die Suche nach dem ähnlichsten Designpunkt der durch den parametrisierten IPs abgedeckt ist.

Da bestehende Retrievalsysteme keine Unterstützung für parametrierbare IPs bieten, wurde zunächst eine Analyse existierender Parametrierungsverfahren in Bezug auf deren Einsetzbarkeit in einem CBR-Retrieval System durchgeführt [125]. Die Entscheidung wurde zugunsten von Constraints gefällt, die auch in vielen anderen Bereichen der Künstlichen Intelligenz erfolgreich eingesetzt werden [118]. Ein entsprechendes Grundkonzept mit darauf basierender Repräsentationssprache in XML wurde entwickelt. Dabei flossen unter anderem die Erfahrungen von bestehenden IP-Repräsentationssprachen wie SYBES, P-XML, APN und MathML

mit ein. Die Constraintbeschreibung gliedert sich nahtlos in die im IPQ Format beschriebenen IP-Beschreibungen ein.

Da Methoden zum effizienten ähnlichkeitsbasierten Retrieval parametrisierter IPs zum Zeitpunkt des Projektstartes noch nicht erforscht waren, wurden mehrere alternative Ansätze entwickelt von denen sich drei als vielversprechend herausgestellt haben [127].

Beim ersten Retrievalverfahren wird das Ähnlichkeitsproblem als ein Optimierungsproblem aufgefasst und durch die wohl erforschten Techniken aus der mathematischen Optimierung behandelt [134]. Für reelwertige Parameter ist dies sehr weit erforscht und einsetzbar. Werden jedoch diskrete Parameter betrachtet, was sich bei unserer Analyse von parametrisierten IP als notwendig herausstellte, sind Erweiterungen um Verfahren der "gemischten nicht-linearen Integer Optimierung" erforderlich.

Der zweite Ansatz hat die Frage erörtert, in wieweit es möglich ist, das Retrieval durch den Einsatz einer Indexstruktur zu beschleunigen. Durch eine geeignete Indexstruktur kann ein Teil des Berechnungsaufwandes zum Retrieval Offline durchgeführt werden, also dann, wenn neue IPs zur Datenbank hinzugefügt werden. Die Bildung einer Indexstruktur in der "Offline Phase" ist aber mit reinen Optimierungstechniken zunächst nicht möglich. Aus diesem Grund entwickelten wir eine Retrievaltechnik, die die Techniken der mathematischen Optimierung mit neuen Partitionierungstechniken kombiniert.

Ein Nachteil beider zuvor untersuchter Verfahren ist deren enormer Aufwand in Bezug auf die Implementierung im Kontext eines kommerziellen Retrievalsystems wie orange. Aus diesem Grunde haben wir einen dritten Ansatz untersucht. Hierbei wird ein parametrisierter IP durch eine speziell entwickelte Samplingtechnik in eine Menge von Designpunkten zerlegt [132]. Auf diesen Designpunkten kann dann mit bekannten und effizienten Retrievalverfahren, wie sie ein kommerzielles Retrievalsystem wie orange bereit stellt, gesucht werden.

Die Implementierung des Sampling-Konverters und die Suche wurden vollständig implementiert und in den Online Demonstrator integriert. In umfangreichen Funktionstests und empirischen Studien wurde zunächst analysiert und letztendlich auch bestätigt, dass das Verfahren den Ansprüchen einer Suche nach parametrisierten IPs genügt. Der vollständige Online Demonstrator kann im Internet unter der Adresse <http://demo.dwm.uni-hildesheim.de:8080/ipq2/demo/> verwendet werden.

Teilaufgabe T4: Benutzergerechte Präsentation und Erklärung der Retrievalergebnisse

empolis

Ziel der Arbeiten dieser Teilaufgabe ist die Entwicklung und Demonstration von Methoden, mit denen es möglich ist, das Zustandekommen der Ergebnisliste, die das IP Retrieval für eine Anfrage bestimmt hat, für den Suchenden transparenter zu gestalten. Dies dient zwei primären Zwecken:

1. Das Vertrauen des IP Suchenden in das Suchergebnis soll erhöht werden.
2. Der IP Suchende soll Klarheit darüber erhalten, aufgrund welcher Sucheingaben die Ergebnisliste zustande gekommen ist, um nicht-intendierte Suchergebnisse aufgrund fehlerhafter oder unvollständiger Suchanfragen zu vermeiden.

Die Konzepte hierzu wurden erarbeitet und in einer ersten Publikation [133] zusammengefasst. Die zentrale Annahme, die natürlich dieser Konzeption zugrunde liegt, ist, dass das fallbasierte Schließen die zugrundeliegende Retrievaltechnologie ist [126,128]. Aufgrund dieser Annahme ist es möglich, Zwischenergebnisse die bei der Bestimmung der Ergebnisliste ermittelt wurden, auszunutzen, um hieraus unterschiedliche Formen der Ergebnisklärung abzuleiten. Weitere Annahmen beziehen sich auf die Arten typischer Anfrageszenarien und die Arten der zu erwartenden IP Charakterisierungen in der IP Datenbank. Diese Annahmen wurden in

mehreren Diskussion mit Mitarbeitern der Fa. sci-worx erarbeitet. Die auf dieser Grundlage entwickelte Online Deomonstrator umfasst im wesentlichen zwei unterschiedliche Implementationen:

1. IP spezifischer Relevanzbericht: Unter Berücksichtigung der vom Benutzer spezifizierten Suchparameter, wird für jedes vorgeschlagene IP ein individueller Bericht generiert. Dieser beinhaltet Informationen über die Attribute, die für das Ranking des IPs die größte Bedeutung besitzen. Die Attribute werden zusammen mit einer Darstellung ihrer lokalen Ähnlichkeit (Relevanzbeurteilung des IPs bei isolierter Betrachtung des einzelnen Attributes) graphisch dargestellt und mit detaillierten Informationstexten versehen.

2. Analyse der Ergebnismenge: Bei der Analyse der Ergebnismenge sind drei verschiedene Charakteristiken betrachtet worden [147]. Die Ergebnismenge kann entweder wenige, keine oder viele übereinstimmende Treffer enthalten. Bei wenigen übereinstimmenden Treffer wird der IP Suchende angehalten, diese Treffer anhand der IP spezifischen Relevanzberichte zu vergleichen. Keine übereinstimmende Treffer lassen auf entweder fehlerhafte Suchanfragen oder auf eine "unvollständige" Fallbasis schließen, die bezüglich der Anfrage keine sinnvollen Ergebnisse liefert. Beide Situationen sind auf sogenannte Konfliktattribute bzw. auf Kombinationen von Konfliktattributen zurückzuführen, die sich gegenseitig ausschließen. Der IP Suchende wird auf diese Attribute hingewiesen und kann sie ggf. aus seiner Anfrage streichen und diese neu ausführen. Die dritte Situation mit vielen passenden Treffer ist durch unvollständige Anfragen begründet. Besteht die Ergebnismenge aus mehr als 10 passenden Treffern, so werden die IPs hierarchisch und inhaltlich gruppiert, durch deren Struktur der IP Suchende navigieren kann. Ist die Ergebnismenge der passenden Treffer kleiner oder gleich 10, dann werden diejenigen Attribute berechnet und dem Benutzer vorgeschlagen, die bei Wertzuweisung voraussichtlich die Menge am besten differenzieren würden.

Die anschließende Evaluation des Online Demonstrators ist in Kooperation mit der Fa. sci-worx erarbeitet worden. Die Evaluierung erfolgte durch IP Experten, die mit Hilfe des Online Demonstrators unterschiedliche Suchszenarien aus der Praxis nachgestellt haben [148]. Sie überprüften die Retrievalergebnisse auf Authentizität, Präzision und Akzeptanz. Dabei wurde zuerst sichergestellt, dass der Online Demonstrator die Anforderungen, die von den Experten vorgeschlagenen Suchszenarien nachzustellen, erfüllt. Zusammen mit den Vergleichen, welche IPs bei einer bestimmten Anfrage erwartet werden und welche tatsächlich zurückgeliefert wurden, wurden die Evaluationskriterien bestätigt. Darüber hinaus ist die praktische Handhabung und Benutzerunterstützung hinsichtlich der Erklärungskomponenten von IP Experten besonders positiv hervorgehoben worden.

2.1.3 Arbeitspaket AP3: Eingangcheck

Zusammenfassung

Um die Eignung eines IP für die konkreten Bedingungen einer gegebenen Entwicklungsplattform beim Produktentwickler zu beurteilen, die Vollständigkeit eines IP-Paketes zu prüfen, die korrekte Übertragung von IP-Daten zu sichern und die Qualität von IP (auch im Sinne eines Ratings) zu bewerten, leistete AP3 in den drei Teilaufgaben T1-T3 im Wesentlichen folgende Beiträge:

- Methoden zur formalen Analyse komplexer IP-Daten (AMD, FhG),
- Generierung qualitätsgerechter Informationen im IP-Entwicklungsflow zur Charakterisierung der Güte und zur Sicherung der Vergleichbarkeit von IP (FZI),
- Automatisierung der qualitativen Bewertung der IP-Module sowie der funktionalen Verifikation der IP-Module (sci-worx),

- Methoden zur Zertifizierung (Checkliste zur Bewertung von IP ohne den Austausch von Designdaten) für Standard IP Bus bezüglich Qualität und Vollständigkeit (Infineon),
- Verfahren zur Konvertierung Funktionsblock -> IP (Entwicklung von IP aus Teilfunktionen eines bereits verifizierten ICs) und Qualitätsprüfung (DTB),
- Ableitung von Bewertungs-, und Gütekriterien für IP (AMD, sci-worx, DTB),
- Analyse semantischer IP-Charakteristika, Integration von Analyzern in den Qualifizierungsflow (AMD, FhG),
- Verifikation komplexer Systeme zwecks IP-Integration (AMD, FhG),
- Beiträge zur Definition eines für unterschiedliche Entwicklungsplattformen geeigneten Austauschformates für IP (alle AP3-Partner gemeinsam mit den anderen Arbeitspaketen),
- Beiträge zur Definition eines qualitätsbezogenen Datenstandards, der beim Retrieval zur Verfügung steht (sci-worx und FZI gemeinsam mit AP2).

In die Bearbeitung der einzelnen Themenkomplexe von AP3 brachten die beteiligten Projektpartner AMD mit Unterauftragnehmern FhG, sci-worx, FZI, IFX und DTB jeweils spezifische Sichten, wie anwendungsorientierte und verfahrenstechnische Belange bzw. Aspekte der Standardisierung, ein.

Teilaufgabe T1: Analyse und Bewertung von IP

AMD

Zwischen den Arbeiten zu Teilaufgabe 1 und 2 bestand eine besonders enge Wechselbeziehung. Während Teilaufgabe 1 Methoden zur Analyse untersuchte und entwickelte - also den Werkzeugaspekt in den Mittelpunkt stellte - konzentrierte sich Teilaufgabe 2 auf den Anwendungsaspekt. Die gemeinsam mit dem Unterauftragnehmer FhG realisierte Methodenentwicklung in Teilaufgabe 1 vollzog sich in den drei Hauptphasen: Konzeption, Implementierung und Evaluation im industriellen Umfeld. Ergebnis ist eine flexibel adaptierbare, grammatikbasierte Framework-Architektur *afw* für die - mittels Compiler-Compiler-Prinzipien einfache und schnelle - Generierung von Kodierstil-Analyzern. Das Framework *afw* repräsentiert ein

- an verschiedene formale Sprachen adaptierbares,
- auf unterschiedliche Applikationsanforderungen anwendbares und
- hinsichtlich des Leistungsumfanges einfach erweiterbares

System für die syntax- und semantik-getriebene Analyse des Quellcodes von Hardware- und Testumgebungs-Beschreibungen. Folgende Leistungsmerkmale dienten als Kriterien für die Konzeption des Analyse-Frameworks:

- Einfachheit (ausreichend sind Kenntnisse der zu analysierenden Sprache und Programmierkenntnisse in C++),
- Flexibilität (schnelle Reaktion auf neue oder sich ändernde Anforderungen, da die gesamte SW im Quellcode vorliegt),
- Effizienz (Framework-basierte Analyser sollten nicht signifikant langsamer als handgeschriebene Systeme sein),
- Benutzerfreundlichkeit (vordefinierte Analyse-Funktionalität zur einfachen Implementierung von Kodierrichtlinien).

Die dazu erarbeiteten bzw. weiterentwickelten Konzepte zur Partitionierung in Front-End, Vermittlerschnittstelle, Datenbasis und Back-End, die Trennung von Regelimplementierung und Grammatikbeschreibung der zu analysierenden Sprache sowie die hierarchische Organisation und Verwaltung der Datensammlung beinhalten Lösungsansätze, die neben theoretischen Grundlagen des Compilerbaus auch auf praktischen Erfahrungen bei der Entwicklung und Handhabung großer Softwaresysteme aufsetzen. Zusammen unterstützen sie die effiziente Spezifikation einer Analyseaufgabe. Die Beschreibung der Konfigurationsdateien des Frameworks erfolgt unter Verwendung von XML. Des Weiteren wurde eine hierarchische Symboltabelle in das System integriert. Diese zeichnet sich durch eine einfache Konfigurierbarkeit auf

verschiedene zu analysierende Sprachen aus und stellt aufbereitete Symbolinformationen für anspruchsvolle Kodierrichtlinienchecks zur Verfügung. Um die Erstellung frameworkbasierter Analyzer zu erleichtern, ist eine skriptbasierte automatisierte Erstellung eines Implementierungsrahmens möglich. Dieser generiert neben der benötigten Verzeichnisstruktur, notwendige anwendungsspezifische Komponenten und bei Vorhandensein einer Grammatik für die zu analysierende Sprache auch ein entsprechendes Frontend unter Nutzung der Unix-Compilerwerkzeuge *yacc/lex*.

Basierend auf *afw* entstanden eine Reihe experimenteller Analyzer. Zunächst wurde ein Analyzer *VerAn* (Verilog Analyzer) implementiert und nach Zusammenführung mit der speziellen, in Teilaufgabe 2 entstandenen Analysesoftware *VeDrAn* (Verilog Driver Analyzer) zum Experimentalsystem *DAVe* (Design Guidelines Analyzer for Verilog) weiterentwickelt, das die Mehrzahl der AMD-spezifischen Verilog-Guidelines überprüft. Außerdem entstand der Analyzer *edas* (e Design Guideline Analysis System) zur Überprüfung von 54 e-Code Guidelines. Schließlich wurde ein *afw*-basierter *SystemC*-Analyzer erstellt, der 18 Kodierrichtlinien eines Richtliniensatzes prüft und den kommerziellen statischen C++ Analyzer *QAC++* von Programming Research als add-on transparent ergänzt.

Für die praktische Erprobung der entwickelten Analyzer wurden neben Regressionstests signifikante Anwendungsbeispiele (IP-Module inkl. Testbenches) ausgewählt, die auch bei der Entwicklung von PC-Chipsets zur Anwendung kamen (AMD-8111TM IO-Hub für Plattformen der neuen 64-Bit Generation).

Die genannten Arbeiten wurden auf einer Reihe von Workshops präsentiert. Der *SystemC*-Analyzer ist als IPQ-Demonstrator verfügbar.

sci-worx

Um die IP-Eingangsprüfung schneller, effizienter und objektiver zu machen als dies mit Hilfe von Reviews möglich ist, wurde ein Framework für automatisierte IP-Qualifizierung in Zusammenarbeit mit FZI spezifiziert. Eine Implementierung des Frameworks erlaubt es, für ein IP unkompliziert Überprüfungen mit Hilfe verschiedener Werkzeuge durchzuführen.

Die erste Überprüfung betrifft die Vollständigkeit und Integrität der IP-Daten, wobei in VHDL oder Verilog (auch gemischt) beschriebene Designs sowie Testumgebungen in VHDL, Verilog oder C/C++ berücksichtigt werden. Sind Vollständigkeit und Integrität gegeben, so kann das Qualifizierungs-Framework selbst die Struktur des IPs ermitteln und den im folgenden genannten Werkzeugen bekannt machen.

Ein kommerziell verfügbares Werkzeug zur Durchführung von statischen Analysen des Designs bezüglich der Einhaltung von Entwicklungsrichtlinien wurde in das Framework integriert. Die Programmierbarkeit des Werkzeugs wurde ausgenutzt, um eine automatische Überprüfung der in AP1 T3 entwickelten sci-worx-spezifischen Richtlinien umzusetzen.

Die Qualität der IP-Verifikation kann unter anderem durch eine Code-Coverage-Analyse bewertet werden. Ein am Markt verfügbares Werkzeug zur Bestimmung der Code Coverage wurde in das Qualifizierungs-Framework eingebunden. Dies ermöglicht es, die Einhaltung der intern gesetzten Coverage-Ziele zu überwachen.

Ein weiteres Kriterium ist die Abdeckung definierter Testfälle im Rahmen der IP-Verifikation. Es wurde ein Werkzeug entwickelt, welches es erlaubt, diese Abdeckung automatisch zu bestimmen. Darüber hinaus ist es möglich, die Testfallabdeckung über die Zeit zu verfolgen, um so den Fortschritt der Verifikation bei der IP-Entwicklung zu beurteilen.

Eine niedrige Leistungsaufnahme ist ein weiteres Qualitätskriterium für IPs, insbesondere wenn sie in mobilen / batterieversorgten Systemen eingesetzt werden sollen. Ein Werkzeug zur Leistungsabschätzung wurde evaluiert. Eine Einbindung in das Framework wurde jedoch nicht vorgenommen, da die für die Leistungsabschätzung notwendigen Schritte zu stark vom

Design abhängig und somit nicht ausreichend automatisierbar sind.

Für die von sci-worx entwickelten Soft IPs ist es besonders wichtig, ein effizientes Syntheseresultat sicherzustellen. Deshalb wurde das Qualifizierungs-Framework so ausgelegt, dass es verschiedene kommerzielle Synthesewerkzeuge schnell und einfach ansteuern kann, um Soft IPs auf verschiedene Technologien abzubilden, eine Testsynthese und Testmuster-generierung durchzuführen, und die Ergebnisse (Flächenbedarf, Gate Count, erreichbare Betriebsfrequenz, Testabdeckung etc.) festzuhalten.

Die funktionale Korrektheit des Syntheseresultates wird mit Hilfe von Equivalence Checking, einer Technik der formalen Verifikation, sichergestellt. Dabei wird die Äquivalenz der generierten Netzliste mit den als Eingabe für die Synthese benutzten VHDL- und Verilog-Dateien bewiesen. Darüber hinaus ist es möglich, mit Hilfe von Property Checking geeignete definierte Eigenschaften der VHDL- und Verilog-Modelle nachzuweisen. Beide Techniken wurden erfolgreich evaluiert. Dabei bestand eine Kooperation mit dem Projektpartner Infineon Technologies, der sein Werkzeug CVE zur Verfügung gestellt und Support geleistet hat.

Die Ergebnisse der einzelnen Qualifizierungsschritte werden gesammelt und im Rahmen der von sci-worx definierten IP Scorecard festgehalten.

Die Erfahrungen mit IP-Qualifizierung und Automatisierung wurden in einem vom FZI organisierten Tutorial gesammelt mehrfach im internationalen Rahmen vorgestellt.

FZI

Vor Beginn von IPQ bestand eine IP-Eingangsprüfung aus der Durchführung von Reviews, die nur teilweise werkzeuggestützt waren und zur Aufgabe hatten die meist für jeden IP-Transfer individuell vertraglich festgelegten Qualitätskriterien zu überprüfen. Durch die Zusammenarbeit mit sci-worx und DTB in der VSIA (AP1) konnte erstmals ein IP-Qualitätskriterienstandard spezifiziert werden. Die Eingangsprüfung hat nun zur Aufgabe die Einhaltung dieser Qualitätskriterien für ein IP-Modul möglichst automatisch zu überprüfen. Dadurch wird die Eingangsprüfung wesentlich beschleunigt und objektiver. Am FZI sind Methoden für ein Qualifizierungsframework entwickelt worden, die bei sci-worx teilweise implementiert wurde. Das Qualifizierungsframework ist so ausgelegt, dass kommerziell verfügbare Werkzeuge wie z.B. Synthese- und Simulationswerkzeuge für Qualifizierungszwecke in das Framework eingebunden werden können. Weitere Qualifizierungsaufgaben können auch durch eigene Prüfwerkzeuge bereitgestellt werden. Das Framework kann um Agenten erweitert werden. Agenten stellen entweder Wissen über das zu untersuchende IP-Modul (z.B. Struktur) zur Verfügung oder prüfen bestimmte Eigenschaften (z.B. VSIA QIP Kriterien). Das Qualifizierungsframework wurde zur Qualifizierung von IP-Modulen des sciCOS-3000 Multimedia Chips bei der Firma sci-worx verwendet. Durch die erzielten Verbesserungen konnten mehr als 60% des Wiederverwendungsaufwands eingespart werden. Die Ergebnisse sind in einem gemeinsamen Beitrag zur DATE 2004 von sci-worx und FZI dokumentiert. Bild 5 zeigt schematisch das IP-Qualifizierungsframework.

Es wurde eine Analyse der VSIA QIP Kriterien durchgeführt, um den Automatisierungsgrad der Qualitätsprüfungen zu ermitteln. Die Analyse hat ergeben, dass von den ca. 230 QIP-Qualitätskriterien für digitales Soft-IP 36% vollautomatisch geprüft werden können. 15% der Kriterien lassen sich teilweise prüfen und 23% lassen sich mit dem momentanen Stand der Technik nicht automatisch prüfen. Nicht automatisierbare Kriterien fordern z.B. eine verständliche Dokumentation oder sinnvolle Namensgebung. Die verbleibenden 26% der Kriterien müssen näher untersucht werden, inwiefern sie einer der drei Gruppen zugeordnet werden können, aber bereits aus diesem Ergebnis ist ersichtlich, dass mehr als 50% des IP-Qualifizierungsaufwands zumindest halb automatisch durchgeführt werden können.

27% der notwendigen Tests beziehen sich auf das Vorhandensein bestimmter Dateien sowie

die Überprüfung und Anpassung der IP-Modulkonsistenz. Die Modellierung und Generierung der notwendigen Datenbasis wurde am FZI entwickelt und in das Qualifizierungsframework integriert. Die Datenbasis stellt zugleich das IPQ-Inhaltsformat dar. Dabei handelt es sich um ein XML-Format, das anhand spezifizierter XML-Schemas (APIT3), auf Korrektheit geprüft werden kann. Damit gliedert sich das Inhaltsformat nahtlos in das IPQ-Gesamtformat mit IP-Charakterisierung und Taxonomien ein. Das XML-Format für IP-Charakterisierung und Taxonomien sind von der Universität Paderborn gepflegt worden.

Das IPQ-Inhaltsformat ist die Grundlage für die am FZI entwickelten Prüfer. Es wird von Software Agenten generiert, die auf einem IP-Anbieter-spezifischen Format bzw. IP-Käufer spezifischen Format aufsetzen. Dabei genügt eine jeweils firmenweite Formatspezifikation, welche der jeweiligen Entwicklungsumgebung und Toolflow angepasst ist. Diese firmenspezifisch angepassten Formate müssen nicht geändert werden. Die Agenten erwarten lediglich eine zusätzliche XML-Konfigurationsdatei, in der das Format spezifiziert wird. Für die anschließende Konsistenzprüfung und Anpassung generieren die Agenten automatische logische Abhängigkeiten zwischen physikalisch abhängigen Dateien. Die logischen Abhängigkeiten spiegeln die Entwurfsstruktur wieder und haben den Vorteil, dass sie beim automatischen Import in eine von der Quellstruktur verschiedenen Entwicklungsumgebung nicht ungültig werden. Dieses Verhalten ermöglicht die automatische Anpassung der Quellstruktur an die Zielstruktur. Der Vorteil für den IP-Käufer liegt in der schnelleren Integration in seine spezifische Entwicklungsumgebung. Für den IP-Anbieter besteht der Vorteil darin, dass nicht bei jeder IP-Modulauslieferung ein neues proprietäres Auslieferungsformat generiert werden muss, was mit einer erneuten Qualifizierung verbunden wäre. Der Prototyp für die automatische Integration in die Entwicklungsumgebung des IP-Käufers konnte anhand eines realen IP-Moduls von sci-worx getestet werden.

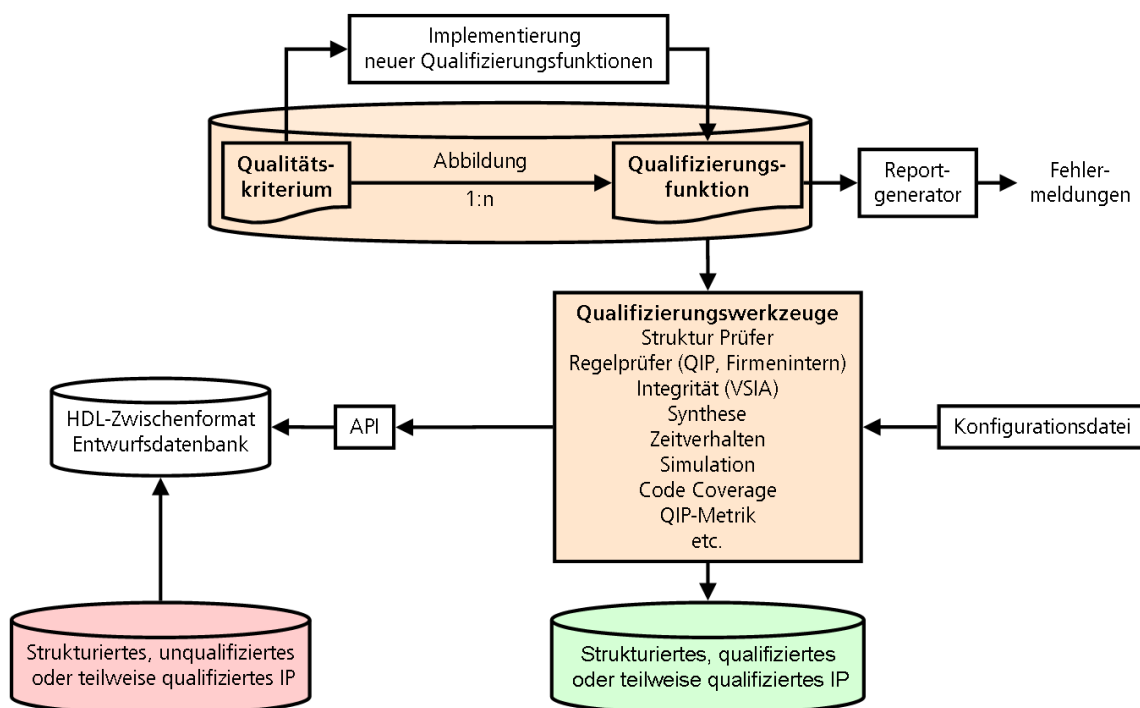


Abbildung 11: IP-Qualifizierungsframework

Infineon

Ein gewaltiges Spektrum an IP Komponenten steht dem Entwickler heute am Markt zur Verfügung. Die Bandbreite reicht von einfachen Interface Modulen bis hin zu komplexen High-End Prozessoren. Unterschiedlichste Quellen stehen zur Verfügung, vom Start-Up bis hin zur etablierten IP Firma. Um aus diesem Angebot die richtige Komponente in einer definierten Qualität zu finden war bisher fast unmöglich. Aus diesem Grund hat sich Infineon mit der Bewertung von IP beschäftigt.

Im ersten Schritt wurde eine Matrix erstellt, die die Vollständigkeit der unterschiedlichen IP Arten zeigt. Unterschieden wurde dabei zwischen Soft-, Firm- und Hard-IP. Abgebildet werden damit alle Deliverables, die zu einem vollständigen Lieferumfang gehören. Eingeflossen sind dabei die unterschiedlichen Anforderungen der IPQ, bzw. ToolIP Partner.

Auf diese Matrix aufgesetzt wurde ein Meilenstein basierter IP Entwicklungsprozess. Dieser beschreibt die einzelnen Stufen der IP Entwicklung, beginnend bei Idee für ein neues Produkt, über Spezifikation und Design, bis hin zur Ausgangsprüfung der Qualität. Zu jedem Prozessschritt sind Aufgaben, Guidelines und Checks definiert, um frühzeitig die Qualität und Vollständigkeit sicher zu stellen (s. Abb. 12).

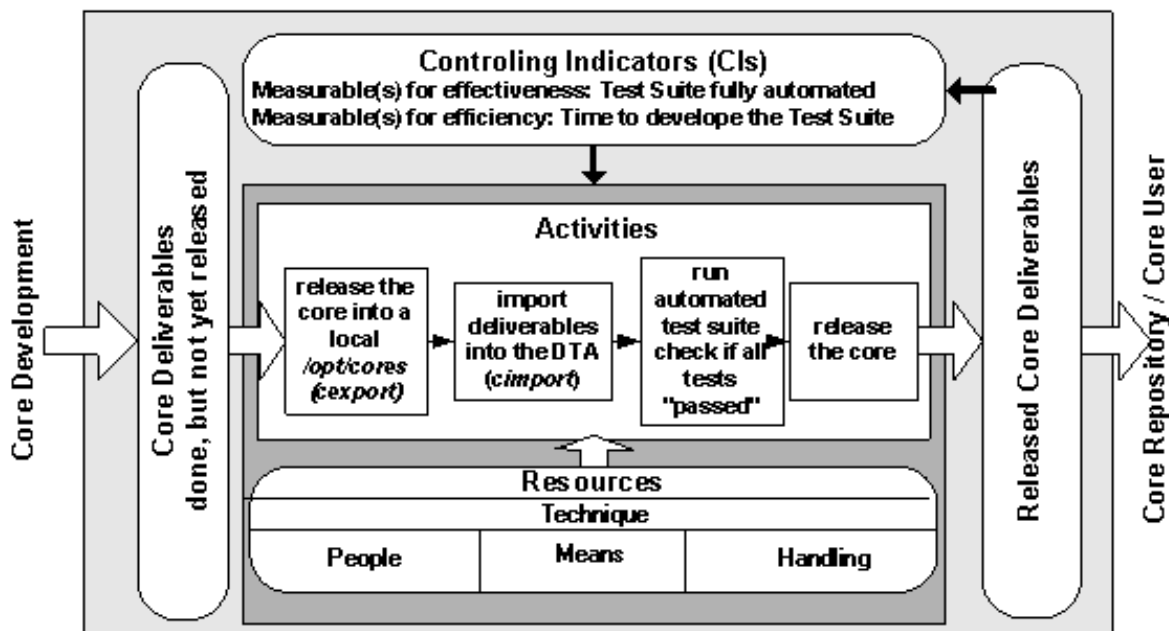


Abbildung 12: Meilenstein basierter IP Entwicklungsprozess

Nur IP, welchen alle Meilensteine vollständig durchlaufen hat, wird in der IP Datenbank abgelegt. Darüberhinaus sieht der Anwender den "Reifegrad" des IP, es ist hinterlegt, in welchen Produkten das IP schon eingesetzt wurde.

Der IP Entwicklungsprozess wurde an eigenem, als auch an fremden IP verifiziert. So wurde sicher gestellt, daß das Ergebnis firmenunabhängig die Anforderungen an die IP Entwicklung abdeckt.

DTB

Die IP Qualität ist mittlerweile eine der wichtigen Faktoren für das mögliche Einsetzen und die Wiederverwendung des IP bei den IP Kunden. Es hat sich jedoch gezeigt, dass eine "einfache" Bewertung von komplexen IP Paketen, insbesondere hinsichtlich der Funktionalität der Anwendbarkeit und der Handhabbarkeit, nicht ohne weiteres möglich ist. Deshalb ist es notwendig Prüfkriterien und die Prüfprozesse zur Bestimmung der IP Qualität festzulegen.

Als Mitglied der VSIA VC Qualität Development Working Group (DWG) hat DTB mit sci-worx und FZI in der Arbeitsgruppe zusammen gearbeitet. Die IPQ Partner haben in diesem Gremium Beiträge zum internationalen Standardisierungsprozess im Bereich der IP Qualifizierung eingebracht. Im vorläufigen Ergebnis ist eine Tabelle zur Ausgabe einer qualifizierten Charakterisierung von IP entstanden, die auf der DAC'03 in einer ersten Beta-Version vorgestellt wurde. Die Ergebnisse haben gezeigt, dass die meisten der involvierten Mitglieder einen best möglichen Überblick und eine vollständige Beurteilung eines IP durch eine einfache Bewertungstabelle erwarten.

Zur Untersuchung wie effizient die Beta-Version der VSIA VC Checklist für die IP Qualitätsbeurteilung eingesetzt werden kann, wurden einige existierende IP auf ihre Qualität und somit auch Vollständigkeit hin überprüft. Dieser Prüfungsprozess war im Ergebnis sehr befriedigend, da sich die Prüfung als einfach anwendbar jedoch detailliert und umfangreich erwiesen hat. Aufgrund dieses Ergebnisses ist die Check-List auch von DTB als IP-Auslieferungskriterium akzeptiert worden.

Sollte sich diese Checkliste in naher Zukunft auf dem Markt etablieren, ist mit einer deutlich gesteigerten Transparenz auf dem IP-Markt zu rechnen. Sie erlaubt einerseits dem Anwender des IP, die Qualität zu überprüfen, sie erlaubt aber auch dem IP-Lieferanten seine Position auf dem IP-Markt zu testen.

Der Beta-Test dieser Checklist (Spreadsheet mit dem Officeapplikationstool) innerhalb der Arbeitsgruppe ist noch andauernd. Die Verifizierung und Modifizierung dieser Merkmalsbestimmung sind zum jetzigen Zeitpunkt annähernd abgeschlossen. DTB wird sich auch weiterhin an diesem Standardisierungsprozess beteiligen, damit der neuste Standard in den THOMSON IP Entwicklungsprozess eingebracht werden kann.

Teilaufgabe T2: Integrationsfähigkeit von IP

AMD

Gemeinsam mit dem Unterauftragnehmer FhG wurden für Teilaufgabe 1 und 2 industrielle Qualitätsanforderungen an IP in Form von Coding Guidelines spezifiziert. In Abstimmung und im Unterschied zu adäquaten Arbeiten beim Projektpartner sci-worx standen dabei produktspezifische und prozessspezifische Design Rules, die Einbeziehung der Verifikationsumgebung in die Analyse, sowie die Unterstützung der Beschreibungssprachen Verilog, e und SystemC im Mittelpunkt. Die Guidelines für e beinhalten z.B. Konventionen zum Schnittstellendesign, Wiederverwendbarkeit, laufzeitkritische oder Laufzeitfehler verursachende Sprachkonstrukte sowie softwaretechnologische Anforderungen der objektorientierten Programmierung und sind als Menge unterschiedlicher Regelwerke verfügbar (Verification Guidelines, Verification Environment Guidelines, Performance Guidelines, extended Design and Programming Guideline Set [Common Object-Oriented and e-specific Guidelines]). Weiterhin wurden aus einer realen Entwicklungsumgebung (Flows, Tools, IPs) Richtlinien für die semantische Analyse von Verilog-Code abgeleitet, nach denen z.B. die Einhaltung von Vorschriften zur Behandlung von Power bzw. Clock Domains überprüft werden kann. In diesem Zusammenhang wurden Synchronisationsprobleme (u.a. phasenverschobene Steuersignale, Latch Synchronisation und Pipeline Synchronisation) klassifiziert und Konzepte zu deren Lösung (u.a. Reset Synchronisation, Single Bit Synchronization und Bus Synchronization) zusammengestellt. Außerdem wurde ein Algorithmus zur Synchronisationsanalyse von Bussen entwickelt. Zielsetzung war hier einerseits, verschiedene Kriterien für die Verifizierbarkeit einer HDL-Beschreibung unter den Bedingungen des im industriellen Umfeld eingesetzten Design Flow überprüfen zu können. Andererseits sollten Verifikationsaufgaben durch statische Analyse und damit in einer frühen Designphase realisiert werden, was entscheidend zur Einsparung von Entwurfskosten beiträgt.

Unter Nutzung von Regression Tests wurden kommerzielle Code Checker/Analyzer insbesondere hinsichtlich ihrer Möglichkeiten zur Analyse von Synchronisationsproblemen, Hierarchiefehlern, Constraining und Pfadverfolgung untersucht und bewertet. Mit geeigneten Tools wurden schließlich ausgewählte der oben genannten Guidelines implementiert. Wo die Leistungsfähigkeit dieser Tools nicht ausreichte oder die erforderlichen Beschreibungssprachen nicht unterstützt wurden (u.a. für e und SystemC waren zu Beginn der Projektarbeit keine Code Checker bekannt), wurden eigene Analyzer auf Basis des Analyseframeworks *afw* (siehe Teilaufgabe 1) entwickelt. Bevor *afw* zur Verfügung stand, wurde als add-on zu kommerziellen Analyzern ein experimentelles Werkzeug zur Treiberanalyse *VeDrAn* (Verilog-Treiber-Analyse) entwickelt, wobei die hier gewonnenen Erfahrungen in die Entwicklung des Analyseframeworks *afw* einfließen.

Ein spezieller Untersuchungsschwerpunkt war die Synchronisationsanalyse. Einige kommerzielle Analyse-Tools (z.B. @HDL, NovaExploreRTL) überprüfen zwar das Vorhandensein unterschiedlicher Synchronisationsschaltungen, benötigt werden aber auch Verfahren, die rekonvergente Pfade in die Analyse einschließen, da hier besondere Synchronisationsanforderungen bestehen. Unter Nutzung der verfügbaren Skript-basierten Nutzerschnittstellen kommerzieller Tools wurden entsprechende Zugänge zur Detektion mehrfach fehlerhafter Synchronizer bzw. fehlerhafter rekonvergenter Pfade beim Clock Domain Check implementiert. Diese führten jedoch bei großen Schaltungen zu Speicher- und Laufzeitproblemen. Darum wurde alternativ dazu ein Verfahren entwickelt, mit dem das Problem der fehlerhaften Synchronisation rekonvergenter Pfade schon frühzeitig bei einer RTL-Simulation sichtbar wird. Dieser simulative Ansatz wurde in verschiedenen Implementierungen (VerilogHDL und C über PLI calls; reines VerilogHDL-Modell) erprobt und löst gleichzeitig das Problem des Auffindens der fehlerhaft mehrfachen Synchronisation, wofür o.g. Skripten wegen der Komplexitätsprobleme nicht ausreichend geeignet sind.

Weitere Arbeitsergebnisse in Teilaufgabe 2 sind nachfolgend zusammengefasst:

- Als Basis für die einheitliche Bewertbarkeit von Analysewerkzeugen und für den Test entwickelter Software wurden Testspezifikationen (Regression Tests) entwickelt, z.B. ein auf Anforderungen der Verifizierbarkeit zugeschnittener Satz von Verilog-Spezifikationen.
- Aufbauend auf Evaluierungsergebnissen von Code Checkern wurde ein Bewertungsschema für die Beurteilung solcher Tools konzipiert, das auch den anderen Projektpartnern zur Verfügung gestellt wurde.
- Für die Visualisierung von Analyseergebnissen (z.B. eines Code Checkers) wurde in Zusammenarbeit mit einem anderen Projekt des Unterauftragnehmers FhG ein XEmacs-basiertes, Cross-Link-fähiges Werkzeug (Viewmanager) entwickelt, das an unterschiedliche Analyseoutputs angepasst werden kann.
- Ebenfalls in Kooperation mit einem anderen Projekt der FhG wurde ein konfigurierbarer Scrambler zum geschützten Austausch von Systemspezifikationen entwickelt. Die Verifikation (Äquivalenz-Check mit Originalbeschreibung) wird hierbei durch generierte Constraints ermöglicht.
- Um unter Nutzung des Nutzerinterfaces Entwurfswerkzeuge von Synopsys (DesignCompiler und AVANT!/NovaExploreRTL) für die Analyse von Design Guidelines zu adaptieren, wurden das in *DAVe* (siehe Teilaufgabe 1) implementierte Verfahren zur Power Domain Analyse auf einen Skript-basierten Ansatz übertragen. Damit wird ein Tcl-Skript im Front-End des DesignCompiler von Synopsys so zur Steuerung dieses Tools verwendet, dass die Funktionalität einer Power-Domain Analyse realisiert werden kann.

Teilaufgabe T3: IP-Verifikation durch formale Methoden**AMD**

Bisher wurde simulativ nachgewiesen, dass ein HDL-Modell des IPs der gegebenen Spezifikation des IPs entspricht. Formale Verifikationsmethoden wurden beim Eingangskontrolle von IPs auf Grund zu geringer beherrschbarer Designkomplexität kaum angewendet. Während in Teilaufgabe T1 (sci-worx) die formale Verifikation für kleinere IPs punktuell schon zum Einsatz kam, sind die Untersuchungen in Teilaufgabe T3, die gemeinsam mit dem Unterauftragnehmer FhG durchgeführt wurden, darauf gerichtet gewesen, ob durch *Kombination verschiedener Verifikationsmethoden* die formalen Methoden für größere IPs zum Einsatz kommen können.

Zuerst wurden zwei, auf verschiedenen theoretischen Grundlagen basierende Modellprüfer mit zahlreichen, von AMD gelieferten IPs evaluiert:

- der den Zustandsraum traversierende, BDD-basierte ‘symbol model checker’ *FormalCheck* der Firma Cadence
- der auf der Methode des iterativen Schaltungsmodells beruhende, SAT-basierte ‘bounded model checker’ *CVE-gateprop* der Firma Infineon AG.

Auf Grund umfangreicher Literaturstudien und eigener Untersuchungen kristallisierte sich vorerst folgendes kombiniertes Vorgehen beim formalen Verifizieren von IPs heraus:

1. Da Modellprüfer (auch *CVE-gateprop*) nur für kleine bis mittlere Designs einsetzbar sind, werden im ersten Schritt die IPs in sinnvolle Blöcke zerlegt.
2. Danach werden die Blöcke entsprechend ihrer Charakteristika (Größe, synchron, asynchron...) mittels kombinierter Anwendung geeigneter Modellprüfer verifiziert.

Für a s y n c h r o n e Blöcke mit mehreren Clockdomänen eignet sich besonders gut das Tool *FormalCheck*, da hier die verschiedenen Clocks völlig unabhängig voneinander als primäre Eingänge (evtl. mit constraints beauftragt) modelliert werden können. Um die sogenannte „Zustandsraumexplosion“ zu verhindern, bietet *FormalCheck* Reduktionstechniken an. Führen diese nicht zum Erfolg, so muss die Größe der Blöcke vorher noch durch Abstraktion reduziert werden.

Für s y n c h r o n e Blöcke ist das Tool *CVE-gateprop* besonders gut geeignet. Da *CVE-gateprop* auf einer grey-box-Verifikation innerhalb begrenzter Zeitintervalle basiert, ist eine formale Verifikation größerer Blöcke möglich.

Als positives Nebenergebnis der formalen Verifikation erhält man oft eine verbesserte Spezifikation der Interface-Beschreibung der einzelnen Blöcke. Dadurch wird die im 3. Schritt anschließende Simulation des (Gesamt-)IPs wesentlich erleichtert.

3. Simulation des gesamten IPs

Für kleine bis mittelgroße IPs war dieses Vorgehen erfolgreich. Probleme gab es bei der für die Modellprüfung benötigten exakten Interface-Beschreibung, da für IPs bzw. Blöcke dieser Größe meist keine Spezifikation vorhanden ist. Das führte zum häufigen Auftreten von ‘false negatives’.

Der Schwerpunkt der anschließenden Untersuchungen ist auf die direkte Kombination der Simulation mit Methoden der formalen Verifikation gelegt worden. Die Methode der ‘Dynamisch Formalen Verifikation’ (DFV) ist eine direkte Erweiterung der in der Industrie zunehmend benutzten Simulationsmethode ‘Assertion Based Verification’ (ABV). Bei der DFV-Methode wird die laufende Simulation an bestimmten Stellen unterbrochen, um vom gerade erreichten Zustand aus eine formale Verifikation zu starten (in der Regel ‘Bounded Model Checking’). Die Probleme der Interface-Beschreibung kleinerer Blöcke verlieren dabei an Bedeutung, da man sich bei der Simulation im gültigen Zustandsraum bewegt. Es treten also kaum noch ‘false negatives’ auf. An einem Benchmark-Design von AMD wurde das Tool *Oninsearch* der Firma 0in evaluiert, welches auf der oben genannten Methode basiert. Als Ergebnis

wurde ein Prototyp für die Integration des Tools in die AMD-Simulations- und Regressionsphase mit folgendem Grob Ablauf entwickelt:

1. *Instrumentierung des Designs*, d. h. Einbau der Checker entweder als ‘target’ oder als ‘constraint’ der sich anschließenden Simulation
2. *Simulation des instrumentierten Designs mit Testbench (ABV)*
3. *Simulation mit integriertem ‘Oin-search’ mit ausgewählten Testcases der Testbench (DFV)*. Insbesondere wurden Untersuchungen zur Auswahl geeigneter Testcases für die Anwendung von DFV durchgeführt. Nach Ablauf der Schritte 1 bis 3 hat man eine für die Regression geeignete Testumgebung für die Verifikation der IPs geschaffen.

2.1.4 Arbeitspaket AP4: Anpassung

Zusammenfassung

Beim IP-basierten Entwurf komplexer Systeme tritt häufig die Situation ein, dass zu einer aus der Systemspezifikation abgeleiteten Spezifikation eines IP-Moduls keine Komponente zur Verfügung steht, welche vollständig die in dieser Spezifikation beschriebenen Eigenschaften und Randbedingungen besitzt bzw. erfüllt. Vielmehr wird eine Anzahl von Komponenten existieren, die dem spezifizierten IP ähnlich sind, d.h. einen Großteil der spezifizierten Eigenschaften und Randbedingungen besitzen bzw. erfüllen. Durch geeignete Anpassungsmethoden soll eine dem spezifizierten IP ähnliche Komponente so modifiziert werden, dass sie der Spezifikation genügt und somit im Entwurf eines neuen Systems verwendet werden kann. Die Existenz effizienter Anpassungsmethoden für IP an Sollspezifikationen ist somit eine grundlegende Voraussetzung für eine hohe Wiederverwendungsquote im Systementwurf.

In diesem Arbeitspaket sollen effiziente Methoden zur Adaption von Funktionalität und Interface von IP an abweichende Sollspezifikationen entwickelt werden. Diese Methoden sind auf die Bereiche IP-Entwurf, -Speicherung und -Instanziierung fokussiert. Ziele sind die Steigerung des Grades der Wiederverwendbarkeit und die Optimierung von IP. Die Arbeiten konzentrieren sich auf folgende Teilziele:

- Entwicklung einer Entwurfsmethodik für IP-Module, die deren spätere Anpassung ohne kundenspezifische Arbeiten sichert,
- Semi-automatische Anpassung von IP mittels Transformationseinheiten,
- Entwicklung praktikabler Parametrisierungskonzepte für Soft-IP,
- Einbettung von Constraints in IP-Modelle zur Optimierung verschiedener Eigenschaften des IP-Moduls wie Fläche, Verarbeitungsleistung,
- Methodik für die Interface-Adaption von IP an systemspezifische Kommunikationsprotokolle,
- Analyse und Erfassung von Vor- und Nachbedingungen für die Speicherung von IP zur Sicherstellung der Wiederverwendbarkeit,
- Analyse von Adaptionmöglichkeiten für mixed-signal Kerne, basierend auf rechnerunterstützter Synthese oder Strukturauswahl/-adaption,
- Entwicklung einer Wiederverwendungsmethodik zur Integration von mixed-signal Kernen.

Teilaufgabe T1: Datenstrukturen und Adaption

SBS

In T1 wurde ein industrieller Anforderungskatalog für das IPQ-Format erstellt. Dazu wurde XML als Standard auf seine Anwendbarkeit und Relevanz für zukünftige Anwendungen untersucht und ein Vorschlag zur Nutzung von XML-Schema als Definition für das IPQ-Format erarbeitet. Dabei wurden folgenden Anforderungen detailliert untersucht:

- *Benutzung existierender Standards*. Im Bereich der XML-Sprachen existieren bereits eine

Reihe standardisierter (vom W3 Consortium) Formate für unterschiedliche Anwendungsfelder. Auf diese sollte primär zurückgegriffen werden, um keine unnötige Neuentwicklung zu betreiben und die Akzeptanz innerhalb und außerhalb des Projektes zu vergrößern. Das Einhalten derartiger Standards ist signifikant für die nachfolgende Vermarktung (Exploitation) der Projektergebnisse.

- *Integration von Nicht-IPQ-XML Formaten.* Damit existierende Datenbestände dem angestrebten Qualifizierungsprozess geöffnet werden sollen und auch eine Motivation externer Projektpartner besteht, die Ergebnisse des Projektes zu adaptieren, sind folgende Faktoren bei der Definition des IPQ Formates zu berücksichtigen:
 - Abbildung der Information existierender Standards (VSIA etc.) in das XML-Format. Notfalls durch Code-Inklusionskonstrukte von XML.
 - Eventuell Definition einer Methodik derartige Formate in das IPQ-Format zu integrieren, damit auch von Seiten Dritter das IPQ-Format an Attraktivität gewinnt (Definition von Assimilationsprozeduren).
- *Transformierbarkeit.* Die Beschreibung einer IP-Komponente im IPQ-Format sollte abbildbar auf andere Formate bleiben. Für alle XML-Formatvarianten ist die Transformation durch XSLT Steuerelemente gegeben. (XSLT definiert die Transformation von einem XML Dokument in ein anderes.) Sollten weitere XML Formate in diesem Umfeld in Gebrauch sein, so ist die entsprechende Transformationsdefinition bereitzustellen, damit die Akzeptanz des IPQ Formates und die Benutzbarkeit der IPQ-Werkzeuge auch für "Fremdformate" gegeben ist. Die Übertragbarkeit von VSIA Formaten ist dabei zu berücksichtigen.
- *Vollständigkeit.* Es muss festgelegt werden, welche Elemente einen IP-Core vollständig im Sinne des IPQ-Formates beschreiben, d.h. die minimale Ausprägung der Markierungen die den Kern des IPQ-Formates bilden. Alle anderen Markierungen sind als Erweiterungen zu definieren. Das IPQ-Format kann sich so aus verschiedenen Konzepten zusammensetzen, die jeweils diesen "Format-Kern" enthalten.
- *IP Anbieterinformationen.* Das Format muss eine hinreichende Darstellung des Anbieters, sowie evtl. Zahlungsinformationen (für den Verkauf über das Netz, bzw. die Nutzung von Internetdiensten) anbieten. Auch hier ist zu überlegen, ob bereits eingesetzte Formate der W3C im Bereich XML verwendet werden können. Ein Ansatz ist hierbei das *ebXML* Format, welches vermarktungsrelevante Daten abbildet und darüber hinaus Schnittstellen wie UDDI einbezieht.
- *Sicherheit.* Da es sich bei IP-Daten in der Regel um besonders "wertvolle" Informationen handelt, müssen diese besonders geschützt werden. Im XML Umfeld existiert dazu die Arbeit der XML Encryption Workgroup, welche ein vollständiges Security Framework definiert.
- *Modularität und Erweiterbarkeit.* Ein wichtiger Faktor von IP-Bausteinen muss die Strukturierbarkeit in Teilmodule sein. Insbesondere die Abbildung der Konzepte der Vererbung und Aggregation sind hierzu notwendig¹ und können in XML abgebildet werden.
- *Relevante Datenstrukturen.* Für IP-Anpassungen ist die Darstellung von Parametern unumgänglich. Ansonsten bietet XML die Einbettung beliebiger "Zeichenfolgen". Damit könnten auch native Modell- und Blockbeschreibungen über das IPQ Format beschrieben werden.
- *Qualitätsinformationen.* Die Durchführung der IP-Qualifikation ergibt ein durch die IP-Qualifikationsvorschrift definiertes Qualitätsmaß der beschriebenen IP-Cores. Dieser Status kann dargestellt werden.

1. Diese Mechanismen sind z.B. beschrieben in: Wolfgang Thronicke. *Using XML for the Reuse of Parameter Descriptions*, AES 2000 - Workshop im Rahmen des Schwerpunktprogramms "Entwurf und Entwurfsmethodik eingebetteter Systeme, 18.-19.01.2000, Karlsruhe.

Zur Validierung wurden verschiedene Konzepte des IPQ Formates geprüft. Dies geschah in enger Abstimmung mit den Arbeiten der Universität Paderborn, die für die Definition des Formates verantwortlich ist. Die intrinsische Erweiterbarkeit von XML Formaten erlaubt bereits die Berücksichtigung verschiedener "Gast"-Formate, so dass vorgegebenen XML Beschreibungen aus Standardisierungsgremien wie VSIA etc. berücksichtigt werden können. Die Ergebnisse sind einem gesonderten Bericht entnehmbar.

FZI

Die Möglichkeit IP-Module an spezifische Bedingungen anpassen zu können erhöht ihre Wiederverwendbarkeit. Eine solche Anpassung kann über Parameter erfolgen, die entweder bei der IP-Auslieferung vom IP-Anbieter mit seinem spezifischen Wissen über das IP-Modul gesetzt werden oder erst auf IP-Nutzerseite für das gewünschte, kundenspezifische Verhalten festgelegt werden. Die Möglichkeit der Anpassung und Wiederverwendung steigt mit wachsender Parameterzahl. Dadurch erhöhen sich aber auch die Komplexität des IP-Moduls und seine Entwicklungskosten. Daher ist eine effiziente, marktorientierte Parametrisierung bezüglich der Wiederverwendungsmöglichkeiten anzustreben. Um dieses Ziel zu erreichen, müssen die möglichen Parameter erfasst werden.

Für Analog und Mixed-Signal (AMS) IP-Module existiert keine umfassende Zusammenstellung der funktionalen Parameter, was die Wiederverwendung von AMS-IP-Modulen zusätzlich erschwert. Erleichtert wird das Auffinden zur Wiederverwendung durch eine formale Charakterisierung der AMS-IP-Module. Am FZI wurden die Parametrisierungsmöglichkeiten dieser Module analysiert. Es wurde untersucht wie applikationsspezifische Parameter charakterisiert werden können und wie die modifizierten Verhaltensbeschreibungen der IP-Module zu benutzen sind.

Darauf aufbauend hat das FZI eine Klassifikation der Attribute erstellt und die darauf basierende AMS-Taxonomie so verfeinert, dass sie in das Reuse Management System integriert werden konnte. Den Taxonomieknoten sind die Attribute zugeordnet und jeder Blattknoten ist mit den entsprechenden AMS-IP-Modulen verknüpft. Daraus ergibt sich eine umfassende Beschreibung der AMS IP-Typen, welche das Auffinden der Module wesentlich vereinfacht. Ergebnis der AMS-IP-Charakterisierung ist ein schnelleres und effizienteres Auffinden verfügbarer AMS-IP-Module bezüglich ihrer Tauglichkeit und Performanz für eine spezifische Applikation. Bild 6 zeigt einen Ausschnitt der Attribute für eine AMS-Bandpassfilter-IP-Beschreibung.

Um die Wiederverwendbarkeit von AMS-IP-Modulen weiter voranzutreiben, hat das FZI zusammen mit Fraunhofer IIS/EAS, Universität Frankfurt und EPFL Lausanne die Integration von unterschiedlichen AMS-Berechnungsmodellen in SystemC erarbeitet. Dieser Vorschlag ist das Gründungsdokument der aktiven SystemC AMS Study Groupe.

Ein weiterer wichtiger Aspekt bei der Anpassung eines einzelnen IP-Moduls ist die Beachtung des Systemkontexts des integrierenden SoC Entwurfs. Insbesondere müssen Kommunikationen zwischen den einzelnen IP-Modulen beachtet werden. SystemC hat sich dafür als effiziente System-Level-Beschreibungssprache etabliert. Allerdings sollen auch andere Hardwarebeschreibungssprachen berücksichtigt werden können. Am FZI werden daher die SystemC-IP-Modelle in ein von der Hardwarebeschreibungssprache (HDL) unabhängiges XML-Zwischenformat kompiliert. Dafür steht der in API entwickelte Compiler zur Verfügung. Für das HDL-unabhängige XML-Zwischenformat wurde ein Analysewerkzeug zur Anpassung virtueller Komponenten entwickelt. Hierzu wird das HDL-unabhängige XML-Zwischenformat hinsichtlich der Zugriffe auf globale Ressourcen analysiert, um einen konfliktfreien Zugriff aller beteiligten IP-Komponenten auf globale Ressourcen sicherzustellen. Das Verfahren basiert auf zwei Stufen. In der ersten Stufe wird das Kommunikationsverhalten des gesamten Systems unter Berücksichtigung aller verwendeten IP-Komponenten bestimmt. Darauf

aufbauend wird in der zweiten Stufe in Abhängigkeit der Kommunikationen zwischen den IP-Komponenten ein globaler Kommunikationsablaufplan bestimmt. Der Kommunikationsablaufplan bietet schließlich die Grundlage für eine statische aber manuelle Anpassung von IP-Komponenten in die zu synthetisierende Spezifikation des Gesamtsystems.

| | Attribute | Werte |
|------------------------------------|-----------------------------|------------------------------------|
| Allgemeine AMS-IP Attribute | Name | CI5020ea |
| | Provider | Chipidea Microelectronics SA |
| | Availability | Now |
| | Implementation | ASIC |
| | Input mode | Not available |
| | Output mode | Not available |
| | Technology | 0.8 μm CMOS |
| | Retargetable towards | A |
| | Hardness | Hard |
| | Power down mode | No |
| | Power / current consumption | Not available |
| | Supply voltage | 5 V |
| | Area | 0.45 mm ² |
| Filter Attribute | Architecture | Gm-C filter |
| | Load | Not available |
| | Order | 4 th order |
| | Offset auto-calibration | No |
| Bandpass Attribute | Bandwidth | 715 kHz |
| | Center frequency | 21.4 MHz (range: 15 MHz to 30 MHz) |

Abbildung 13: Bandpassfilter-Beispiel der AMS-Attribute

Uni Paderborn

Die Arbeiten der Universität Paderborn in dieser Teilaufgabe waren auf die Entwicklung des IPQ Formats zur Qualifizierung, Beschreibung und zum Austausch von Intellectual Property (IP) Modulen ausgerichtet. Grundlage hierfür waren die Anforderungen an das IPQ Format, die zuvor in Kooperation mit Industrie-Partnern (sci-worx, Siemens, empolis) und Forschungseinrichtungen (FZI, Uni Kaiserslautern/Hildesheim, TU Chemnitz, FhG) bestimmt worden waren. Das IPQ Format wird als Basis zur Automatisierung des IP-basierten Entwurfs aufgefasst und die Werkzeuge zur Unterstützung dieses Entwurfsprozesses müssen daher mit dem IPQ Format abgestimmt sein.

Die Entwicklung des IPQ Formates war in zwei Schritte aufgeteilt. Zunächst wurde auf Basis der validierten Anforderungen an das IPQ Format (siehe Arbeitspaket 1, Teilaufgabe 1) ein Beschreibungskonzept für das IPQ Format entwickelt und dieses Konzept im zweiten Schritt mit XML Schema umgesetzt. Dies beinhaltete die Abstimmung mit Partnern innerhalb und außerhalb des IPQ-Konsortiums.

Das Beschreibungskonzept sieht die Unterscheidung eines statischen und eines dynamischen Teils vor. Der statische Teil besteht aus den sog. IPQ Taxonomien, die in erster Linie zur Klassifizierung von IPs vorgesehen sind. Zusätzlich zu dieser Haupt-Funktionalität können Provider die IPQ Taxonomien verwenden, um interne bzw. Provider-spezifische Informationen mit Gruppen von IPs zu verbinden, um z.B. den Retrieval-Prozess zu unterstützen. Da der

Klassifizierungsbaum für alle IPs gleichermaßen gültig ist, wird diese Information als statisch bezeichnet, da sie nicht abhängig von einzelnen IPs ist.

Im Gegensatz dazu steht der dynamische Teil, mit dem jeweils die IP Daten einer einzelnen IP beschrieben werden. Um die Informationen über eine einzelne IP zu erhalten, müssen sie für jede IP übermittelt werden. Aus diesem Grunde hat der dynamische Teil den Namen IPQ Transfer Format erhalten.

Die IP Daten werden unterteilt in die IP Charakterisierung und den IP Content. Die IP Charakterisierung wird zur Unterstützung automatisierter Retrieval- und IP-basierter Entwurfsprozesse benötigt. Alle Eigenschaften einer IP werden effizient in der IP Charakterisierung festgehalten und können automatisiert ausgewertet werden. Der IP Content enthält alle Daten zur IP, die bei der Auslieferung der IP vom Anbieter an den Kunden übergeben werden. Dazu gehören neben den IP-Daten in Form von VHDL oder Verilog auch Testumgebungen und Simulationsstimuli. Es ist damit möglich, die Gewährleistungsgrenze für den Anbieter einer IP auf das IPQ Format bzw. im IPQ Format abgelegte Daten zu legen.

In den mit den Projektpartnern zusammengestellten Anforderungen an das IPQ Format wird u.a. auch die Unterstützung eines verteilten Entwurfs-Szenarios gefordert. Daher beinhaltet das IPQ Transfer Format (der dynamische Teil des IPQ Formats) neben den IP Daten auch einen Beschreibungsteil zur Verwendung von IP basierten Web Services. Mit dieser Beschreibung können einerseits Daten zum Aufruf eines IP basierten Web Service, als auch die Ergebnisdaten eines IP basierten Web Service übertragen werden. Die Beschreibung erlaubt darüberhinaus die automatische Auswertung der Web Service Ergebnisse durch die Semantik der definierten XML Schema Tags.

Im zweiten Entwurfsschritt des IPQ Formats wurden die Konzepte mit Hilfe von XML Schema formal implementiert. Die entstandenen XML Schema Definitionen für das IPQ Transfer Format sowie die IPQ Taxonomien wurden durch konkrete Beispiele verdeutlicht. Hierbei konnten die einzelnen IPs entsprechenden Instanzen des IPQ Transfer Formats aus Beispieldaten industrieller IPs, die hauptsächlich durch den Projektpartner sci-worx bereitgestellt wurden, angelegt werden. Die Instanzen der IPQ Taxonomien entsprechen der Functional Class Taxonomy (FCT) und der Market Segment Classification (MSC) gemäß dem VSIA Standard VCT 2.

Das IPQ Format wurde 2003 bei der VSIA (Platform Based Design (PBD) Development Working Group (DWG)) vorgestellt, wo es in Bezug auf eine Standardisierung evaluiert wird. Auch in Industriekreisen ist das IPQ Format auf reges Interesse gestoßen.

Teilaufgabe T2: Anwenderspezifische IP-Adaption / Modifikation

sci-worx

Bei der Wiederverwendung von IP ergibt sich häufig die Situation, dass ein IP an besondere Anforderungen, die sich aus Kundenwünschen bzw. Systemanforderungen ergeben, angepasst werden muss. In der Vergangenheit war diese Anpassung in vielen Fällen mit großem Aufwand verbunden und damit oft nicht wirtschaftlich. Um dieser Situation zu begegnen und zukünftig leichter anpassbare IPs zu entwickeln, wurden zwei komplementäre Ansätze entwickelt.

Der erste Ansatz beruht auf dem Konzept, die Submodule, aus denen ein IP zusammengesetzt ist, mit einheitlichen Interfaces auszustatten. Dies erlaubt eine Anpassung durch einfaches Austauschen oder Einfügen von zusätzlichen Submodulen. Damit die Interaktion der Submodule auch nach einer solchen Anpassung funktioniert, ist es erforderlich, ihre Kommunikation unabhängig von festen Ablaufplänen zu machen. Dazu sind die Submodule so aufzubauen, dass sie ihre internen Berechnungen an der Verfügbarkeit der erforderlichen Daten an

den Eingangsinterfaces sowie der Bereitschaft zur Übernahme von Daten durch die an den Ausgangsinterfaces angeschlossenen Blöcke ausrichten. Um dies zu erleichtern, wurde eine Bibliothek von entsprechenden Interfacebausteinen spezifiziert und als sog. Atomic Library Of Modular Interface Circuits implementiert. Die Anwendung des Konzepts sowie der Interfacebausteine in einem IPQ-externen Pilotprojekt zeigt vielversprechende Ergebnisse.

Der zweite Ansatz besteht darin, ein IP von Anfang an so flexibel auszulegen, dass es an verschiedene Anwendungszwecke angepasst werden kann. Dazu bietet es sich an, eine Parametrisierung des IPs durchzuführen, was in Teilaufgabe T3 behandelt wurde. In Teilaufgabe T2 wurde ein Präprozessor-Werkzeug entwickelt, das die Anpassung eines parametrisierten IPs für einen konkreten Anwendungsfall vornimmt. Die Motivation dafür besteht darin, dass die in den Hardwarebeschreibungssprachen vorhandenen Anpassungsmechanismen wie VHDL-Elaboration und Verilog-Preprocessing keine einheitliche und sprachübergreifende Parametrisierung des gesamten Designs inklusive der Verifikationsumgebung ermöglichen. Außerdem gehen die Anforderungen, die für die IP-Anpassung aufgestellt wurden, weit über die in den HDLs verfügbaren Möglichkeiten hinaus.

Die Implementierung des Präprozessors wurde als Erweiterung eines Open Source Präprozessors durchgeführt. Zusätzliche Präprozessor-Befehle wurden entwickelt und im Präprozessor-Werkzeug ergänzt. Des Weiteren wurde der Präprozessor um Mechanismen zur Behandlung hierarchischer Designs und zur Propagation von Parametern durch die Design-Hierarchie ergänzt. Die Anbindung des entstandenen Werkzeugs an das in AP3 T1 entwickelte Qualifizierungsframework erlaubt es darüber hinaus, die zu einem Design gehörenden Dateien und ihre Abhängigkeiten dem Präprozessor bekannt zu machen, ohne dass dafür Benutzerinteraktion erforderlich wäre.

Durch die beispielhafte Anwendung des Präprozessors auf einige Entwurfsaufgaben, die zuvor nicht zufriedenstellend gelöst werden konnten, wurden Erfahrungen gesammelt, die zu einer Weiterentwicklung dahingehend geführt haben, dass auch nicht-numerische Parameterwerte unterstützt werden.

Das Präprozessorwerkzeug wurde der Uni Paderborn zusammen mit einigen parametrisierten Schaltungen zur Verfügung gestellt, um die Parametrisierung von IPs beispielhaft als einen Web-Service auf der Basis der von UPB und SBS C-LAB entwickelten Web-Service-Infrastruktur zur Verfügung zu stellen. Der Austausch von Parameter-Daten sowie des angepassten IPs erfolgt dabei über das IPQ-Format.

SBS

Siemens Business Services bearbeitet die Konzeption und prototypische Realisierung der allgemeinen IPQ-Werkzeugschnittstelle. CORBA und JAVA-RMI wurden als aktuelle Integrations- und Middlewaretechnologien betrachtet: Ebenfalls werden wichtige Neuentwicklungen aus diesem Umfeld, wie SOAP, WSDL (Webservice Description Language) evaluiert.

Zur Konzeption der Schnittstellen des Werkzeugsatzes wurde eine Studie über aktuelle Schnittstellentechnologien auf Basis von XML erstellt. Resultierend wurde eine SOAP-basierte Werkzeugschnittstelle wegen ihrer überragenden Interoperabilität und Flexibilität gewählt. Zudem bietet die Berücksichtigung des IPQ XML Beschreibungsformates keine größeren Schwierigkeiten.

- Webservices bilden eine leistungsfähige Technologie für die Interoperabilität von Werkzeugen auf der Basis von lose gekoppelten Internetstrukturen und -protokollen. Die breite Unterstützung durch marktführende Unternehmen erleichtert bei Verwendung dieser Technologie eine spätere Verwertung der Projektergebnisse im kommerziellen Einsatz. Die IPQ-Projektergebnisse können somit auf einer verbreiteten Plattform verwertet werden.
- Da das zu definierende IPQ-Format XML-basiert ist, empfiehlt es sich hier, die gängigen Toolkits zur Analyse von XML Daten zu verwenden, und deren Weiterverarbeitung gemäß

der Werkzeugimplementierung bzw. Aufgabenstellung individuell zu betreiben.

- Die Ergebnisse der Untersuchung von XML und Web-Service Technologien wurde in dem separaten Bericht¹ “A generic tool interface for the IPQ tool family” zusammengefasst und dienen als Grundlage zur konkreten Definition der Schnittstelle und des Tool-Wrappers. Diese Schnittstelle legt noch keine Implementierung fest. Um jedoch eine effiziente Integration von Werkzeugen vornehmen zu können, wurde ein generischer Wrapper definiert (siehe Abb. 14). Existierende Applikationen können auf diese Weise ohne Änderung am Programmcode als Web-Service in einem IPQ-Anwendungsszenario teilnehmen.

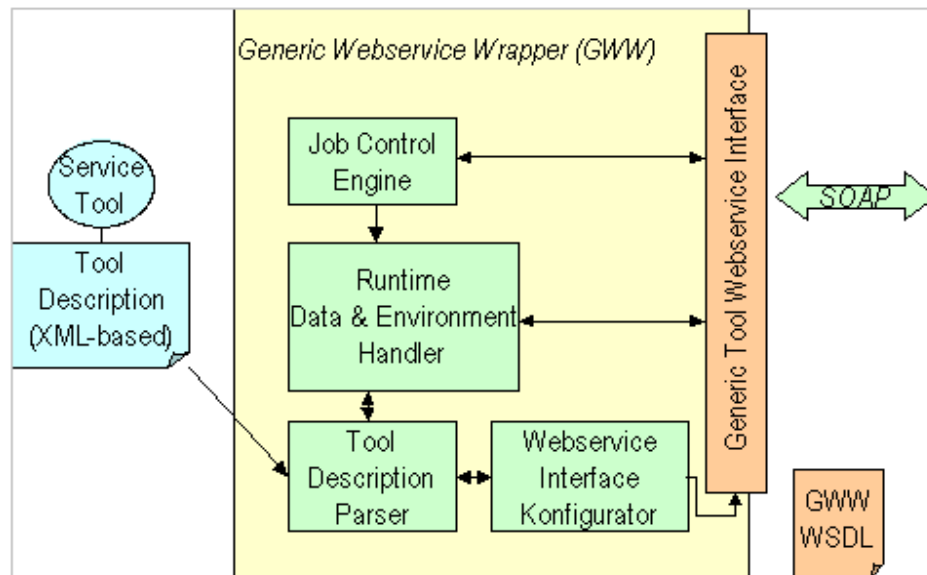


Abbildung 14: Generic Webservice Wrapper

Jedes zu integrierende Werkzeug wird durch eine statische Beschreibung seines Verhaltens beschrieben. Aus diesen Daten gewinnt der Web-Service Wrapper alle Informationen, um dieses Werkzeug zu steuern und seine Funktionalität als Web-Service verfügbar zu machen. Dieses Format enthält alle notwendigen Elemente, um die statischen und dynamischen Eigenschaften eines Werkzeugs zu beschreiben. Dabei sind die Ein- und Ausgabedaten sowie die Parameter von zentraler Bedeutung, weil sie herangezogen werden, um die Webservice-Schnittstelle entsprechend zu konfigurieren.

Uni Paderborn

Auf Basis des definierten IPQ Formats und der zugehörigen Beispiele (siehe Arbeitspaket 4, Teilaufgabe 1) wurde ein IP basierter Entwurfsprozess sowie das damit verbundene Konzept für eine IPQ Toolbox entwickelt.

Hierbei wurde von der Universität Paderborn insbesondere die Unterstützung des Retrievals von IPs sowie die Weiterverarbeitung gefundener IPs im SoC Entwurfsprozess berücksichtigt. Da zur Weiterverarbeitung gekaufter bzw. vorhandener IPs sehr verschiedenartige bereits existierende Werkzeuge verwendet werden (können), sieht das entwickelte Konzept die Integration von existierenden Werkzeugen zur Verarbeitung von IPs vor. Es stellte sich heraus, dass diese Werkzeuge jedoch (bisher noch) nicht in einem durchgängigen, automatisierten Entwurfsfluss eingesetzt werden. Dies liegt einerseits an der Heterogenität der Werkzeuge selbst (durch die unterschiedliche interne und externe Repräsentation der Daten), aber andererseits auch an der Heterogenität der Werkzeugumgebungen bzw. der unterschiedlichen firmeninter-

1. Auf den internen IPQ Webseiten (<http://www.ip-qualifikation.de/intern>) erhältlich.

nen Entwurfsprozesse.

Die Evaluierung der technischen Möglichkeiten hat ergeben, dass ein Werkzeug als klar definierter Service aufgefasst werden kann. Dieser kann über ein entsprechendes Interface angesprochen werden, indem Daten zum Service transferiert werden. Hierzu ist im IPQ Transfer Format der Bereich für die IP Services (hier: Web Service Invokation) vorgesehen. Ergebnisse eines Services werden entsprechend in umgekehrter Richtung vom Service zur aufrufenden Stelle rückübermittelt. Hierzu dient der Web Service Result Teil, der neben dem Web Service Invokation Teil im IPQ Transfer Format enthalten ist. Das IPQ (Transfer) Format stellt somit eine sehr flexible Basis bereit, auf der Werkzeuge, die u.a. von Partnern eingebracht werden, integriert werden können.

Da bisher zur Unterstützung des IP basierten Entwurfsprozesses die Infrastruktur für einen allgemeinen, durchgängigen Entwurfsprozess fehlt, ist im Konzept zusätzlich auch die Neuentwicklung von Softwarewerkzeugen zur Schaffung dieser Infrastruktur vorgesehen. Es wurden daher drei neue Werkzeuge konzipiert, die auf dem IPQ Format basieren. Alle drei Werkzeuge sind als Web Services konzipiert, bzw. auf die Kommunikation mit Web Services ausgelegt. Das ermöglicht eine definierte, standardisierte Kommunikation zwischen allen Werkzeugen.

Das erste Werkzeug ist das IP Design Gate, das die Erfassung und Bearbeitung des IPQ Formats sowie die Visualisierung dieser Daten ermöglicht. Darüberhinaus ermöglicht das IP Design Gate die Kommunikation mit dem IP Basar und im IP Basar registrierten IP basierten Web Services.

Der IP Basar (IPQ Web Service Administration Service) stellt als zweites Werkzeug die Schnittstelle zur Integration von weiteren Entwurfsdiensten der verschiedensten Arten bereit. Dabei dient der IP Basar als zentrale Verwaltungsstelle von IP basierten Web Services. Provider von IP basierten Web Services können ihren Web Service beim IP Basar anmelden, woraufhin alle Benutzer von IP Design Gate Versionen den bereitgestellten Web Service direkt verwenden können.

Bei der Konzeption des Werkzeugsatzes wurde Wert darauf gelegt, dass auch Entwurfsdienste, die unabhängig vom IPQ Format entwickelt wurden, z.B. vor dem Projekt oder auch außerhalb des Konsortiums, integriert werden können. Daher wurde das dritte Werkzeug WebTIC (Web Service based Tool Integration Concept) konzipiert. Mit WebTIC ist es möglich, Werkzeuge, die nicht als Web Service konzipiert sind, mit in den Web Service basierten Entwurfsfluss mit einzubinden.

Die neu konzipierten Werkzeuge sind in Arbeitspaket 4, Teilaufgabe 3 implementiert und dokumentiert worden.

Teilaufgabe T3: Parametrisierung von IP

sci-worx

Ergänzend zu der in Teilaufgabe T2 behandelten IP-Anpassung wurden in dieser Teilaufgabe Mechanismen zur Beschreibung und Verwaltung parametrisierter IPs entwickelt. Dazu wurden zunächst eine detaillierte Analyse des Stands der Technik vorgenommen und die sich aus der Praxis der IP-Wiederverwendung ergebenden Anforderungen spezifiziert. Durch diese Arbeiten wurde klar, dass eine organisierte Verwaltung der sinnvollen und der bereits verifizierten Konfigurationen eines IPs erforderlich ist.

Um dies zu ermöglichen, wurde eine Methodik für das Konfigurationsmanagement parametrisierter IPs entwickelt. Diese Methodik wird durch eine Notation für die Beschreibung von IP-Parametern sowie von konfigurierten Instanzen und ihren Eigenschaften unterstützt. So ist es etwa möglich, eine Beschreibung eines parametrisierten IPs zu einer Beschreibung von

konkreten Instanzen mit festen Parameterwerten zu erweitern. Für jede Instanz kann der Status festgehalten werden, also zum Beispiel ob diese Instanz erfolgreich verifiziert, synthetisiert, und in ein System integriert wurde. Damit wird das Problem gelöst, dass es nicht möglich ist, das parametrisierte IP selbst einer vollständigen Qualifizierung zu unterziehen. Vielmehr ist eine solche Qualifizierung, insbesondere bezüglich der Synthese und der Verifikation, aufgrund von Komplexitäts- und Werkzeugaspekten in der Regel nur für einzelne Instanzen zu leisten.

Die entwickelte Methodik und Notation wurde an einem Beispiel-IP evaluiert. Dabei wurde klar, dass für eine erfolgreiche Wiederverwendung zusätzlich eine Beschreibung der ggf. auch parametrisierten Schnittstellen erforderlich ist. Zu diesem Zweck wurden Ergänzungen entwickelt, die über eine reine Beschreibung der Ein- und Ausgangssignale und ihrer Datenformate hinaus auch die Erfassung zeitlicher Aspekte erlauben. So können z.B. Busprotokolle oder Abhängigkeiten zwischen mehreren Signalen beschrieben werden können.

Die detaillierte Beschreibung des Interface-Verhaltens erlaubt zusammen mit einer eindeutigen Beschreibung der Funktionalität eine Anbindung des Parametrisierungswerkzeugs (vgl. T2) und einer Bibliothek parametrisierter IPs an ein Synthesystem mit dem Ziel, dass die Synthese komplexe, auf der Verhaltensebene beschriebene Funktionalitäten auf geeignet konfigurierte IP-Blöcke abbildet. Ein solches Synthesystem wird außerhalb des IPQ-Projekts an der Uni Braunschweig entwickelt. Zum Thema der Beschreibung parametrisierter IPs hat ein Austausch stattgefunden, der zu den Anforderungen an die Schnittstellenbeschreibungsnotation beigetragen hat. Das in T2 entwickelte Parametrisierungswerkzeug wurde für Forschungszwecke zur Verfügung gestellt.

SBS

Zum Testen der vorhandenen IPQ-Werkzeuge wurde eine Befragung der Projektpartner durchgeführt. Dieser Fragebogen wurde auch im europäischen Gegenstück des IPQ Projektes TOOLIP verteilt:

```
*=====
*TOOLIP TOOL SURVEY
*=====

TOOLIP-Partner:.....

Toolname: .....
SoftwareProducer:.....
*(Note: insert self if own development)

Tooldescription1:.....
Tooldescription2:.....
Tooldescription3:.....

Hardware platforms:.....
Operating systems:.....

*Tool Features

Graphical interface: ( )
Commandline interface: ( )
CGI or HTTP interface: ( )

* This applies to self-developed software tools:
Status of Tool: ( ) experimental ( ) prototype ( ) production quality
Planned use: ( ) only internal ( ) external ( ) to become a product
Available for project partners: ( ) yes ( ) no

*****
```

Die zurückgelieferten Informationen bilden die Basis für Integration der generischen Werkzeugschnittstelle über welche die Werkzeuge dann getestet werden können. Letztendlich wurden nur vorhandene Werkzeuge der Partner getestet.

Der Test der IPQ-Werkzeuge wurde definiert als Test der generischen Webservice Schnittstelle. Auf diese Art ist zum einen eine klare Testvorschrift gegeben, sowie eine exakte Beschreibung des Dienstes welcher über die Schnittstelle angesprochen wird. Zum anderen ist nur durch diese Beschränkung ein Test möglich, der sonst mit tieferer, den Zeitrahmen sprengender Betrachtung der IPQ-Werkzeuge nicht möglich ist. In einem ersten Test sind daher die Werkzeuge als solche betrachtet worden, um Informationen über die Integrierbarkeit zu gewinnen.

Um die Schnittstellentests effektiv durchführen zu können, wurde eine Client-Anwendung für die generische Schnittstelle entwickelt. Dieser Prototyp ist in der Lage alle Funktionen der Schnittstelle gemäß des SOAP Protokolls abzufragen und zu nutzen. Eine detaillierte Beschreibung des Clients (dtC) liegt als Ergebnisbericht vor.

Die Ergebnisse der Untersuchungen an den IPQ-Werkzeugen sind in Ergebnisbericht "Test der IPQ-Werkzeuge" dokumentiert.

Die verfügbaren Werkzeuge der IPQ Partner wurden evaluiert und bezüglich der Integrierbarkeit getestet und in einem Ergebnisbericht zusammengefasst. Die Integrierbarkeit der Werkzeuge wurde durch Ansprechen der Generischen Webservice Schnittstelle geprüft. Daher wurden in dem Test nur Werkzeuge untersucht, welche diese im Projekt definierte Schnittstelle bereitstellen. Eine Sonderrolle spielt dabei der Webservice Wrapper, der auch "Standard" Applikationen als Webdienste verfügbar macht. In diesem Kontext wurden einige Beispielapplikationen integriert und über den Wrapper ausgeführt. Aus diesen Test gingen diverse Verbesserungen am Web Service Wrapper hervor: Standardisierung in Richtung AXIS Java Schnittstelle und Erweiterung hinsichtlich parametrisierbarer Skripte zur flexiblen Aufrufbarkeit der Webservices.

Diese Erweiterungen ermöglichten nun die Integration der JAVA Implementierungen IP Bazar und IP Design-Gate der Universität Paderborn. Die Erkenntnisse dieser Teilaufgabe wurden direkt in Teilaufgabe 4 zum Aufbau des Integrationsszenarios genutzt. Der erweiterte Test der IPQ/TOOLIP Werkzeuge ist in dem Ergebnisbericht "Test of Toolbox" dokumentiert.

Uni Paderborn

In dieser Teilaufgabe hat die Universität Paderborn den IPQ Werkzeugsatz entwickelt. Dazu wurde auf das in Arbeitspaket 4, Teilaufgabe 2 erarbeitete Konzept des Werkzeugsatzes aufgebaut. Die Arbeiten in dieser Teilaufgabe wurden in drei Schritten durchgeführt. Zunächst wurde eine initiale Implementierung der neu zu entwickelnden Werkzeuge erstellt. Diese Implementierung wurde dann im nächsten Schritt evaluiert und verfeinert. Im dritten Schritt wurde eine ausführliche Dokumentation der entwickelten Werkzeuge angefertigt.

Die neu entwickelten Programme des Werkzeugsatzes sind das IP Design Gate, der IP Basar und WebTIC. Alle drei Werkzeuge stellen Unterstützung für den IP basierten Entwurf bereit und basieren auf dem zuvor von der Universität Paderborn und anderen Partnern innerhalb des IPQ Projektes entwickelten IPQ Formats (Arbeitspaket 4, Teilaufgabe 1). Die Ausrichtung der Werkzeuge auf ein einheitliches Datenaustauschformat unterscheidet die Vorgehensweise der Universität Paderborn von anderen (IPQ externen) Firmen, die jeweils die Benutzung verschiedener eigener Formate vorschlagen. Ein weiteres Merkmal der drei entwickelten Werkzeuge ist, dass sie als Web Services implementiert sind, bzw. auf die Kommunikation mit Web Services ausgelegt sind. Dieser Ansatz ermöglicht eine definierte, standardisierte Kommunikation zwischen allen Werkzeugen.

Das IP Design Gate dient als Benutzer-Interface des Werkzeugsatzes. Es ist für die Bearbeitung von IP Instanzen gedacht, die im IPQ Format abgelegt sind, und kann daher mit allen Möglichkeiten, die das IPQ Format bietet, umgehen. Das bedeutet, dass zum einen die XML Beschreibung bestehend aus IPQ Transfer Format (mit IP Charakterisierung, IP Content, Web

Service Invocation, Web Service Result) sowie IPQ Taxonomien verarbeitet werden können, aber auch die Binär-Dateien, die den Content einer IP ausmachen, komplett unterstützt werden. Mit dem IP Design Gate können IP bezogene Web Services, die im IP Basar registriert sind, gesucht und aufgerufen werden und die (möglicherweise) binären Ergebnis-Dateien können vom Benutzer mit Hilfe des IP Design Gates gespeichert und weiterverarbeitet werden. Als weiterer Schritt wurde der XML Editor, der die Anzeige der XML Beschreibung einer IP Instanz im IP Design Gate übernimmt, an die besonderen Fähigkeiten (und damit auch Anforderungen) einiger Web Services angepasst. Da der zugrunde liegende XML Editor für allgemeine XML Schema Dateien entwickelt wurde, können Änderungen an der IPQ Transfer Format Spezifikation sehr schnell und effizient in das IP Design Gate (bzw. den darunterliegenden XML Editor) übernommen werden.

Der IP Basar verwaltet alle relevanten IP bezogenen Web Services (Design-Dienste) und stellt die notwendigen Funktionen wie Registrierung, Aktivierung, Suche, etc. zur Verfügung. Für die Implementierung wurde auf eine Standard-UDDI-Implementierung aufgesetzt, so dass es möglich ist, neben dem Zugriff mit Hilfe des IP Design Gates auch mit bereits bestehenden externen UDDI-Client-Programmen auf den IP Basar zuzugreifen.

Das dritte implementierte Werkzeug, WebTIC, kann für die Integration von bereits existierenden Werkzeugen in den IPQ-Werkzeugkasten verwendet werden. Diese Werkzeuge sind typischerweise nicht als Web Service konzipiert. WebTIC kann diese Anwendungen als IP basierten Web Service bereitstellen und führt dazu eine automatische Extraktion der relevanten Daten aus dem IPQ Transfer Format durch. Diese Extraktion wird, wie auch der Aufruf der bereits existierenden Anwendung, durch eine abstrakte Beschreibung der anzubindenden Werkzeuge gesteuert. Die WebTIC Implementierung umfasst Module zur Auswertung des IPQ Formats und zur Adaption externer Werkzeuge. Damit stellt WebTIC die Integration mit den anderen Werkzeugen des IPQ-Werkzeugsatzes (IP Design Gate, IP Basar) bereit. Mit WebTIC können daher stand-alone Programme als Web Service angeboten und auf Basis des IPQ Formats aus dem IP Design Gate heraus aufgerufen werden.

Die Leistungsfähigkeit des IPQ-Werkzeugsatzes sowie des allgemeinen Kommunikationskonzeptes konnte erfolgreich an verschiedenen Testszenarien in Kooperation mit IPQ-Partnern evaluiert werden. Hierzu wurden zuvor bestehende Tools (z.B. das Programm CoMap des IPQ Partners sci-worx) als Web Service bereitgestellt und diese beim IP Basar angemeldet, damit sie vom IP Design Gate aus komfortabel verwendet werden konnten. Die Wahl der Web Service Technologie für die Nutzung von nicht lokal vorhandenen Programmen im IP-Bereich hat sich bei der Umsetzung der Testszenarien als sehr sinnvoll und praktikierbar erwiesen. Die durchgeführten Tests haben die Stabilität der Werkzeuge sowie die Entwurfsentscheidung für modular integrierte, verteilte Werkzeugkomponenten bestätigt. Durch die stabile Implementierung stellt der IPQ Werkzeugsatz einsetzbare Funktionalität zur Benutzerführung, Handhabung komplexer IPs sowie zur Anbindung von weiteren IPQ-Werkzeugen und externen Werkzeugen bereit.

Teilaufgabe T4: Methodik adaptiver IP Core Interfaces

AMD

Erster Schritt war die Entwicklung einer Methodik zur Orthogonalisierung von Funktion und Interface von Modulen. Die entwickelte Methodik ist eine Interface-basierte Methodik und beruht darauf, Kommunikationsprotokolle in einer separaten Entwurfseinheit (Interface) formal zu erfassen. Das Interface beschreibt Kommunikation in Form von Transaktionen. Dabei kann das Interface Transaktionen auf mehreren Hierarchieebenen des Protokolls enthalten. Module können die Transaktionen eines solchen Interface nutzen, um mit anderen Modulen zur Protokollspezifikation konform zu kommunizieren. Dabei wird automatisch zwischen den

verschiedenen Hierarchieebenen übersetzt. Somit ist eine Orthogonalisierung von Funktion und Interface gewährleistet und eine Kommunikation zwischen Modulen auf unterschiedlichen Abstraktionsebenen möglich.

Im nächsten Schritt wurden Sprachkonstrukte für den Entwurf nach der entwickelten Methodik definiert. Diese Sprachkonstrukte umfassen Ausdrücke zum Beschreiben von Transaktionen, Ausdrücke zum Beschreiben der Zusammenhänge zwischen Transaktionen verschiedener Hierarchieebenen eines Protokolls und Ausdrücke, um die Transaktionen in Modulen senden und empfangen zu können.

Die definierten Sprachkonstrukte wurden schließlich als Erweiterung von SystemC namens SVE implementiert. SVE ist eine C++ Klassenbibliothek, die SystemC um die definierten Sprachkonstrukte erweitert und einen Simulationskernel für die Simulation von SVE-Interfaces (formalen Protokollspezifikationen) enthält. Anhand der formalen Protokollspezifikationen werden Automaten für Sende- und Empfangscontroller generiert.

Mit SVE ist somit das formale Erfassen von Spezifikationen für Kommunikationsprotokolle als Interface-Spezifikation in einer separaten Entwurfseinheit möglich. Diese separate Entwurfseinheit kann in eine Systemumgebung als Modul-Interface integriert und simuliert werden. Die automatische „Übersetzung“ zwischen Hierarchiestufen des Protokolls ermöglicht dabei das Simulieren von Modulen auf unterschiedlichen Abstraktionsebenen in einem System (Mixed Multi Level). Desweiteren besteht die Möglichkeit, aus den Protokollspezifikationen Hardwarebeschreibungen für Kommunikationscontroller zu synthetisieren.

Der letzte Schritt war das Erstellen eines Anwendungsbeispiels für die entwickelte Methodik zur Orthogonalisierung von Funktion und Interface und für die dazu genutzte Sprache SVE. Nach Absprache mit AMD Dresden wurde die Implementierung eines CAN-Controllers gewählt. Dazu wurde die CAN-Protokollspezifikation 2.0 Teile A und B zu einer formalen Interface-Spezifikation in SVE umgesetzt. Diese Interface-Spezifikation wurde in einen CAN-Device, beschrieben in SystemC, integriert und stellt somit, gemäß der Orthogonalisierung von Funktion und Interface eines Moduls, dessen Interface dar. Die eigentliche Modulbeschreibung enthält nunmehr nur die Funktion des Moduls. Zur Verifikation der Interface-Spezifikation wurde ein Systemmodell bestehend aus mehreren CAN-Devices in SystemC implementiert, die über einen gemeinsamen CAN-Bus kommunizieren.

Um den Einsatz der Interface-Spezifikation mit einem IP Core eines IP-Anbieters zu demonstrieren, wäre ein Soft IP Core notwendig, der interface-basiert entworfen wurde. Da ein nach dieser Methodik entworfener IP Core nicht verfügbar war, wurde auf die Verwendung der oben beschriebenen CAN-Devices, also eines kompletten Moduls, das über das SVE-Interface kommuniziert, ausgewichen. Das CAN-Device wurde als Buswatcher zur Überwachung der Kommunikation auf einem CAN-Bus zwischen CAN-Controller IP und Testbench von OpenCores eingesetzt. Dabei konnte ein Protokollfehler in der Testbench von OpenCores nachgewiesen werden.

SBS

Im Projektzeitraum wurde in diesem Arbeitspaket ein Anwendungsszenario realisiert. Dazu wurde die Basistechnologie „Webservices“ für die flexible Integration gewählt und ein Konzept zur Integration in die existierende Werkzeugintegrationsumgebung ASTAI(R) wie geplant entwickelt. Mit diesem Konzept kann ASTAI(R) über das Webservice-Protokoll mit externen „lose“-gekoppelten Werkzeugen -- hier den IPQ Werkzeugen -- kommunizieren, mit der Einschränkung auf batch-orientierte Tools. Die Ergebnisse aus Teilaufgabe 2 und 3 liefern den Input für dieses IPQ-Szenario. Dabei wurde für die Konzeption des Demonstrators, der auf dem Projektreview 2003 gezeigt wurde, eng mit der Universität Paderborn zusammengearbeitet.

Die Realisierung der Integration der IPQ-Werkzeuge in ein Szenario und damit eine Umgebung setzt auf der definierten Webservice Schnittstelle auf. Damit wird gleichzeitig eine Brücke in die “Bazar”-Umgebung der UNI-PB geschlagen, die ebenfalls ein SOAP/Webservice konformes Interface unterstützt. Der Kern der Arbeiten umfasste daher die Entwicklung eines Integrationsprototypen, welcher es ermöglicht, auch Werkzeuge, die nicht a-priori die definierte Werkzeugschnittstelle unterstützen, zu integrieren. Dabei wurde das Konzept des Tool-Wrappers, welches vorhergehen entwickelt wurde, verfeinert und als Prototyp realisiert. Die Integration beschränkt sich zwar auf batch-orientierte bzw. batch-fähige Werkzeuge, aber dies ist aber keine Einschränkung für webzentrierte Szenarien, die keine proprietären Benutzungsoberflächen enthalten können (bis auf das Frontend beim Endanwender).

Das entworfene IPQ/TOOLIP Szenario basiert integrationstechnisch auf dem generischen Web Service Interface. Das erste Szenario wurde in enger Abstimmung mit der Universität Paderborn entworfen und deren IP Design Gate und dazugehörige Komponenten als Prototyp einer Entwurfsumgebung mit angekoppelten Werkzeugen als Web Service. Dabei können über den Toolwrapper Integrationsserver integrierte Werkzeuge als Web Service eingebunden werden. Dieses Szenario wurde ebenfalls auf dem MEDEA+ Workshop gezeigt.

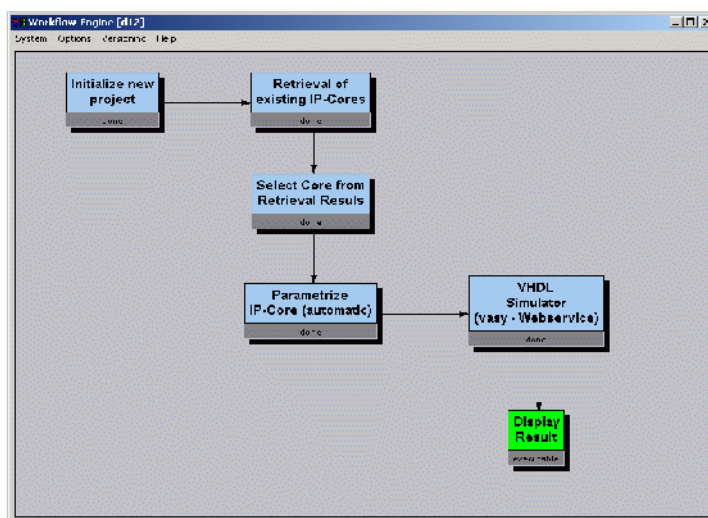


Abbildung 15: Workflow

integrierbare Werkzeuge und Dienste der Partner. Dieser Workflow ist auch in Abb. 15 dargestellt.

Die Hauptaufgabe der Realisierung des Szenarios war die Ankopplung der Web Service basierten Dienste des Werkzeugservers, der als Testbed für externe Dienste und Tools gemäß des IPQ Schnittstellenstandards dient. Dabei wurde als Adapter der erweiterte dot-tool client auf ASTAI(R) Seite als Brücke zur XML Technologie mit den ASTAI(R) eigenen Mechanismen integriert und die Web Service Interaktion als “black box” durchgeführt. Damit wurde eine nahtlose Integration erreicht, wobei für den Anwender auf der Workflow Oberfläche der Zugriff auf webservice-basierte Dienste völlig transparent ist.

Teilaufgabe T5: Verifikationsgerechte Implementierung parametrisierter IP

AMD

Im ersten Schritt war es notwendig, ein Modell zu entwickeln, mit dessen Hilfe IP-Parameter und deren Abhängigkeiten untereinander formal erfasst werden können. Dieses unterscheidet auf Register-Transfer-Ebene verschiedene Klassen von IP-Parametern: statische Parameter, die Einfluss auf die Schaltungsstruktur haben und dynamische Parameter, die lediglich das

Verhalten einer Schaltung beeinflussen. Weiterhin können unterschiedliche Arten von Parameterabhängigkeiten abgebildet werden. Die Definition von Parametern und ihrer Abhängigkeiten erfolgt mittels einer zur Beschreibung und zum Austausch von IP entwickelten Sprache, mit der über festgelegte Anweisungen und Schlüsselworte die Eigenschaften der Parameter vorgegeben werden. Dies kann entweder manuell erfolgen, z.B. durch den Entwerfer der IP, oder automatisch mittels Parameterextraktion, beispielweise nach dem vom Projektpartner *sciworx* vorgeschlagenen Verfahren.

Auf Basis der formalen Parameterdefinitionen musste eine maschinenverarbeitbare Repräsentation entwickelt werden, die es erlaubt, Optimierung und Visualisierung rechnergestützt zu implementieren. Die Wahl fiel auf eine spezielle Graphenrepräsentation, den sogenannten *Parameter-Domänen-Graphen (PDG)*. Bei diesem handelt es sich um ein Derivat des *Multivalued-Decision-Diagram (MDD)*, das um die notwendigen Eigenschaften zur Abbildung von IP-Parametern und deren Abhängigkeiten untereinander erweitert wurde. Bei der Konstruktion des PDG wird der Parameterraum in orthogonale Subräume, sogenannte *Parameter-Domänen* unterteilt, wobei allen Parameterabhängigkeiten Rechnung getragen wird und ungültige Parameterkombinationen, d.h. ungültige IP-Konfigurationen entfernt werden. Der resultierende Graph ist somit eine Repräsentation des effektiven Parameterraums als Menge aller gültigen Konfigurationen. Im Rahmen einer Fallstudie auf Basis des hochparametrisierten VHDL-Modells einer Schnittstellen-IP für Multimedia-Applikationen konnte die Größe des Parameterraums um 97% reduziert werden.

Auf Basis des PDG war im darauffolgenden Schritt eine effiziente Parameterprüfung zu implementieren. Dazu wurde eine Anzahl möglicher Varianten bezüglich Aufwand zur Implementierung und während der Anwendung, anfallender Lizenzkosten und Verfügbarkeit für unterschiedliche Plattformen untersucht. Die Wahl fiel auf eine Kombination aus einem in C++ zu entwickelnden Werkzeug zur Modellierung und Visualisierung und automatisch durch dieses Werkzeug zu generierende HDL-Komponenten zur eigentlichen Parameterprüfung. Der resultierende Demonstrator PARAGRAPH¹ analysiert die formalen Parameterdefinitionen, konstruiert den PDG und stellt diesen grafisch dar. Anhand des PDG kann der Anwender den Quelltext von HDL-Testbenchkomponenten generieren lassen, die die Parameterprüfung zur Laufzeit des IP-Modells, d.h. während der Simulation vornehmen.

Weiterhin ist PARAGRAPH in der Lage, Komponenten in Verifikationssprachen zur Verwendung innerhalb von Verifikationsumgebungen zu erstellen, wie am Beispiel der Sprache *e* und der Umgebung *SpecmanElite™* von *Verisity* gezeigt wurde. Die generierten Komponenten können verwendet werden, um die funktionale Abdeckung des Parameterraums mit den Werkzeugen der jeweiligen Verifikationsumgebung zu analysieren und deren Zufallserzeugung zu steuern.

Im letzten Bearbeitungsabschnitt wurden aus den über die Projektlaufzeit gesammelten Erfahrungen zur Parametrisierung und Modellierung von IP-Parametern HDL-Kodierrichtlinien für die Sprachen VHDL und Verilog abgeleitet.

2.2 Voraussichtlicher Nutzen

AMD

Ziel der Verwertung der IPQ-Arbeiten bei AMD ist die Verkürzung der Entwurfszeit auf der einen und die Erhöhung der Qualität der Entwürfe auf der anderen Seite. Im Rahmen einer Evaluierungsphase zur praktischen Erprobung und Bewertung der Methoden in der Chipent-

1. Parameter Checking and Graphical Visualization

wicklung war bisher der AMD-8111™ IO-Hub für Plattformen der neuen 64-Bit Generation von x86 kompatiblen Mikroprozessoren von AMD ein Schwerpunkt. Dieser im Dresden Design Center von AMD entwickelte Schaltkreis enthält unter anderem einen USB Host-Controller, bei dessen Entwurf neuartige Entwurfsmethoden eingesetzt wurden, die die einwandfreie Funktion in der ersten Silicon-Version garantieren sollen.

Das im Rahmen von IPQ entwickelte Tool zur Power-Domain Analyse ist bereits erfolgreich in den Standard Entwicklungsflow getestet worden. Durch dieses Tool konnte ein bis dahin manueller, und damit fehlerbehafteter, Prozess automatisiert werden. Im Ergebnis konnte die Silicon-Iterationen um ca. 20% (im tape-out Prozess eines PC-Chips) reduziert werden.

Die Arbeiten zur formalen Verifikation gewinnen ebenfalls an praktischer Bedeutung. So konnte mit Hilfe einer Kombination von formalen und semi-formalen Methoden ein bis dahin unbekannter Fehler vor dem tape-out eines Chips gefunden werden. Das stellte einen wichtigen Beweis für die Leistungsfähigkeit der in IPQ erforschten Methoden dar. Außerdem erfolgte die Wissensvermittlung über die Möglichkeiten aber auch Grenzen der formalen Verifikation an die Design- und Verifikationsingenieure

Wichtige AMD-Qualitätsanforderungen wurden durch Kodierrichtlinien spezifiziert, die wiederum durch entsprechend adaptierte kommerzielle Tools in Kombination mit im Projekt entwickelten Analyzern (als add-on) überprüft werden können. Damit konnte sowohl die Entwurfszeit verkürzt als auch die Entwurfssicherheit erhöht werden.

Momentan steht die Bewertung der entwickelten Prototypen für Synchronisationsanalyse und der SystemC-Analyse an realen Designs vor dem Abschluss und die Integration in den AMD-Design-Flow wird vorbereitet. Die geplante Einführung der IPQ-Methoden wird durch Schulungen der Entwicklungsteams begleitet.

Die bisherige und die Planung der weiteren Verwertung bei AMD ist in u.a Abb. 16 zusammenfassend wiedergegeben.

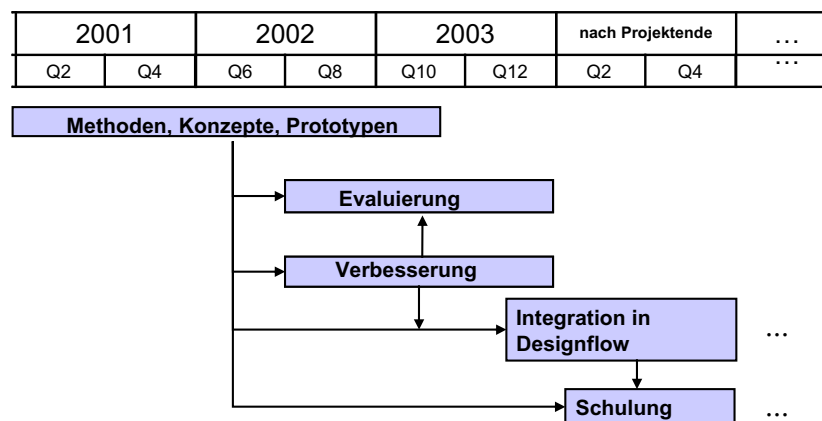


Abbildung 16: Verwertungsplan (AMD)

SBS

Der Nutzen des Projektes IPQ/TOOLIP lässt sich auf drei Ebenen identifizieren, die im folgenden vorgestellt werden: KnowHow, dtS/dtC Prototyp und Partnerschaften.

KnowHow. Das IPQ Projekt hat das Wissen für den Projektpartner Siemens Business Services in Bezug auf IP Thematiken und die damit verwobenen IT-Technologien erweitert und ergänzt. Die Bereiche XML und JAVA sind auf dem aktuellen Stand und können direkt in das Dienstleistungsspektrum aufgenommen werden. Das betrifft nicht nur die direkte Wissensverwertung durch Schulungen, Training etc. sondern auch die Nutzung dieses Wissensvorsprunges in kommerziellen und nicht-kommerziellen Projekten. Der Bereich "Web Service Technolo-

gien” wurde durch das Projekt auf eine praktische Weise erschlossen. Die Vermarktung durch Schulungen in diesem Bereich wird in Zukunft weiter durchgeführt. Ausserdem kann bei zukünftigen Projekten durch Technologierisikoabschätzungen der Einsatz dieser neuen Technologie besser abgeschätzt werden.

dtS/dtC Prototyp. Der entwickelte Prototyp eines XML-basierten Web Service Integrations-servers hat innerhalb des Projektes bereits seine Leistungsfähigkeit demonstriert. Geplant ist im folgenden, diese Entwicklung als Open-Source Projekt weiterzuführen. So kann durch eine breite Community die Weiterentwicklung konkreten Bedürfnissen angepasst werden und die Softwarequalität verbessert werden. Der Nutzen aus diesem Vorgehen besteht einmal aus dem Marketingeffekt, den eine Beteiligung an der aktuellen Open-Source Bewegung besitzt, sowie die Verwendung der Ergebnisse in Kundenprojekten. Durch die Nutzung dieser Integrationstechnologie wird die Position der Siemens Business Services, deren Tätigkeit stark durch Integration geprägt ist, gestärkt.

Partnerschaften. Die Kontakte zu den Projektpartnern, die während der Projektlaufzeit aufgebaut wurden, und die erfolgreiche Zusammenarbeit bieten eine Grundlage, um auch in Zukunft gemeinsame Projekte kommerzieller oder nicht-kommerzieller Art zu betrachten. Auch wird die fruchtbare Kooperation in Forschungsthemen soweit möglich in zukünftigen Projekten bei passenden Themenstellungen weiterverfolgt.

sci-worx

Die Verwendung der in IPQ entwickelten Techniken zur IP-Qualifizierung und IP-Adaption werden voraussichtlich zu einer deutlichen Verringerung des Integrationsaufwands führen, der bei der IP-Wiederverwendung anfällt. Eine durchgeführte Studie zeigt, dass eine Reduktion um 60-80% wahrscheinlich ist. Im Einzelfall können sogar noch stärkere Verbesserungen erzielt werden.

Darüber hinaus ermöglichen es die IPQ-Ergebnisse dank der Automatisierung, die IP-Qualifizierung objektiver, schneller, und mit geringerem Personalaufwand durchzuführen als vor IPQ-Beginn. Letztlich war aufgrund des hohen Aufwands vor IPQ überhaupt keine effektive IP-Qualifizierung möglich. Dies hat sich grundlegend geändert, da die Qualifizierung eines IPs nun von einer mit den Werkzeugen vertrauten Person innerhalb einer Woche durchgeführt werden kann.

Für die IPs, die im Rahmen der Evaluierung der IPQ-Entwicklungen bereits qualifiziert wurden, wurde eine deutlich geringere Rücklaufquote als für nicht qualifizierte IPs nachgewiesen. Sobald die neuen Methoden, Prozesse und Werkzeuge auf einer breiten Basis angewendet werden, ist abzusehen, dass die IP-Wiederverwendung insgesamt mit geringeren Risiken verbunden sein wird. Eine wichtige Folge ist, dass das Potenzial der Wiederverwendung zur Verkürzung der Entwicklungsdauer voll ausgenutzt werden kann, was dazu beiträgt, dass die sich verschärfenden Time-To-Market-Anforderungen erfüllt werden können.

Das Ergebnis einer Fallstudie zeigt, dass die Qualifizierung der verwendeten IPs neben anderen Faktoren entscheidend zur first-time-right Entwicklung eines System-On-Chip beiträgt. Neben dem wirtschaftlichen Vorteil, der sich durch die Vermeidung von NRE-Kosten und rechtzeitige Markteinführung ergibt, bedeutet dies auch eine erhöhte Chance, dass fehlerfreie Chips und Endprodukte in den Markt kommen, wovon letztlich auch der Konsument profitiert.

Wenn die IPQ-Ergebnisse über die kleine Gruppe von Experten hinaus, die mit der IP-Qualifizierung beschäftigt sind, wie beabsichtigt zukünftig firmenweit eingesetzt werden, wird voraussichtlich ein weiterer Nutzeffekt dadurch eintreten, dass bereits bei der Entwicklung von IPs die wichtigen Qualitätseigenschaften sichergestellt werden. Damit wird der für die Fertigstellung eines qualifizierten IPs erforderliche Zusatzaufwand (d.h. der Aufwand, der im Ver-

gleich zur Entwicklung für eine einzelne Nutzung anfällt) nach Schätzungen um 40-60% reduziert werden.

Neben diesen erwarteten Verbesserungen wird insbesondere die erreichte Standardisierung von IP-Qualitätskriterien zu einer Vereinheitlichung des IP-Markts hinsichtlich der von Kunden gestellten Anforderungen und der von IP Providern sichergestellten Qualitätsmerkmale führen. Es besteht die Aussicht, dass das so gesteigerte Potenzial für IP-Austausch sich in einem deutlichen Wachstum des IP-Marktvolumens niederschlagen wird.

Zusammenfassend lässt sich sagen, dass sowohl die Anbieter von IP als auch ihre Kunden, die IP-Integratoren, von den dank IPQ erzielten Verbesserungen profitieren werden. Die Projektergebnisse werden so ihre Wirkung über den Kreis der Projektpartner hinaus entfalten und die Fähigkeit der deutschen Elektronikindustrie, IP-basierte System-On-Chip-Entwicklungen erfolgreich durchzuführen, nachhaltig befördern.

empolis

Empolis wird die Verwertung der Projektergebnisse auf zweierlei Art vorantreiben: zum einen intern, zum anderen extern.

Interne Verwertung:

Die IPQ-Projektergebnisse werden in weiterführenden Forschungsvorhaben aufgegriffen. Aktuell geschieht dies bereits im EU-Projekt INKASS. In diesem Projekt geht es um die Erstellung von Wissensmarktplätzen, wo Verkäufer von Wissen mit potentiellen Käufern zusammengebracht werden. Die größte Herausforderung liegt hier darin, Wissensgüter so zu beschreiben, dass sie verkauft werden können. Der Käufer muss den genauen Wert und Nutzen für seine Problemstellung erkennen können. Der IPQ-Ansatz liefert in diesem Kontext einen wertvollen Beitrag. Durch dessen Verallgemeinerung erhält man eine weitere Qualifikation von Wissen und Information. Konkret wird die Anwendung auf Fertigungstechnik im Maschinenbau, Unternehmensberatungen und Wirtschaftsfachinformation ausgeweitet.

Externe Verwertung:

Die im IPQ-Projekt neu erstellten Komponenten finden Eingang in unsere Produktentwicklung: Das orange Release 5 wird so mit der Erklärungskomponente und den Ähnlichkeitsmaßen angereichert, was das empolis Produktportfolio um wichtige Komponenten ergänzt. Da sich empolis als Lösungsanbieter versteht, wird der in IPQ entwickelte Prototyp zudem zu einer Retrievallösung für IP Bibliotheken ausgebaut werden. Die gewonnenen Branchenkenntnisse können im Marketing und Vertrieb dazu genutzt werden, den EDA-Markt gezielt anzusprechen. Die Planung sieht vor, Kooperationen mit EDA Werkzeuganbietern aufzubauen. Gedacht ist zunächst an eine Teilnahme an Workshops und anderen Veranstaltungen des EDA-Forums, wo sich wichtigen EDA-Anwender treffen. Auch gezielte Informationsveranstaltungen in diesem Kontext sind vorgesehen.

Eine Übersicht über die geplante Verwertung zeigt Abb. 17.

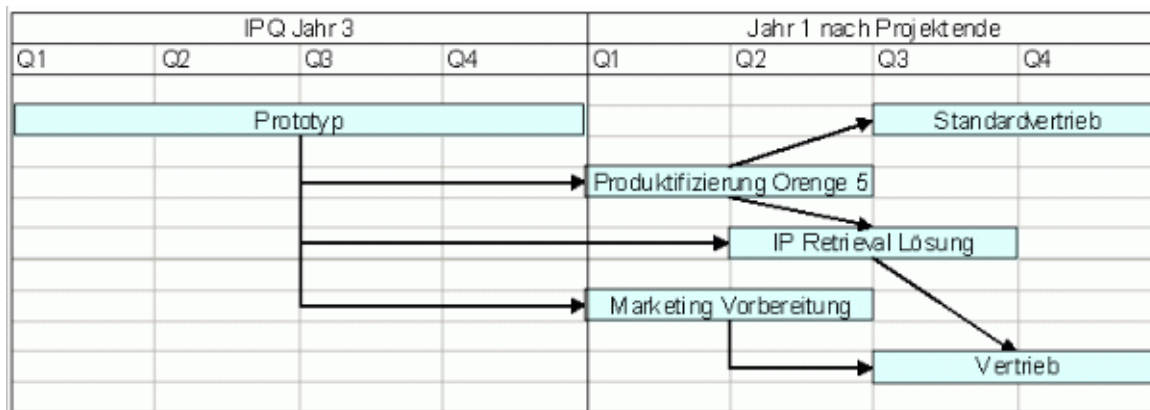


Abbildung 17: Verwertungsplan (empolis)

Der Eingang der Ergebnisse in orange 5 und die Vorbereitung der Ansprache des EDA-Marktes durch empolis Marketing läuft parallel im 1. Halbjahr nach Projektende. Die Produktifizierung resultiert zum einen im Standardvertrieb der orange Lizenzen (incl. Erlärungskomponente), zum anderen im Vertrieb der genannten IP Retrieval Lösung, deren Einführung für das 3. und 4. Quartal des Folgejahres vorgesehen ist. Gezielte Marketing-Aktionen bereiten den Vertrieb von speziellen Lösungen für den EDA-Markt im zweiten Halbjahr vor.

FZI

Das IPQ-Projekt ermöglichte dem FZI die Erforschung neuer IP-Methoden und -techniken zur effizienteren Wiederverwendung unter Berücksichtigung der projektintern ermittelten Anforderungen sowie eine umfassende Bewertung verwandter Ansätze, um die entwickelten Methoden anschließend in industriellen Drittmittelprojekten wirtschaftlich verwerten zu können. Hierbei war es sehr wichtig, rechtzeitig neu entstehende Anforderungen und Trends zu erkennen und Lösungen zu entwickeln, damit diese Technologien frühzeitig in die Industrie transferiert werden können. Die Kernaufgabe des FZI ist der Transfer wissenschaftlicher Ergebnisse in die Industrie, insbesondere kleiner und mittelständischer Unternehmen. Eine Förderung des FZI stärkt damit auch die Industrie selbst.

Die Notwendigkeit, Standards für die IP-Wiederverwendung zu schaffen, ist in den vergangenen Jahren immer deutlicher geworden. Ein wesentlicher Aspekt ist die Standardisierung des Qualitätsbegriffs. Das FZI hat sich innerhalb des Standardisierungsgremiums Virtual Socket Interface Alliance für die industriellen Belange stark gemacht. Es konnte ein Qualitätsstandard entwickelt werden, der das Risiko einer möglichen Fehlentscheidung für ein bestimmtes IP-Modul wesentlich verringert. Das konnte zum einen in einem Test in industriellem Umfeld bereits nachgewiesen werden zum anderen konnten durch den Test Akzeptanzhürden ausgeräumt werden. Es ist zu erwarten, dass der nach Ende des IPQ-Projekts offiziell freigegebene "Quality IP" (QIP) Standard auf breite Akzeptanz in der Industrie stößt.

Das IPQ-Projekt ermöglichte dem FZI ebenfalls die Erforschung von Wiederverwendungsklassifikationen, -taxonomien und -metriken. So konnte durch eine umfassende Studie der Attribute von Analog-Mixed-Signal (AMS) IP-Modulen eine AMS-Taxonomie entwickelt werden, die in das bereits vorhandene Reuse Management System (RMS) integriert werden konnte. Das für die Integration entwickelte Administrationswerkzeug erleichtert die zuvor vonseiten der Industrie bemängelte Pflege und Konsistenz des Systems. Das FZI erwartet durch die Erweiterungen neue Akquisemöglichkeiten für das RMS.

Ein weiteres wichtiges Ergebnis ist die Möglichkeit, IP-Module wesentlich schneller zwi-

schen IP-Entwickler und IP-Nutzer austauschen zu können. Für den automatisierten IP-Austausch konnten Methoden entwickelt werden, die das Zusammenstellen einer IP-Auslieferung auf wenige Stunden verkürzen. Durch die Weiterentwicklung von Werkzeugen, basierend auf den in IPQ erzielten Ergebnissen, wird es möglich sein IP-Module in der Industrie weitgehend automatisch auszuliefern, zu importieren und automatisch an die veränderte Entwicklungsumgebungen anzupassen. Durch den bereits methodisch nachweisbaren Zeitgewinn und den damit verbundenen Kosteneinsparungen lassen sich die IPQ-Ergebnisse in weiterführenden Industrieprojekten weiterentwickeln und ermöglichen später den Vertrieb von Lizenzen der zugrunde liegenden Techniken.

Durch das in IPQ methodisch entwickelte IP-Qualifizierungsframework sind bereits Industriekontakte zustande gekommen. Das FZI erwartet noch in der ersten Hälfte von 2004 ein Vertragsabschluss zur IP-Qualifizierung mit einem Industriepartner.

Neben der projektbezogenen Verwertung der Ergebnisse wurden weitere Technologietransferleistungen über Publikationen, Workshops und Lehrveranstaltungen durchgeführt.

Da zum einen starke Wachstumsraten in den mikroelektronischen Schlüsseltechnologien erwartet werden (Verdopplung des Marktwerts in der Automobilelektronik innerhalb von fünf Jahren) und zum anderen neue produktivitätssteigernde Entwurfsautomatisierungs-Werkzeuge Voraussetzung für eine wettbewerbsfähige Entwicklung neuer mikroelektronischer Produkte sind, ist der vom FZI adressierte Markt (Technologietransfers von Entwurfsautomatisierungs-Algorithmen und -Methoden hin zu EDA-Herstellern und Systemherstellern) ebenfalls als stark wachsend einzuschätzen. Zusätzliche Einnahmen werden durch Lizenzierung der entwickelten Entwurfswerkzeuge erzielt, wobei diese in der Regel erst im fortgeschrittenen Verlauf der anschließenden Industrieprojekte vermarktet werden.

Uni Paderborn

Die Arbeiten der Uni Paderborn haben sich auf das IPQ-Format und die IPQ- Toolbox konzentriert. Das IPQ-Format sowie die IPQ-Toolbox wurde den Industriepartnern zur Verfügung gestellt und kann so für den internen Entwurfsprozess adaptiert werden. Die Publikation der erzielten Ergebnisse auf Tagungen konnte bereits zur Projektlaufzeit erreicht werden. Weitere Ergebnisse sind Diplom- und Studienarbeiten, die aus der Thematik des Projektes heraus bearbeitet und inzwischen auch abgeschlossen wurden. Sowohl das Format als auch die Toolbox wird wissenschaftlich als Basis an der Technischen Universität Chemnitz eingesetzt.

Infineon

Durch die Arbeiten im IPQ Projekt wird Infineon in die Lage versetzt, moderne Systeme schneller, qualitativ höherwertig und performanter auf den Markt zu bringen. Die geförderte Forschungsarbeit bildet einen Baustein für die Technologieführerschaft Infineons.

Der entwickelte On-Chip-Bus wird bei Infineon in zukünftigen System on Chip Produkten eingesetzt werden. Module, von einfachen Peripherals bis hin zu komplexen CPU's, wie beispielsweise der TriCore2, werden von vorn herein mit dem entsprechenden On-Chip-Bus Interface geplant. So können sie wesentlich schneller als bisher integriert werden. Durch das standardisierte Protokoll steigt gleichzeitig die Qualität signifikant, was speziell in sicherheitskritischen Anwendungen von großem Vorteil ist. Dadurch wird es Infineon gelingen, mehr Produkte in kürzerer Zeit und höherer Qualität zu entwickeln. Durch die exzellente Skalierbarkeit bzw. Vorhersagbarkeit der Systemperformance, stellt der On-Chip-Bus auch einen wesentlichen Vorteil für die Kunden, speziell die der deutschen Automobilindustrie, dar. Produkte können leistungs- und kostengerecht angeboten werden. Mit anderen Systemen war das am Markt so nicht möglich.

Der IP Entwicklungsprozess wird auf Infineon ausgerollt. In Zukunft müssen alle IP Blöcke diesem folgen. Auch extern entwickeltes IP muss sich diesen Richtlinien unterwerfen. So ist

es dank IPQ erstmalig gelungen, IP aus unterschiedlichsten Quellen gemeinsamen Qualitätskriterien zu unterwerfen. Das war ein wesentlicher Punkt von IPQ. Die Anforderungen konnten vollständig umgesetzt werden.

DTB

Neben dem Erfahrungsaustausch zwischen den einzelnen Partnern sind für die IP-Aktivitäten von THOMSON signifikante Fortschritte erreicht worden.

Ausgehend von einem Zustand in dem in den meisten Bereichen der THOMSON IC-Entwicklung keine konkrete Vorstellung über IP-Reuse bestand sind durch die Aktivität bei IPQ aber auch der Beteiligung an VSIA Standardgremien merkliche Verbesserungen erreicht worden. Dieser stellt sich wie folgt dar:

- Alle Spezifikationen sowohl für IP als auch IC-Entwicklungen müssen den in diesem Projekt definierten "Specification Guidelines" folgen. Dies ermöglicht eine weitestgehend vollständige Spezifikation, was eine Reduzierung der HDL-Revisionen mit sich bringt. Der Aufwand in der Spezifikationsphase ist für den jeweiligen Systemingenieur größer geworden, wobei der zeitliche Aufwand durch entwickelte Office-Makros konstant sein dürfte (aufgrund der Unterschiedlichkeit von Projekten nicht in Zahlen belegbar). Wesentlichster Fortschritt ist die verbesserte Qualität der Spezifikationen, die HDL-Entwicklungen deutlich beschleunigen, einen Austausch von IP ermöglichen und zudem unterschiedliche Analysen ermöglichen.
- Durch einen entwickelten Eingangsscheck von IC-Funktionsblöcken, die zu einem IP konvertiert werden sollen, kann der erforderliche Aufwand besser kalkuliert werden, was dem Management eine bessere Kosten- und Zeitplanung ermöglicht.
- Durch die im Rahmen der VSIA Aktivität entwickelte IP-Bewertungstabelle (Qualitätsmetrik) können eigen entwickelte IP als auch externe IP hervorragend auf deren Vollständigkeit, Anwendbarkeit und letztlich auf deren Qualität geprüft werden. Somit können eigene IP auf Ihre Markttauglichkeit geprüft und Fehleinkäufe verhindert werden.
- Bedingt durch die Verbesserung sowie Standardisierung der verschiedenen Arbeitsschritte beim IP-Entwurf, die auch von anfänglichen Kritikern der IPQ-Aktivitäten bestätigt werden, sind die meisten dieser Vorgaben als obligatorisch für THOMSON IP/IC-Aktivitäten vorgeschrieben. Die Einhaltung dieser Vorgaben wird durch einen eigens hierfür eingestellten Qualitätsmanager garantiert.
- Durch die Teilnahme an IPQ, war es erstmals möglich die verschiedenen Belange von System- sowie Hardwareentwicklern zu diskutieren sowie andererseits Überzeugungsarbeit hinsichtlich Nutzen von IP-Standards zu leisten. Da diese Aktivitäten seitens der DTB erfolgten, dem deutschen Unternehmenszweig von THOMSON, hat der Stellenwert und der Bekanntheitsgrad des ICDH-Villingen deutlich gewonnen.

2.3 Fortschritte an anderen Stellen

Die Analyse von für unser Forschungsgebiet relevanten wissenschaftlichen Foren (u.a. DAC, DATE, IP Forum, IP Based SoC Design Workshop) bestätigte, dass die Forschungsziele zur IP-Qualifikation hochaktuell sind und auch international mit wachsender Intensität verfolgt werden. Das zeigt die Richtigkeit der Entscheidung, diese Problematik im Rahmen eines deutschen Förderprojektes zu thematisieren.

Arbeitspaket AP1: Standardisierung von IP und IP-gerechte Spezifikation

Wie schon im AP1 Aktivitätsbericht erwähnt wurde, waren einige Partner (sci-worx, FZI und DTB) während des Projektes auch am internationalen Standardisierungsprozess vom VSIA VC quality DWG (Virtual Component Quality Development Working Group) beteiligt. Hier

haben Beiträge anderer VSIA-Mitglieder haben die Beiträge aus IPQ zum Qualitätsmetri-Standard ergänzt. Es ist die Aufgabe vom VSIA VC quality DWG, die erforderlichen Qualitätsattribute für alle VC (Virtual Component) zu definieren, damit diese sowohl funktional als auch effizient im SoC Entwurf wiederverwendet werden können. Basierend auf diesen Definitionen wurde die VSIA Qualitätsmetrik generiert, um für die Benutzung und Auswertung der vorhandenen Qualitätsattribute zu motivieren und die weitere Verbreitung der industriellen Akzeptanz dieser VC Qualitätsmetrik zu ermöglichen, und somit in der Folge einen Industriestandard zu generieren. Diese Aktivität dauert nun schon zwei Jahre und immer mehr industrielle Mitglieder haben sich an der Definitionsphase beteiligt. Die Beiträge anderer VSIA Mitglieder zum Standard haben die IPQ Beiträge ergänzt.

Im Sommer 2003 ist eine Beta-Version der Soft IP Qualitätsmetrik an die VSIA VC quality DWG Mitglieder verteilt worden, um die möglichen Lücken in der Metrik zu beseitigen. Die Diskussion zwischen den an dem Beta-Test beteiligten Mitgliedern hat gezeigt, dass die IP Industrie, sowohl IP Provider als auch IP Benutzer, so schnell wie möglich einen Standard für die IP Qualitätsmetrik auf den IP Markt bringen möchte, um damit eine einheitliche Auswertung von IP zu ermöglichen.

Nach der Soft IP Qualitätsmetrik wurden schon weitere Diskussionen über Hard IP Qualitätsmetrik, IP Verifikation und Bewertung gestartet. Der vorläufige Status der Diskussion über den Standard für IP Qualifikation zeigt bereits ein großes Interesse nicht nur bei der Organisation VSIA, sondern auch bei den wichtigen IP Industriemitgliedern.

Bezüglich der Arbeiten zum IPQ-Format und zum IP-Austausch sind auch Aktivitäten des Spirit Consortium zu verzeichnen.

Arbeitspaket AP2: Retrieval

Im folgende werden zwei Portale vorgestellt welche eine IP-Suche beinhalten: Desgin and Reuse (D&R) und Synchronicity. D&R behauptet von sich, die größte IP-Datenbank zu verwalten. Zugriff auf diese erfolgt über ein Internet Portal in dem die IPs in vier verschiedene Kataloge unterteilt werden: Silicon IP/SoC, Verification IP, Software IP und IP Search/Find Club. Die ersten drei Kataloge bieten die Möglichkeit einer einfachen Stichwortsuche oder die Navigation in eine weitere Kategorie. In beiden Fällen erhält man eine Liste von IPs ohne Relevanz oder vergleichende Möglichkeiten. Eine weiterergehende Unterstützung des Auswahlprozesses wird nicht geboten. Die Suche kann zwar manchmal durch weitere optionale Attribute wie IP Typ (soft, firm, hard, model) oder Technologie (ASIC, FPGA) verfeinert werden, aber in der Ergebnisliste werden diese Attribute nicht dargestellt.

Eine vollkommen andere Suchstrategie verbirgt sich hinter "IP Seach/Find Club". Große Systemhäuser können hier ihre Bedürfnisse in einem Formular spezifizieren, welches dann an ausgewählte IP Hersteller verschickt wird. Die Hersteller müssen diese Daten dann selbst manuell oder automatisch auswerten und können über D&R wiederum Kontakt zu den Suchenden aufnehmen. Es wird also keine Suche auf einer IP-Datenbank ausgeführt, sondern nur die Vermittlung von IP-Suchenden zu IP-Herstellern unterstützt.

Synchronicity behauptet, der führende Anbieter für Design Reuse, Design Collaboration und Design Management Lösungen zu sein. Neben anderen Diensten wird in ihrer "IP Consumer Suite" auch eine IP-Suche angeboten, welche ähnlich wie bei D&R entweder eine reine Stichwortsuche oder die Navigation durch verschiedene Kategorien realisiert. Dabei ist die Ergebnisrepräsentation aber fortschrittlicher realisiert, da ähnliche IPs in Gruppen zusammen gefasst und ihre Unterschiede hervorgehoben werden. Die IP Beschreibungen sind aber nicht einheitlich, da sie durch Links zu den WWW-Seiten der Anbieter realisiert sind, und somit auch nur schwer vergleichbar.

Arbeitspaket AP3: Eingangsscheck

Wie bereits in Abschnitt 2.2 erläutert, wurden und werden Code Checkern und andere spezialisierte Tools zur Analyse von HDL Code und Design Rules mit wachsender Leistungsfähigkeit angeboten. Zusätzlich zu den in Abschnitt 2.2 genannten Tools wurden weitere Beiträge von z.B. Verisity (SureLint, eAnalyzer), @HDL (@Verifier) und 0-In sowie universitäre Arbeiten, z.B. ARDID, bekannt. Entsprechend der IPQ-Strategie, nach Möglichkeit auf verfügbare Tools zur Erreichung der Projektziele zurückzugreifen, adaptierten an AP3 beteiligte Firmen ausgewählte kommerzielle Code Checker und andere Analysewerkzeuge an IP-basierte Design Flows (u.a sci-worx: LEDA von Synopsys und SpyGlass von Atrenta). Außerdem erfolgte eine Zusammenarbeit mit Tool Providern, die auf Arbeiten in IPQ aufbauten (z.B. AMD/FhG mit TransEDA: gemeinsame Evaluierung von VN-Check, mit Synopsys: Bugreport für Avant! und mit @HDL bzw. 0-In: Spezifikation von Anforderungen). Wegen der flexibleren nutzer- oder applikationsgetriebener Implementierbarkeit von semantikgetriebener Regeln bzw. wegen des umfangreicheren Analysescops beim Eingangsscheck im Rahmen der IP-Integrationsind sind die in IPQ entwickelten Analysezugänge als add-ons zu kommerziellen Werkzeugen konzipiert.

Arbeiten auf dem Gebiet der Softwarequalitätssicherung (Metrikmessung und -bewertung) und der automatischen Generierung von Analyse-Werkzeugen (z.B. GENOA-Konzept der AT&T Bell Labs, CodeSurfer von GrammaTech) bieten interessante Konzepte, die sich so zwar nicht 1 zu 1 im Bereich der Überprüfung von SoCs und IPs verwenden lassen, aber Ausgangspunkt für weitergehende Entwicklungen bei der Generierung framework-basierter Analyzer bieten können.

Im Rahmen der Arbeiten zum Analyseframework *afw* wurden ein Projekt *Ultra*Log @ DARPA* bekannt, in dem ein Analyzer *PMD* mit ähnlichen methodischen Ansätzen zur Implementierung eines Regelchecks entwickelt wurde und wird. Allerdings handelt es sich bei *PMD* um einen Analyzer für die Programmiersprache *Java*, während *afw* flexibel an unterschiedliche HDLs (*Verilog*, *e Code*, *SystemC*, ...) durch das Frontend-Konzept adaptierbar ist und zusätzlich Konvertierungsaufgaben lösen kann. Im Rahmen von Fortsetzungsarbeiten nach Projektende von *IPQ* wird überprüft, welche Konzepte von *PMD* die Weiterentwicklung von *afw* unterstützen könnten.

Für die formale Verifikation ist das Tool *Oin-search* der Firma Zeroin bisher das auf dem Markt einzigste Tool, welches den Einsatz der Methode 'Dynamische Formale Verifikation' (DFV) industriell ermöglicht. Andere Anbieter (z. B. Synopsys) haben begonnen, DFV-Tools zu entwickeln.

Arbeitspaket AP4: Anpassung

Während der IPQ-Projektlaufzeit wurde eine überarbeitete Version der Hardwarebeschreibungssprache Verilog standardisiert, die zusätzliche Konstrukte zur Beschreibung parametrisierter Module aufweist. Mit diesen Erweiterungen erreicht Verilog in Bezug auf Parametrisierung einen mit VHDL vergleichbaren Stand; Werkzeugunterstützung dafür ist jedoch noch nicht vorhanden. Weiterhin sind sprachübergreifende Parametrisierungsmechanismen sowie geeignetes Konfigurationsmanagement für komplexe parametrisierte IPs nicht kommerziell verfügbar.

Auf dem Gebiet der flexiblen, adaptierbaren IP-Interfaces hat die Firma Spiratech das Produkt "Cohesive" auf den Markt gebracht. Dieses erlaubt eine Adaption der Kommunikation zwischen verschiedenen Abstraktionsebenen im Entwurf, was sowohl bottom up als auch top down funktionieren soll. Neben einer Library von Adaptern für Standard Interfaces (PCI Express, UART, sowie für 2004 angekündigt: AMBA AHB, Ethernet) werden ein Transaction Level Debugger (Cohesive Transformer) sowie ein "Abstraction Adaptor Generator" (Cohe-

sive Generator) angeboten. Der Ansatz ist auf die Simulation beschränkt, während die IPQ-Entwicklungen die Hardware-Implementierung flexibler Schnittstellen für ein Design ermöglichen. Darüber hinaus basieren die IPQ-Ergebnisse auf SystemC, während in Cohesive eine proprietäre Sprache verwendet wird.

Als weitere mögliche Werkzeuge zur IP-Anpassung wurden CoreBuilder und CoreConsultant (Synopsys) beobachtet. Diese sind aber bis heute nicht als Produkte verfügbar und stellen somit keine Alternative zu den IPQ-Eigenentwicklungen dar. Darüber hinaus ist der Protocol Compiler, welcher eine Generierung von Protokollautomaten aus einer sprachbasierten Beschreibung von Protokollen erlauben sollte, anscheinend nicht mehr als Produkt erhältlich. Dies bestätigt, dass die Eigenentwicklung von Werkzeugen für spezielle Anwendungszwecke ohne Alternative ist. Die IPQ-Entwicklungen schliessen eine Lücke, die von EDA-Anbietern nicht ausreichend adressiert wird.

2.4 Veröffentlichungen

2001

- [44] Martin Radetzki, Peter Neumann, Jürgen Haase, Natividad Martinez Madrid, Ralf Seepold, Andreas Vörg: Automated Qualification Flow for Soft IP, MEDEA+ Conference on Application-Oriented SoC Design, Oct. 10-12, Veldhoven (NL).
- [45] Brand, H.-J. : Verification of Systems on Chip - Projekte des Dresden Design Center , GI/ITG/GMM-Workshop Meißen 2001, eingeladener Vortrag
- [46] Brand, H.-J. : IP-Reuse - industrielle Erfahrungen und Anforderungen an die Akademia , 10. E.I.S.-Workshop Dresden 2001, eingeladener Vortrag
- [47] Bergmann, R., Richter, M.M., Schmitt, S., Stahl, A., Vollrath, I.: Utility-Oriented Matching: A New Research Direction for Case-Based Reasoning. In: Vollrath, Schmitt, & Reimer: 9th German Workshop on Case-Based Reasoning, GWCBR'01. In Schnurr, Staab, Studer, Stumme, Sure (Eds.): Professionelles Wissensmanagement, Shaker. Vortrag am 15.3.2001 im Workshop Knowledge Management by Case-Based Reasoning: Experience Management as Reuse of Knowledge .
- [48] A. Vörg, R. Seepold, N. Martinez, W. Rosenstiel: "IP-Qualification, Reuse, IP-Packaging", Forum on Design Languages 2001, Lyon, September 2001,
- [49] N. Martinez, Eduardo Peralias, Antonio Acosta, Adoracion Rueda: "Analog/Mixed-Signal IP Modeling for Design Reuse", DATE Conference, Munich, March 2001,
- [50] R. Seepold: "Reuse of Virtual Components", Diseño De Sistemas Embebidos HW/SW - Universidad de Cantabria (Summer School), Santander, July 2001,
- [51] Peter J. Ashenden, Jean P. Mermet, R. Seepold, editors: "System-on-Chip Methodologies & Design Languages", Kluwer Academic Publishers, ISBN 0-7923-7393-6, June 2001,
- [52] R. Seepold: "Specification and Standardization of System-Level IP", IP Forum, May 14-15, 2001,
- [53] A. Vörg, R. Seepold, N. Martinez, W. Rosenstiel: "IP-Qualifizierung wiederverwendbarer Schaltungsbeschreibungen", Präsentationen der 8. ITG-Fachtagung 10. E.I.S.-Workshop 2001, Dresden, April 2001,
- [54] R. Seepold: "Standardization of System-Level IP", Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und System - GI/ITG/GMM-Workshop, February 2001,
- [55] R. Seepold, N. Martinez, editors: "Virtual Components Design and Reuse", Kluwer Academic Publishers, ISBN0-7923-7261-1, 2001,
- [56] C. Hansen, O. Bringmann, W. Rosenstiel: "A VHDL Reuse Component Model for Mixed Abstraction Level Simulation and Behavioral Synthesis", in "Virtual Components Design and Reuse" edited by R. Seepold and N. Martinez, Kluwer Academic Publishers, 2001.
- [57] Jürgen Haase: IP Quality - the key enabling factor for IP business. Vortrag beim IP Forum 2001, München, 14.-15.5.2001.
- [58] Hardt, W.; Lehmann, Th.; Visarius, M.: "Towards a Design Methodology Capturing Interface Synthesis". In Dieter Monjau (Hrsg), Feb. 2001: Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen, Verlag MoPress, 93-97.

- [59] Deppe, M.; Robrecht, M.; Zanella, M.; Hardt, W.: "Rapid Prototyping of Real-Time Control Laws for Complex Mechatronic Systems". International Workshop on Rapid System Prototyping (RSP 2001), June 2001, Monterey, California, USA
- [60] Bergmann, R.: Experience Management: Foundations, Development Methodology, and Internet- Based Applications. Habilitation Thesis. Publication forthcoming.
- [61] J. Borel, A. Sauer, R. Seepold: "Evaluation of Technology and the MEDEA Design Automation Roadmap", in Virtual Components Design and Reuse, Kluwer Academic Publishers, ISBN 0-7923-7261-1, pp. 13-20, 2001.
- [62] F. Casado, F. Machado, N. Martínez Madrid, R. Seepold, P. Neumann, Y. Torroja: "Study of different kind of tools to analyse the quality of HDL designs. Comparison of their coverage of the RMM recommendations", in Proc. Conference on Design of Circuits and Integrated Systems (DCIS), Porto, November 2001.
- [63] N. Martínez Madrid, R. Seepold: "Virtual Component Reuse and Qualification for Digital and Analogue Design", in System-on-Chip Methodologies & Design Languages, Kluwer Academic Publishers, ISBN 0-7923-7393-6, pp. 307-316, 2001.
- [64] R. Seepold: "Reuse of Virtual Components", in Design of Hardware/Software Embedded Systems (Eugenio Villar, Ed.), ISBN 84-8102-284-5, 2001.
- [65] A. Vörg, R. Seepold, N. Martínez, W. Rosenstiel, "IP-Qualification, Reuse, IP-Packaging", in Proc. Forum on Design Languages 2001, Lyon, September 2001.
- [66] M. Visarius, W. Hardt, et.al.: Requirements on IP Qualifying Format. Technical Report, Universität Paderborn. 2001, Germany. "Vorstellung der ASTAI(R) Integrationsumgebung mit Anbindung an ein Web-Portal zur Auftragsbearbeitung auf dem Paderborner IT-Forum." Öffentlicher Vortrag Webservices auf der C-LAB Focus Veranstaltung.
- [67] W. Hardt, Th. Lehmann, M. Visarius: Towards a Design Methodology Capturing Interface Synthesis, In GI/ITG/GMM Workshop: Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen, Meißen, 2001
- [68] Hardt, W. and Visarius, M. and Ihmor, S.: Rapid Prototyping of Real-Time Interfaces. In Postersession of FPL - Field Programmable Logic, Belfast, Ireland, October 2001.
- [69] Ihmor, Stefan.: Entwurf von Echtzeitschnittstellen am Beispiel interagierender Roboter. Master's thesis, University Paderborn, Warburger Str. 100, 33098 Paderborn, November 2001.
- [70] Visarius, M.: Abbildung von periodischen Algorithmen auf konfigurierbare Zielarchitekturen. In Informatiktag 2001 Fachwissenschaftlicher Informatik-Kongress. Hrsg.: GI Gesellschaft für Informatik e.V., Konradin Verlag, Leinfelden-Echterdingen, November 2001

2002

- [71] Visarius, M. and Ihmor, S. and Leßmann, J. and Hardt, W. and Thronicke, W. and Schaaf, M.: ReUse based Architecture Design for ES . Int. IFIP WG 10.3 / WG 10.5 Workshop on Distributed and Parallel Embedded Systems (DIPES 02). Kluwer Academic Publishers, 2002
- [72] R. Seepold, N. Martínez Madrid, A. Vörg, W. Rosenstiel, M. Radetzki, P. Neumann, J. Haase: "A Qualification Platform for Design Reuse", in Proc. 2002 International Symposium on Quality of Electronic Design (ISQED 2002), San Jose, CA, 18.-20. March 2002
- [73] A.J. Ginés, E. Peralías, A. Rueda, N. Martínez Madrid, R. Seepold: "A Mixed-Signal Design Reuse Methodology Based on Parametric Behavioural Models with Non-Ideal Effects", in Proc. Conference on Design Automation and Test in Europe (DATE 2002), Paris, 4.-8. March 2002.
- [74] Ihmor, S. and Visarius, M. and Hardt, W.: A Consistent Design Methodology for Configurable HW/SW Interfaces in Embedded Systems. Int. IFIP WG 10.3 / WG 10.5 Workshop on Distributed and Parallel Embedded Systems (DIPES'02), Montreal, Canada, 2002.
- [75] Ihmor, S. and Visarius, M. and Hardt, W.: Modelling of HW/SW-Interfaces. Codes, Tenth International Symposium on Hardware/Software Codesign, Colorado, USA, 2002.
- [76] Ihmor, S. and Visarius, M. and Hardt, W.: Rapid Prototyping of Real-Time Interfaces. RSP, Rapid System Prototyping, Darmstadt, Germany, 2002.
- [77] W.Yan.: Silicon IP Packging Requirement , TOOLIP workshop, Madrid, Jan. 2002
- [78] Ralph Bergmann, Rainer Maximini, Martin Schaaf: Experience Management for Electronic Design Reuse through Quality-Oriented IP Selection. German Workshop on Experience Management 2002.

-
- [79] Frevert,R., Rülke,St., Schäfer,T., Dresig,F.: Einsatz von HDL-Code-Checkern für den IP-Eingangsscheck - Eine Anforderungsanalyse . Dresdner Arbeitstagung Schaltungs- und Systementwurf, 2002
- [80] Siegmund,R., Müller,D.: Integration deklarativer Spezifikationen von Datenkommunikationsprotokollen in die Modellierung, Simulation und Synthese komplexer digitaler Systeme . Dresdner Arbeitstagung Schaltungs- und Systementwurf, 2002
- [81] Rogin,F., Bachmann,P., Rülke,St., Frevert,R., Dresig,F.: DAVE - A Design Guideline Analyzer for Verilog. Dresdner Arbeitstagung Schaltungs- und Systementwurf, 2002
- [82] Schäfer,T., Brand,H.-J., Kessler,J.: Fallstudie: Anwendung von Code Checkern bei der IP-Qualifikation am Beispiel von VN-Check . Dresdner Arbeitstagung Schaltungs- und Systementwurf, 2002
- [83] Jerinic,V.: PARAGRAPH-Parameter Checking for IP , 1. EkompasS-Workshop (Poster), Bonn, 2002
- [84] W.Yan, R.Willems: Proposed Content-part of IPQ Transfer Format , Poster session of EcompasS, Apr 17/18 2002, Bonn, Germany
- [85] N. Martínez Madrid, "Mixed-signal reuse in the MEDEA+ TOOLIP project", Workshop on Mixed-Signal IP Blocks, Paris, March 8, 2002
- [86] N. Martínez Madrid, "System-Level Design Reuse for Embedded Applications", PhD Course, University Carlos III of Madrid, June 2002
- [87] N. Martínez Madrid, "Multi-level analog/mixed-signal IP specification", Forum on Design Languages, Marseille, September 2002
- [88] R. Seepold, N. Martínez Madrid, "System Level Design Reuse" . In: Informationstechnik und technische Informatik (it+ti) 44 (2002) 2. (In German)
- [89] R. Seepold, "Presentation of TOOLIP Activities", E-Kompass Workshop, Bonn, April 17-18, 2002
- [90] Ralf Seepold, Natividad Martínez Madrid, FZI; Martin Radetzki, sci-worx; Janick Bergeron, Qualis Corporation; Volker Meyer zu Bexten, ATMEL; Grant Martin, Cadence Design Systems; Michael Payer, Infineon Technologies: Intellectual Property Design and Integration for SoCs, Tutorial, DAC 2002
- [91] Achim Rettberg, Wolfgang Thronicke: Embedded System Design based on Webservices, Design, Automation and Test in Europe - DATE 2002, Paris, 4-8 March. 2002
- [92] Achim Rettberg, Wolfgang Thronicke: How to integrate Webservice in Embedded System Design?, IFIP WCC 2002 Stream 7 on Distributed and Parallel Embedded Systems (DIPES 2002), Montreal, Canada, August 25-30, 2002
- [93] S. Ihmor, M. Visarius, W. Hardt "A Design Methodology for Application-specific Real-Time Interfaces", Proceedings of International Conference on Computer Design (ICCD), Germany, 2002
- [94] Wolfram Hardt. Integration von Verzögerungszeit-Invarianz in den Entwurf eingebetteter Systeme. Habilitationsschrift, Shaker Verlag, Aachen 2002
- [95] Christoph, Dobroschke. Adaption dedizierter Hardware für komfortables Debugging unter dem Betriebssystem Linux. Master's thesis, University Paderborn, Warburger Str. 100, 33098 Paderborn, Mai 2002
- [96] Alfonso, Gambuzza. Konzept zur verteilten modularen Simulation mechatronischer Systeme. Master's thesis, University Paderborn, Warburger Str. 100, 33098 Paderborn, April 2002
- [97] M. Schaaf, M. Visarius, R. Bergmann, R. Maximini, M. Spinelli, J.Lessmann, W. Hardt, S. Ihmor, W. Thronicke, C. Tautz, R. Traphoener. "IPCHL - A Description Language for Semantic IP Characterization", Forum on Design Languages 2002, Marsaille, September 2002
- [98] Schaaf, M., Maximini, R. & Bergmann, R., Tautz, C., Traphöner, R. (2002). Experience Management for Electronic Design Reuse through Quality-Oriented IP selection. In: S. Craw & A. Preece (Hrsg.) European Conference on Case-Based Reasoning (ECCBR 02). Lecture Notes in Artificial Intelligence, Springer. Paper und Posterpräsentation
- [99] Mougouie, B. & Bergmann, R.: Similarity Assessment for Generalized Cases by Optimization Methods. In: S. Craw & A. Preece (Hrsg.) European Conference on Case- Based Reasoning (ECCBR 02). Lecture Notes in Artificial Intelligence, Springer
- [100] Bergmann, R., Maximini, R. & Schaaf, M.: Experience Management for Electronic Design Reuse through Quality-Oriented IP selection. Deutscher Workshop Experience Management.
- [101] Schaaf, M., Elst, van L. : An Approach to Cooperating Organizational Memories based on Semantic Negotiation and Unification. AAAI-02 Workshop on Meaning Negotiation, Edmonton, Canada, 2002
- [102] Bergmann, R., Maximini, R., Schaaf, M. Spinelli, M. Demonstration des IP Retrieval Prototypen auf der CeBIT 2002, Gemeinschaftsstand des Landes Niedersachsen.

-
- [103] Maximini, R., Tautz, C., Posterpräsentation & Demo des IP Retrieval Prototypen, 1. Workshop für Entwurfsplattformen komplexer angewandter Systeme und Schaltungen am 17. und 18- April 2002, Bonn
- [104] M. Radetzki. Qualität und Qualitätssicherung wiederverwendbarer Schaltungsbeschreibungen. Informatik und technische Informatik (it+ti) 44 (2002) 2.
- [105] M. Radetzki. IP Qualification. In: Intellectual Property Design and Integration for System-On-Chip, Tutorial Notes of the Design Automation Conference (DAC), New Orleans, June 2002.
- [106] Frevert,R., Rülke,St., Schäfer,T., Dresig,F.: Use of HDL code checkers to support the IP entrance check - a requirement analyse. EUROMICROWORKSHOP on DIGITAL SYSTEM DESIGN, September 4- 6, 2002, Dortmund, 2002.
- [107] Langer ,M; Krebs, A.; Ruelke, S.; Dresig, F.: "Static RTL Analysis of Multiple Clock Domain Designs", International Workshop on IP based Systemon- Chip Design, Grenoble/France, October 30-31, 2002
- [108] V. Jerinic, D. Müller: Verringerung des Parameterraums unter Verwendung von Parameterabhängigkeiten, Kleinheubacher Tagung, September 2002, Miltenberg
- [109] V. Jerinic, D. Müller: Shrinking the Parameter Space of IP by utilizing Parameter Domains , Workshop IP Based SoC Design, Oktober 2002, Grenoble, Frankreich
- [110] Carsten Demuth: "A next generation interconnect concept to design high performance SoC's", MEDEA Conference 2002, Stresa
- [111] Carsten Demuth: "A next generation interconnect concept to design high performance SoC's", IP based Design 2002, Grenoble
- [112] Holger Lange, Martin Radetzki: IP Configuration Management with Abstract Parameterizations. Proceedings des IP Based SoC Design Workshops, Grenoble, 30.-31.10.2002.
- [113] G. Saucier, L. Ghanmi, M. Hamdoun, Th. Pfirsch, M. ten Have, M. Radetzki, P. Neumann: IP transfer: a mapping problem. Proceedings des IP Based SoC Design Workshops, Grenoble, 30.-31.10.2002.
- [114] G. Saucier, L. Ghanmi, K. Skiba, M. ten Have, M. Radetzki, P. Neumann: IP Exchange Platform. Proceedings des OpenToolIP Workshops, Stresa, 23.10.2002.
- [115] M. Hamdoun, A. Ghrab, B. Missaoui, G. Saucier, A. Brüning, M. Radetzki: IP XML Encapsulation Portal. Proceedings der Medea+ Design Automation Conference, Stresa, 23.-25.10.2002.
- [116] M. Radetzki: Kurzbericht Tutorial zum Thema Intellectual Property (IP) im edacentrum Newsletter 02 / 2002.
- [117] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Maximini, R., Spinelli, M., Schaaf, M.: Rule-Based Representation and Processing of Reuse- Relevant IP Knowledge, IPQ Technical Report, AP2-T2-EKM-MQ6, Juni 2002.
- [118] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Maximini, R., Spinelli, M., Schaaf, M.: Concepts for the Representation of Parametrized IP by Constraints in the Sense of Artificial Intelligence, IPQ Technical Report, AP2-T3-EKM-MQ6, August 2002.
- [119] Markus Visarius, Johannes Lessmann, Stefan Ihmor, Wolfram Hardt. „Tool Demonstration on IPQ Format based Retrieval“, ToolIP External Workshop, Stresa, Italy, Oct. 2002
- [120] Markus Visarius, Johannes Lessmann, Stefan Ihmor, Wolfram Hardt. „Poster Presentation and Tool Demonstration on IPQ Format based Retrieval“, MEDEA+ Design Automation Conference, Stresa, Italy, Oct. 2002

2003

- [121] Carsten, Amelunxen: Automatische Adaptierung von IPQ Entwurfswerkzeugen über Web Services. Master's thesis, University Paderborn, Warburger Str. 100, 33098 Paderborn, Jan. 2003
- [122] Maximini K., Maximini R., Bergmann R.: An Investigation of Generalized Cases, 5th International Conference on Case-Based Reasoning, Trondheim, 2003.
- [123] Maximini R., Austermann V.: Retrieval on attribute dependent generalized cases, 5th International Conference on Case-Based Reasoning, Trondheim, 2003.
- [124] Schaaf M., Freßmann A., Spinelli M., Maximini R., Bergmann R.: A Knowledge Representation Format for Virtual IP Marketplaces, 5th International Conference on Case-Based Reasoning, Trondheim, 2003.
- [125] Mougouie, B., Richter, M.M. & Bergmann, R.: Diversity-Conscious Retrieval from Generalized Cases: A Branch and Bound Algorithm, 5th International Conference on Case-Based Reasoning, Trondheim, 2003.
- [126] Bergmann R., Schaaf M.: Structural Case-Based Reasoning and Ontology- Based Knowledge Management: A Perfect Match?, International Joint Conference on Artificial Intelligence, Mexico, 2003.

- [127] Maximini R., Tartakovski A., Bergmann R.: Investigating different Methods for efficient Retrieval of Generalized Cases, German Workshop on Experience Management, March 2003.
- [128] Bergmann, R., Schaaf, M.: On the Relations between Structural Case-Based Reasoning and Ontology-based Knowledge Management, German Workshop on Experience Management, March 2003.
- [129] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Fressmann, A., Spinelli, M., Maximini, R., Schaaf, M.: Demonstrator Application for Online IP Retrieval, IPQ Technical Report, AP2-T2-EKM-EQ8, Feb. 2003.
- [130] Bergmann R., Schaaf M. (2003). Structural Case-Based Reasoning and Ontology-Based Knowledge Management: A Perfect Match?, Journal of Universal Computer Science.
- [131] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Fressmann, A., Spinelli, M., Maximini, R., Schaaf, M.: Implementation and Evaluation of Similarity-Based Retrieval Techniques for Parameterized IP. , AP2-T3-EKM-EQ10, August.,2003.
- [132] Maximini, R., Tartakovski, A.: Approximative Retrieval of Attribute Dependent Generalized Cases. Workshop on Knowledge and Experience Management, Oktober 2003.
- [133] Spinelli, M., Schaaf, M.: Towards Explanations for CBR-based Applications. Workshop on Knowledge and Experience Management, Oktober 2003.
- [134] Tartakovski, A., Maximini, R.: Similarity Assessment and Retrieval of Generalized Cases. Workshop on Knowledge and Experience Management, Oktober 2003.
- [135] Brand, H.-J., Rülke, St.: IPQ: IP-Qualifikation für effizientes Systemdesign. Newsletter edacentrum, 02, 2003.
- [136] Fordran, E.; Fruth, M.; Hensel, U.; Shaoyu, H.; Srinivasan, M.: Model Checking in an Industrial Environment . GI/ITG/GMM Workshop Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen, Bremen, Februar 2003.
- [137] Brem, D., Müller, D.: „Interface based system modeling of a CAN using SVE“. Poster EkompasS-Workshop, Mai 2003
- [138] Rogin, F., Langer, M., Fordran, E., Dresig, F., Brand, H.-J.: Beiträge zum IP-Eingangsscheck . Poster EkompasS-Workshop, Mai 2003
- [139] W. Yan, R. Willems, Standardisiertes Vorgehen bei der IP Entwicklung EkompasS Workshop 2003, Hanover, Germany, April 2003
- [140] Andreas Vörg, Wolfgang Rosenstiel; Poster: IP Quality at FZI auf dem 2. EkompasS Workshop, April 2003, Hannover, Germany
- [141] S. Ihmor, N. Bastos Jr., R. Klein, M. Visarius, W. Hardt, "Rapid Prototyping of Realtime Communication - A Case Study: Interacting Robots", In 14th IEEE International Workshop on Rapid System Prototyping. San Diego, CA, IEEE Computer Society Press, 2003.
- [142] S. Ihmor, M. Visarius, W. Hardt, "Modeling of Configurable HW/SW-Interfaces", In Proceedings of 6. GI/ITG/GMM-Workshop Modellierung und Verifikation, Bremen, 2003
- [143] M. Visarius, J. Lessmann, W. Hardt, "IPQ Format based Tool-Chain", Demo and Poster Presentation at the 2nd EkompasS Workshop, Hannover, Germany, April 2003
- [144] Johannes Lessmann. Integration of Tools for IP based Design with a Generic XML Format and Web Services. Master s thesis, University Paderborn, Warburger Str. 100, 33098 Paderborn, June 2003
- [145] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Freßmann, A., Maximini, R., Schaaf, M. : Integration of the Result Representation and the Evaluation of the Demonstrator, AP2-T4-EKM-Q12, December 2003.
- [146] Franz, J., Tautz, C., Traphöner, R., Bergmann, R., Freßmann, A., Maximini, R., Schaaf, M. : Completed Implementation of the Online Demonstrator with Parameterized IPs, AP2-T3-EKM-Q12, December 2003.
- [147] Freßmann A., Maximini R., Schaaf M., Franz J., Traphöner R. (2003). Intelligent Retrieval for Component Reuse in System-On-Chip Design. Künstliche Intelligenz, December 2003.
- [148] Schaaf M., Radetzki M., Bergmann R., Freßmann A., Maximini R., Tartakovski A. (2003). Intelligent IP Retrieval Driven by Application Requirements. Integration, August 2003.
- [149] V. Jerinic und D. Müller. Assertion-Based Parameter Checking for IP, *System-On-Chip and ASIC Design Conference 2003*, Santa Clara(CA, USA), Januar 2003
- [150] M. Visarius, J. Lessmann, W. Hardt, F. Kelso, and W. Thronicke. "An XML Format based Integration Infrastructure for IP based Design", In Proceedings of the 16th Symposium on Integrated Circuits and

Systems Design (SBCCI 2003), Sao Paulo, Brazil, Sept. 2003. IEEE Computer Society.

2004

- [151] A. Vörg, M. Radetzki, W. Rosenstiel. Measurement of IP Qualification Costs and Benefits. Design Automation and Test in Europe (DATE) 2004.
- [152] St. Rülke, H.-J. Brand, M. Radetzki. IPQ: IP Qualification for Efficient System Design. Design Automation and Test in Europe (DATE), Exhibition Theatre, 2004.
- [153] M. Schaaf, A. Freßmann, R. Bergmann, R. Maximini, M. Spinelli, A. Tartakovski, M. Radetzki. Towards Virtual Marketplaces for IPs: Intelligent Retrieval Driven by Application Requirements. Integration - The VLSI Journal, Elsevier Science B.V., 2004
- [154] V. Jerinic und D. Müller. Save Integration of Parameterized IP, Integration - The VLSI Journal, Elsevier Science B.V., 2004
- [155] H.-J. Brand, St. Rülke, M. Radetzki. IPQ: IP Qualification for Efficient System Design. International Symposium on Quality Electronic Design (ISQED) 2004.