

1 Christian-Albrechts-Universität zu Kiel (CAU): Zuverlässigkeit hochtemperaturtauglicher Elektronikkomponenten für modulare Mikrosysteme

1.1 Motivation und Stand der Technik

Die Integration von Sensorik, Aktuatorik und Elektronik zu mechatronischen Systemen hat, je nach Einsatzort und Umgebungsbedingung, eine hohe thermische Belastung der elektronischen Komponenten zur Folge. Die Elektronikkomponenten des mechatronischen Systems Getriebe sind beispielsweise Analogverstärker zur Verstärkung der Sensorsignale sowie Bausteine der elektronischen Steuereinheit, insbesondere Mikrocontroller mit integriertem nichtflüchtigem Halbleiterspeicher vom Flash-Typ (embedded Flash). Die auf dem Markt angebotenen Mikrocontroller sind üblicherweise für eine maximale Betriebstemperatur von 125°C ausgelegt. Eine zuverlässige Funktion bei hinreichender Lebensdauer ist für den Mikrocontroller a priori nur dann zu erwarten, wenn die Temperatur der Bausteine diesen vorgegebenen Grenzwert nicht überschreitet. Die in das Getriebe integrierte Elektronik ist einer erhöhten thermischen Belastung ausgesetzt, wobei, zumindest temporär, Umgebungstemperaturen von bis zu 160°C zu berücksichtigen sind. Aufgrund dieser thermischen Belastung stellte sich zu Beginn des Projektes die Frage nach der Zuverlässigkeit der in dem Mikrocontroller eingebetteten Flash-Speicher bei erhöhten Betriebstemperaturen, den lebensdauerlimitierenden Fehlermechanismen der Bauelemente sowie nach den Möglichkeiten zur Modellierung der Ladungsverlustmechanismen (z.B. SILC) für die Zuverlässigkeitssimulation des Flash-Speichers.

Aus diesen Fragestellungen heraus ergaben sich für den Lehrstuhl für Halbleitertechnik (LHT) der Technischen Fakultät der CAU zu Beginn des Projektes die folgenden Arbeitspakete:

AP1.3 Hochtemperaturtauglichkeit der verwendeten Komponenten

AP1.4 Verbesserung der Zuverlässigkeitsaussagen

AP2.1 Hochtemperaturtaugliche Sensorik

1.2 Hochtemperaturtauglichkeit der verwendeten Komponenten

1.2.1 Problemstellung und Zielsetzung

Die elektronische Getriebesteuerung (Electronic Control Unit, kurz ECU) ist direkt in das Getriebe integriert und dort durch die Einlagerung in das Getriebeöl Temperaturen bis 160°C ausgesetzt. In die ECU ist u.a. ein Mikrocontroller mit embedded Flash integriert, dessen Zuverlässigkeit bei erhöhten Betriebstemperaturen im Rahmen dieses Projektes untersucht werden sollte. Exemplarisch wurde hierfür in Absprache mit den Projektpartnern der MPC555 der Fa. Motorola ausgewählt. Der Flash des MPC555 besitzt eine Speicherkapazität von 448 Kbyte, die in 14 separat löschbare Blöcke mit jeweils 32 Kbyte unterteilt ist. Der Flash hat die Aufgabe, neben Programmdateien auch Adaptivdaten, die während der Fahrt ermittelt werden, abzuspeichern. Für diese Adaptivdaten stellt der Speicher einen Block mit einer Kapazität von 32 Kbyte zur Verfügung. Nach jedem Abschalten des Motors werden 4 Kbyte an Adaptivdaten in den hierfür reservierten Bereich geschrieben. Demzufolge kommt es spätestens nach

112 Abschaltvorgängen zu einer Umprogrammierung von bereits beschriebenen Zellen. Mit Hilfe der mittleren Fahrleistung eines Kraftfahrzeuges und einem gewissen Sicherheitsfaktor lässt sich abschätzen, dass bei den erhöhten Betriebstemperaturen eine Datenwechselstabilität (Endurance) von mindestens 11.000 Zyklen gefordert werden muss. Die von der Fa. Motorola spezifizierten Werte liegen für die Datenwechselstabilität (Endurance) bei 100 Zyklen und für die Datensicherheit (Retention) bei 10 Jahren bei einer Umgebungstemperatur von 125°C. Zu untersuchen war im Rahmen dieses Arbeitspaketes, ob 1. die geforderte Endurance bei 160°C erreicht werden kann und 2. ob ein bei höheren Temperaturen verstärkt einsetzender Ladungsträgertransport zu einer deutlich reduzierten Datensicherheit führt. Die diesen Untersuchungen zu Grunde liegenden Messungen fanden anfangs an gehäuteten Mikrocontrollern und dann im späteren Verlauf des Projektes an Mikrocontrollern aus zwei unterschiedlichen Chargen auf Wafer-Ebene statt: Typ CDR1 Rev. G (Maske J76N) in einer 0.4 µm Technologie bzw. Typ CDR1 Rev. M (Masken K63N, K62N) in einer 0.36 µm Technologie.

1.2.2 Ergebnisse

Im Rahmen des Projektes wurde zunächst ein rechnergestützter Messplatz aufgebaut, dessen Kernstück der halbautomatische Wafer-Prober PA200 der Fa. Süss Microtec ist. Der Wafer-Prober ist mit einem Thermo-Chuck ausgerüstet, mit dessen Hilfe die Scheiben bis auf 300°C erwärmt und während des Messvorganges auf dieser Temperatur gehalten werden können.

Des Weiteren wurde der Mikrocontroller eingehend analysiert und eine Teststrategie ausgearbeitet. Für die Kontaktierung des Chips auf Wafer-Ebene ist eine so genannte ProbeCard notwendig. Eine ProbeCard mit 282 Nadeln (Anzahl der Kontaktpads) erfordert sehr dünne Nadeln, was aus mechanischen Gründen bei hohen Temperaturen zu Kontaktierungsproblemen führen kann. Daher wurde nach Möglichkeiten gesucht, die Anzahl der zu kontaktierenden Pads des Chips zu minimieren, um die Kontaktierung des Chips mit Hilfe einer temperaturstabilen ProbeCard (Nadeln mit einem Standarddurchmesser von ca. 80 µm) zu ermöglichen. Die Untersuchung der Flash-Speicher-Zellen erfolgt im so genannten „Background-Debug-Mode“ (BDM), der nur eine beschränkte Pin-Anzahl erfordert. Über diese Schnittstelle kann die Kommunikation mit dem Flash erfolgen. Zum schnellen Auslesen der Daten des Flash's dient zusätzlich eine serielle Schnittstelle (RS-232). Erforderlich sind ferner die Anschlüsse für die beiden Betriebsspannungen 5V und 3,3V, die Masse sowie für verschiedene Reset-Pins und diverse Statuspins, die für die ordnungsgemäße interne Steuerung des MPC555 und damit des BDM durch den PowerPC-Core erforderlich sind. Weitere Pads sind nicht erforderlich. Insgesamt verbleiben 82 Pins, die für die Untersuchung des Flash-Speichers zu kontaktieren sind. Eine entsprechende ProbeCard mit 82 Nadeln wurde am LHT entworfen und bei einem ProbeCard-Hersteller gefertigt.

Für die Untersuchung der Flash-Speicher wurden verschiedene Software-Pakete getestet und hinsichtlich ihrer Verwendbarkeit beurteilt. Im Einzelnen waren dies:

1. Enhanced Background Debug Software (EBDS, Fa. MOT-Consulting): Dies ist ein DOS-Programm, mit welchem das Schreiben und Löschen des SRAM-Speichers des MPC555 möglich ist. Flash-Zellen lassen sich nur auslesen, das periodische Schreiben und Löschen der Zellen ist nicht möglich.

2. Codewarrior (Fa. Metrowerks/Motorola): Mit diesem Programm können umfangreiche Anwendungen in C/C++ erstellt, getestet und auf den zu untersuchenden Mikrocontroller übertragen werden. Insofern ist es prinzipiell möglich, ein Programm für den MPC555 zu schreiben, welches alle geforderten Funktionen erfüllt. Hierfür ist dann allerdings die minimale Schaltungskonfiguration, wie sie für den Einsatz des BDM notwendig ist, nicht mehr ausreichend.
3. Trace32 (Fa. Lauterbach) und DiabC (Fa. Windriver): Trace32 ist ein Programm, welches speziell für die Untersuchung von Microcontrollern (auch im BDM) entwickelt wurde. Es bietet insbesondere die Möglichkeit, Programme im .elf-Format, die mit dem Compiler DiabC erstellt wurden, auszuführen.

Die Arbeit mit Trace32/DiabC erfüllte die Anforderungen an die Messaufgaben am Besten. So war es möglich, mit geringem Aufwand an Hardware und Software alle notwendigen Prozeduren zur Charakterisierung der Flash-Zellen durchzuführen: Initialisierung des MPC555, Angabe der zu untersuchenden Speicher-Blöcke, Schreiben, Löschen, Ausgabe der Schreib- und Löschpulsanzahl. Hierzu wurden auch C-Routinen von Motorola, sogenannte „General Market Driver,“ verwendet. Auf der Basis dieser „General Market Driver“ wurden eigene Messroutinen zum Programmieren und zur Überwachung des Speichers entwickelt.

Für die experimentellen Untersuchungen wurde ein Messaufbau entwickelt, der Messungen an gehäusten MPC555 sowie an Exemplaren auf Waferebene ermöglicht. Dazu wurde zunächst ein EBDS-Evaluation-Board (EVB) dahingehend modifiziert, dass die Kommunikation mit einem Mikrocontroller auf Wafer-Ebene möglich war. Hierzu wurde das EVB über eine Kabelverbindung mit der Probecard kontaktiert. In der Testphase zeigte sich dann jedoch, dass mit dieser Lösung keine zuverlässige Messwertaufnahme garantiert werden konnte. Daher wurde die Kabelverbindung durch eine Steckverbindung ersetzt, mit der Platine und Probecard fest verkoppelt sind (integrierte Lösung). Das Evaluation-Board beherbergt die notwendige Elektronik zur Kommunikation mit dem Chip. Hierbei kann entweder ein gehäuster Chip in einen Sockel eingesetzt oder alternativ über einen Sockel eine ProbeCard angeschlossen werden, die der Kontaktierung der Chips auf Wafer-Ebene dient. Gleichzeitig wird der Anschluss an die serielle Schnittstelle eines Mess-Rechners ermöglicht. Um den Einfluss von Signallaufzeiten gering zu halten, wurden die für die Taktgebung notwendigen Elektronikkomponenten in unmittelbarer Nähe zu den entsprechenden Kontakten angeordnet.

Mit diesem System wurden die Messungen zur Bestimmung der Endurance durchgeführt. Für die Retention-Untersuchungen stand ein externer Ofen zur Temperung der Scheiben unter Schutzgasatmosphäre zur Verfügung, dessen Innentemperatur definiert im Bereich von Raumtemperatur bis 300°C als Funktion der Zeit eingestellt werden kann.

Endurance

Da bei den Mikrocontrollern nicht die Möglichkeit bestand, messtechnisch auf eine einzelne Zelle zuzugreifen, wurde als Parameter zur Beurteilung der Zuverlässigkeit die Anzahl der Schreibpulse bestimmt, die zum Schreiben eines Bereiches von 4Kbyte benötigt wird. Aus anwendungsspezifischen Daten lässt sich für diese Anzahl ein Grenzwert von 4500 Schreibpulsen ermitteln. Beim Überschreiten

dieses Grenzwertes gilt der Speicher als nicht mehr beschreibbar. Zum Löschen der Speicher-Zellen wird immer eine konstante durch interne Algorithmen vordefinierte Anzahl der Pulse verwendet.

Zunächst wurden die Messungen an den einzelnen Mikrocontrollern sowohl bei Raumtemperatur als auch bei den in der Anwendung zu erwartenden erhöhten Temperaturen von bis zu 160°C durchgeführt. Der charakteristische Verlauf der Anzahl der erforderlichen Schreibpulse als Funktion der Anzahl der Schreibzyklen ist für Speicher aus gehäuteten Chips und solchen, die während der Messung in Wafer-Form vorlagen, prinzipiell gleich: Die Anzahl der Schreibpulse fällt zunächst leicht mit zunehmender Zykluszahl, durchläuft ein mehr oder weniger ausgeprägtes Minimum bei einigen 100 Zyklen, um dann wieder anzusteigen.

Um einerseits den oben angegebenen Grenzwert von 11.000 Zyklen zu überschreiten, andererseits jedoch die relativ lange Messzeit zu berücksichtigen (die Testzeit für die Charakterisierung des gesamten Speichers dauert bei 10.000 Zyklen und einer Temperatur von 160°C ca. zwei Wochen) ist bei der überwiegenden Anzahl der getesteten Mikrocontroller eine maximale Anzahl der Zyklen von 15.000 angesetzt worden. Insgesamt wurden über 50 Messungen an ca. 20 Dies mit einer Zykluszahl von 15.000 bei den erhöhten Temperaturen durchgeführt, wobei jeweils eine festgelegte Charakterisierungsstrategie eingehalten wurde. Das Ergebnis der Endurance-Untersuchung zeigt eine Reihe von Ausfällen bei den gestesteten Mikrocontrollern. Diese Ausfälle sind dadurch gekennzeichnet, dass der Mikrocontroller nach einer gewissen Anzahl von Programmierzyklen die Kommunikation mit dem Messprogramm verweigert. Bei einigen Proben wurde diese Kommunikation nach einer Verweilzeit, die unterschiedlich lang sein kann, wieder aufgenommen. Es zeigte sich ferner, dass der Ausfall nach einer Belastung bei wechselnden Temperaturen häufiger auftrat als nach einer solchen bei konstanter Temperatur. Im Sinne eines Worst-Case-Szenarios wurde bei einem Mikrocontroller der Test bei 170°C durchgeführt. Dabei stieg die Anzahl der Schreibpulse nach wenigen Zyklen sofort sehr stark an, nach etwa 1600 Programmierzyklen wurde der Test durch den MPC555 abgebrochen. Anschließend war keine Messung mehr möglich, da der Mikrocontroller die Kommunikation mit dem Messprogramm verweigerte. Die Gründe hierfür bleiben unklar, da keine Möglichkeit besteht, über geeignete Testmodi die internen Betriebsabläufe des Speichers zu kontrollieren. Insgesamt lässt das Fehlerbild jedoch vermuten, dass die periphere Elektronik des Speichers und nicht die Flash-Zellen selbst Ursache des Ausfalls ist.

Retention

Zur Untersuchung der Datensicherheit wurde als Testmuster eine serielle Folge aus hexadezimalen Einsen und Zweien auf dem Wafer-Prober in den Flash-Speicher einprogrammiert. Die derart programmierten Mikrocontroller wurden anschließend bei 300°C in einem Temperofen unter Schutzgasatmosphäre gelagert. In vorgegebenen Zeitabständen von 10, 20 ..., 1000 Stunden wurde das Datenmuster des Speichers ausgelesen und mit den ursprünglich eingeschriebenen Daten verglichen. Von den getesteten Flashs zeigte kein Speicher einen Bitfehler. Setzt man die Gültigkeit eines Arrhenius-Gesetzes voraus, so entspricht der Temperzeit von 610 Stunden bei 300°C einem Datenerhalt von 13 Jahren bei 160°C. Es zeigte sich jedoch, dass der Flash eines Mikrocontrollers, der über 600 Stunden der Temperatur von 300°C ausgesetzt war, nur noch mit einer überdurchschnittlich hohen Anzahl von Schreibpulsen programmiert werden konnte.

Zusammenfassendes Ergebnis

Die Endurance-Tests bei einer Temperatur von 150°C zeigen einen nicht ausschließlich zuverlässigen Verlauf des Programmierens, sondern auch Ausfälle innerhalb der vorgegebenen 15.000 Zyklen. Einige Tests, insbesondere bei alternierenden Temperaturen (RT→HT→RT), erlauben den Schluss, dass der Baustein sich nicht für die vorgesehene Anwendung in dem mechatronischen System der Getriebesteuerung eignet. Der Retention-Test ergab keinen Speicherausfall. Die durchgeführten Tests und deren Ergebnisse deuten darauf hin, dass die Funktionstüchtigkeit des Speichers bei erhöhten Betriebstemperaturen durch die periphere Elektronik und nicht durch die Speicherzellen selbst beeinträchtigt wird.

Die im Rahmen des Projektes erarbeiteten Testverfahren zur Untersuchung der Hochtemperaturtauglichkeit können im Prinzip für die Untersuchungen an anderen Mikrocontrollern eingesetzt werden.

1.2.2 Vergleich mit der Zielsetzung

Ursprünglich war die Charakterisierung unterschiedlicher Bausteine (embedded Flashs, Stand-Alone Flashs) eingeplant. Von den Industriepartnern wurde mit Beginn des Projektes dann die Konzentration auf die Charakterisierung des MPC555 empfohlen. Diese Arbeiten haben sich als sehr zeitintensiv erwiesen. Hinzu kam, dass sich die Lieferung des MPC563 (Nachfolgeneration des MPC555), der als nächster Baustein charakterisiert werden sollte, zeitlich stark verzögert hat. Mit Rücksicht auf die Bearbeitung des AP1.3 wurde daher in Absprache mit den Projektpartnern auf die Charakterisierung weiterer Flash-Bausteine verzichtet.

1.3 Verbesserung der Zuverlässigkeitsaussagen

1.3.1 Problemstellung und Zielsetzung

Eine große Hilfe bei der Beurteilung zuverlässigkeitsrelevanter Problemstellungen können Software-Pakete darstellen, die eine Zuverlässigkeitsprognose per Simulation gestatten. Die Zuverlässigkeitssimulation steht noch am Anfang ihrer Entwicklung. Die zu lösenden Probleme bei der Entwicklung eines geeigneten Simulators liegen bei der experimentellen Charakterisierung der die Bauelemente- und Zelleneigenschaften degradierenden Fehlermechanismen und deren modellhafte Beschreibung. Sind die Fehlermodelle und deren Einfluss auf die zeitliche Änderung der SPICE-Parameter des die Speicherzelle beschreibenden Makromodells bekannt, so lässt sich mit Hilfe eines Schaltungssimulators z.B. die Zeit bestimmen, in der die Kenndaten der Zelle aus dem durch die vorgegebene Spezifikation aufgespannten Fenster driften. Im Rahmen dieses Arbeitspaketes sollten die Arbeiten des VEMECH-Projektes fortgesetzt werden: Entwicklung eines Makromodells für die Speicherzelle, das die Zuverlässigkeitsprognose hinsichtlich Retention und Endurance unter Berücksichtigung ihres wechselseitigen Einflusses gestattet.

Das ursprüngliche Ziel bestand in einer engen Verknüpfung der Arbeitspakete AP1.3 und AP1.4: Nutzung der experimentellen Daten aus AP1.3 bei der Entwicklung des Modells in AP1.4 und Nutzung des Modells bei der Charakterisierung der aktuell eingesetzten Flash-Zellen. Im Laufe des Projektes erwies

es sich als nicht möglich, von dem Hersteller des Flash's geeignete Teststrukturen zu bekommen, so dass auf verfügbare Teststrukturen von EEPROM-Zellen zurück gegriffen werden musste.

1.3.2 Ergebnisse

Das Makromodell der EEPROM-Zelle unterteilt sich in drei Schaltungsteile. Teil I umfasst den Floating-Gate-Transistor mit den Koppelkapazitäten, den Dioden zur Modellierung des temperaturabhängigen Sperrstromes der PN-Übergänge, eine Stromquelle zur Simulation des Schreib- und Löschvorganges sowie eine Spannungsquelle, mit der die Bandverbiegung innerhalb der Drain-Zone beim Löschen der Zelle berücksichtigt wird. Während das Löschen der Zelle nach dem Fowler-Nordheim-Prinzip erfolgt, kann beim Schreiben alternativ zwischen einem Strom nach Fowler-Nordheim oder der Injektion Heißer Elektronen gewählt werden. Dieser Schaltungsteil erlaubt beispielsweise die Simulation des zeitlichen Verlaufes von Tunnelstrom und Schwellenspannung des Speichertransistors während der Schreib- und Löschphase. Schaltungsteil II enthält eine Stromquelle, mit der die Aufladung des Oxides während der Schreib- und Löschzyklen modelliert wird. Ein kapazitiver Spannungsteiler legt den Ort des Ladungsschwerpunktes innerhalb des Tunneloxides fest. Dieser Schaltungsteil erlaubt die Simulation des Endurance-Verhaltens der Speicherzelle.

Block III beinhaltet eine zusätzliche Stromquelle zur Modellierung des Retention-Verhaltens der Zelle. Dieses Verhalten wird durch einen Ausgleichsstrom bestimmt, der bei kleinen elektrischen Feldstärken innerhalb der Tunneloxides zwischen dem Floating-Gate und der Substratebene des Transistors fließt. Aufgrund der geringen elektrischen Feldstärke und der Stärke des Tunneloxides von ca. 10 nm kommen als Ladungstransportmechanismus weder das Fowler-Nordheim- noch das direkte Tunneln in Frage. Es ist heute allgemein anerkannt, dass der zu Grunde liegende Ladungsträgertransport auf dem sogenannten inelastischen trapunterstützten Tunneln (TAT, Trap Assisted Tunneling) beruht: Beim Schreiben und Löschen der Zelle kommt es innerhalb des Tunneloxides zu einer Generation von Traps (die teils geladen werden und damit den weiter oben angesprochenen Endurance-Effekt bewirken), die, bei geeigneter energetische Lage, die effektive Tunneldistanz verkürzen. Während der Verweilzeit in den Traps kann es zu einer Wechselwirkung mit Phononen kommen, so dass das Elektron Energie verliert, was hinsichtlich des folgenden Tunnelprozesses einer Erhöhung der effektiven Potentialbarriere gleichkommt. Der mittlere Abstand der Traps nimmt mit wachsender Trapdichte ab. In dem hier vorliegenden eindimensionalen Modell wird nur ein Trap berücksichtigt und für dessen Lage eine Gauß-Verteilung angesetzt. Der Maximalwert dieser Verteilungsfunktion ist proportional zur Trapdichte. Dieses Vorgehen führt zunächst zu einem Integral für den Ausgleichsstrom, bei dem als freie Parameter die energetische Lage und die Dichte der Traps, der Erwartungswert und die Standardabweichung deren Verteilung sowie der Energieverlust auf Grund der Phononenwechselwirkung als Fitparameter genutzt werden können.

Das Integral zur Bestimmung des TAT-Stromes kann nur numerisch gelöst werden. Grundsätzlich kann das dann numerisch vorliegende Ergebnis für die Bestimmung der zeitlichen Änderung der Schwellenspannung der Zelle direkt genutzt werden, führt dann allerdings zu einem numerisch etwas aufwendigen Modell zur Beschreibung des Retention-Verhaltens der Zelle. In dem vorliegenden Modell ist durch Parameteranpassung der TAT-Strom, also das Ergebnis der numerischen Integration, durch

eine analytische Funktion approximiert worden. Dies erlaubt, die zeitliche Änderung der Schwellenspannung als analytische Funktion anzugeben, was die Diskussion des Einflusses der unterschiedlichen Parameter auf das Retention-Verhalten der Zelle erleichtert.

Das Modell wurde in den industrieeüblichen SPICE-fähigen Schaltungssimulator Spectre der Fa. Cadence implementiert.

1.3.3 Vergleich mit der Zielsetzung

Das Ziel war die Entwicklung eines Schaltungssimulationsmodells für die Zelle eines nichtflüchtigen, elektrisch programmierbaren Speichers, mit dem zuverlässigkeitsrelevante Phänomene wie beispielsweise der SILC-Effekt (Stress Induced Leakage Current) und der LTDR-Effekt (Low Temperature Data Retention) erfasst werden können. Dieses Ziel ist erreicht. Die Verifikation des Modells konnte allerdings nicht anhand der Zelle des aktuell im Rahmen dieses Projektes untersuchten Flash-Speichers erfolgen, da die hierfür erforderlichen Testmodi bzw. Teststrukturen nicht zugänglich waren.

1.4 Hochtemperaturtaugliche Sensorik

1.4.1 Problemstellung und Zielsetzung

Der Projektpartner FST beabsichtigte ursprünglich die Entwicklung eines SOI-basierten Drucksensor-Chips. An diesen Arbeiten sollte sich der LHT im Rahmen des AP2.1 mit den Aufgaben - Modellierung von SOI-Transistoren sowie experimentelle Untersuchungen zum Temperaturverhalten von SOI-Transistoren – beteiligen. FST hat dann jedoch ein Konzept verfolgt, bei dem keine SOI-Materialien eingesetzt wurden, so dass der Beitrag des LHT nicht erforderlich und auch nicht mehr möglich war.

1.4.2 Ergebnisse

Siehe 1.4.1.

1.4.3 Vergleich mit der Zielsetzung

Siehe 1.4.1.

1.5 Verwertung der Ergebnisse

In diesem Teilvorhaben wurden Teilaspekte der Problematik „Hochtemperaturmechatronik (HTM)“ bearbeitet. Es wurde technisches Know-how im Bereich der HTM-Messtechnik (Automatisierung des Messplatzes, Kontaktierung der Teststrukturen, Auswahl von Probecards) gewonnen und eine Wissensbasis aufgebaut bezüglich der Untersuchung von komplexen Mikrocontrollern im erweiterten Temperaturbereich sowie dem Einfluss der Temperatur auf die zuverlässigkeitsrelevanten Parameter Endurance und Retention bei nichtflüchtigen, elektrisch programmierbaren Halbleiterspeichern. Das erarbeitete Know-how steht einerseits den KMUs zur Verfügung und stellt andererseits eine Basis für die Akquisition neuer Projekte im Bereich der Mikrosystemtechnik mit Anwendungen im erhöhten Betriebstemperaturbereich dar.