

**KOKON**  
**Kfz-Höchstfrequenz-Elektronik**  
**BMBF Förderkennzeichen: 01M3161A**

Abschlußbericht zum Teilvorhaben der Infineon Technologies AG:

**Entwicklung einer Si / SiGe basierten  
Höchstfrequenztechnologie und hochintegrierter MMICs für  
automotive Radarsensoren im 76-81 GHz Band**

**gekürzte Fassung zur Veröffentlichung**

Vorgelegt von

**Infineon Technologies AG, München**

und seinen Partnern (Unterauftragnehmer):

**Institut für Halbleiterphysik, Frankfurt (Oder)**

**Technische Universität, München**

**Friedrich-Alexander-Universität, Erlangen-Nürnberg**

Projektlaufzeit

**01.09.2004 bis 31.08. 2007**

Autoren:

**Dr. K. Aufinger, Dr. J. Böck, Dr. H. Knapp, Dr. T. Meister, Dr. H. Schäfer**

Redaktion:

**Dr. R. Lachner**

## Inhalt

I. EXECUTIVE SUMMARY DES GESAMTPROJEKTES KOKON	3
II. ÜBERSICHT DES TEILVORHABENS DER INFINEON TECHNOLOGIES AG	10
III. PROZESSINTEGRATION DER SiGe HÖCHSTFREQUENZTECHNOLOGIE	11
III.1 Konzept für die Gesamtprozessintegration	11
III.2 SiGe Epitaxie	15
III.3 SiGe HBT	23
III.4 Doppel-Kollektor-Epitaxie-Konzept, HV Transistor und Varaktor	31
III.5 Vertikaler pnp Transistor	36
III.6 Polysilizium-Widerstände	42
III.7 TaN Widerstand	46
III.8 MIM Kondensator	48
III.9 Kupfer-Metallisierung	50
III.10 Fuses	57
III.11 Pad	59
IV. MODELLIERUNG UND DESIGNUMGEBUNG	61
IV.1 Analyse des thermischen Verhaltens von Bauelementen und Systemen	61
IV.2 Temperaturabhängige Modellierung der Bauelementparameter	61
IV.3 Designpaket	62
V. SCHALTUNGSENTWICKLUNG	64
V.1 Oszillator und Leistungsverstärker	64
V.2 Frequenzteiler	69
V.3 Leistungs- und Temperatursensoren	73
V.4 Vollintegrierter Sendebaustein mit Oszillator, Leistungsverstärker, Frequenzteilern und Detektorfunktionen	82
VI. ZUVERLÄSSIGKEITSUNTERSUCHUNGEN	89
VI.1 Stabilität der aktiven und passiven Bauteile	90
VI.2 Betrieb des SiGe HBT über $BV_{CE0}$	99
VI.3 Stabilität der Metallisierung	108
VI.4 Zuverlässigkeitsuntersuchungen an Schaltungen	110
VII. VERÖFFENTLICHUNGEN IM RAHMEN DES KOKON PROJEKTS	112

## I. Executive Summary des Gesamtprojektes KOKON

Steigerung von Komfort und Sicherheit sind Hauptziele deutscher Automobilhersteller und ihrer Zuliefererindustrie und ein wesentliches Differenzierungsmerkmal im internationalen Wettbewerb. Fahrerassistenzsystemen und aktiven Sicherheitssystemen, die helfen, gefährliche Situationen frühzeitig zu erkennen und dadurch Unfälle zu vermeiden oder zumindest die Unfallschwere zu verringern, kommt künftig eine große Bedeutung zu.

Verkehrsunfälle sind keine unvermeidbare Nebenerscheinung des Straßenverkehrs und der Mobilität, sondern in den meisten Fällen Folge vermeidbaren menschlichen Fehlverhaltens. Bewertet man nur die materiellen Unfallfolgen, dann ergibt sich allein in Deutschland ein Schaden von jährlich rund 35 Mrd. Euro. Hinzu kommt nach einer Studie des ADAC durch Staus auf deutschen Autobahnen weiterer volkswirtschaftlicher Schaden in Höhe von täglich etwa einer Viertel Milliarde Euro und jeder dritte Stau ist wiederum Unfall bedingt. Diese Fakten und Aussagen belegen die hohe Bedeutung von Arbeiten zur Verbesserung passiver Sicherheitssysteme und die Notwendigkeit von Forschungsarbeiten für aktive Sicherheits- und Assistenzsysteme im Kraftfahrzeug.

Derartige Systeme erfordern Sensoren, die in der Lage sind das Umfeld des Fahrzeuges zu erfassen. Dies ermöglicht eine „elektronische Hülle“ (KOKON) um das Fahrzeug, die tote Winkel überwacht, Hindernisse erkennt, Schutz- und Sicherheitssysteme auslöst, Fußgänger detektiert, schwächere Verkehrsteilnehmer schützt, im dichten Verkehr (Stop und Go) automatisches Fahren oder Kolonnenfahrt („elektronische Deichsel“) ermöglicht und unterstützend beim Einparken hilft.

Mit Radarsensoren kann eine solche elektronische Schutzhülle geschaffen werden. Erste Fahrerassistenzsysteme zur automatischen Abstandregelung und Hinderniswarnung auf Radarbasis („Intelligenter Tempomat“) sind bereits auf dem Markt.

Nur bei einer erheblichen Durchdringung der Fahrzeugflotte mit derartigen Systemen können die Unfallzahlen drastisch zu reduziert und damit erheblicher volkswirtschaftlichen Schaden abgewendet werden. Ein wesentlicher nachgewiesener Effekt solcher Systeme ist ein verbesserter Verkehrsfluss und die Verringerung der Gefahr von Staus. Der sich daraus ableitende volkswirtschaftliche und ökologische Effekt wäre immens und bedeutet einen nachhaltigen Mobilitäts-erhalt für die Nutzer von Kraftfahrzeugen.

Ergänzend zu den bereits verfügbaren Tempomatradaren stehen breitbandige Ultra-Wideband (UWB)-Nahbereichsradarsensoren für Sicherheitssysteme vor der Markteinführung. Sie arbeiten bei 24 GHz. Aufgrund des hohen Preises werden diese Systeme zunächst nur in Premiumfahrzeugen angeboten. Für das Einführungsszenario wird eine ähnliche Entwicklung wie bei Airbag, ABS und ESP erwartet. Jedoch kommt erschwerend hinzu, dass für diese sicherheitsrelevanten Nahbereichsradarsensorsysteme aus frequenzregulatorischen Gründen ab 2014 der Frequenzbereich 77-81 GHz festgelegt worden ist.

Damit diese sicherheitsrelevanten Sensoren auch in Zukunft universell verfügbar und einsetzbar sind, ergeben sich zwei Aufgabenfelder:

1. Forschung und Entwicklung für Systeme mit einer dreifach höheren Frequenz,
2. Bereitstellung einer Technologie, die auch bei der höheren Frequenz eine kostengünstige Realisierung der Systeme zulässt, so dass sie preisgünstig in allen Fahrzeugklassen einge-

führt werden können und durch weit verbreitete Einführung die Sicherheit im Straßenverkehr erhöhen, die Unfallzahlen reduzieren und möglichst vielen Fahrern erhöhten Komfort anbieten.

Eine Halbleitertechnologie, die die Voraussetzungen dafür erfüllt, ist die Si/SiGe Technologie. Diese auf dem Halbleiter-Mainstream „Silizium“ basierende Technologie bietet die physikalischen (Grenzfrequenzen über 200 GHz) und technologischen Voraussetzungen für eine kostengünstige Versorgung mit den notwendigen Hochfrequenz-Komponenten und Chips. Allerdings stößt die Si/SiGe-Technologie damit in einen neuen, bisher als Massenmarkt noch nicht vorhandenen Hochfrequenzbereich vor und bedarf einer grundlegenden Erforschung und Entwicklung.

Parallel müssen für die Sensoren der „elektronischen Hülle“ die Spezifikationen erforscht, definiert und festgelegt werden und hieraus die erforderlichen Parameter für die Hochfrequenzkomponenten und Chips abgeleitet werden.

Die Integration der HF-Komponenten und -Chips zu den Nah- und Fernbereichsradarsensoren erfordert die Anwendung nanoelektronischer Technologien und die Entwicklung entsprechender Aufbau- und Verbindungstechniken.

Im Vorhaben Kfz-Höchstfrequenzelektronik (KOKON, Laufzeit 01.09.2004 - 31.08.2007) arbeiteten die wichtigsten deutschen Halbleiterproduzenten (Infineon, Atmel), die bedeutendsten deutschen Fahrerassistenz-Entwicklungsfirmen (Bosch, Conti-Temic) und ein großer deutscher Automobilhersteller (DaimlerChrysler) zusammen, unterstützt durch kompetente Universitäten und Institute. Durch die gleichzeitige Betrachtung der Anwendung Fernbereichsradar bei 76,5 GHz und Nahbereichsradar bei 79 GHz („X-Modell“, s. Bild 1) wurde das für das volle Ausschöpfen des Kostenreduktionspotenzials erforderliche Marktvolumen adressiert. Projektziel war die Demonstration je eines Systems für den Nah- und Fernbereich in einem realen Fahrzeugumfeld.

Das Vorhaben sollte die Marktführerschaft der deutschen Automobil-Zulieferer und –Hersteller für die Zukunft sichern, Arbeitsplätze in Deutschland langfristig sichern oder schaffen, einen nachhaltigen Beitrag zur Erhöhung der Sicherheit und des Komfort im Straßenverkehr leisten und zur Reduzierung bzw. Vermeidung von Unfällen beitragen.

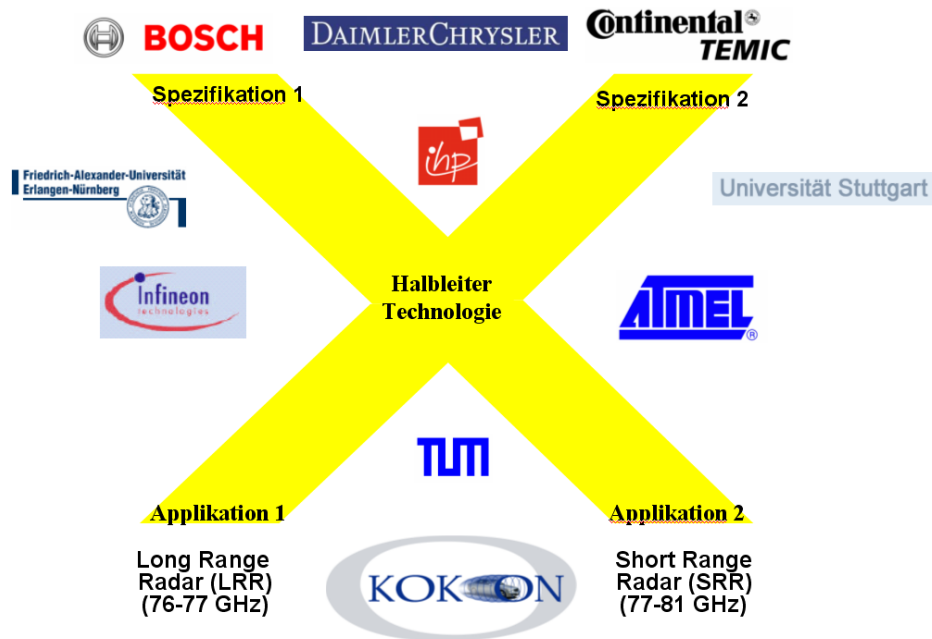


Bild 1: KOKON-Projektorganisation im „X-Modell“.

Die **DaimlerChrysler AG** hatte die Rolle des Konsortialführers im KOKON-Projekt inne. Im Rahmen der von DaimlerChrysler zu leistenden Projektbeiträge (Systemspezifikation und Bewertung) wurden sowohl Weitbereichssensoren im Frequenzband 76-77 GHz als auch Nahbereichssensoren im zukünftigen Frequenzband 77-81 GHz adressiert. Dies umfasste messtechnische Untersuchungen zur genauen Spezifikation der Erfassungseigenschaften derartiger Kfz-Radare, die Ableitung von Kriterien für den Systementwurf in Abhängigkeit von der jeweiligen Applikation, die Bewertung und den Vergleich verschiedener Konzepte mit Spezifikation für kritische Einzelkomponenten sowie abschließende Testfahrzeug-Erprobung und Bewertung der im Rahmen des Gesamtprojekts entstandenen Sensor-Prototypen. Insbesondere wurden die Betriebs- und Fahrzeugintegrationsaspekte von Nahbereichssensoren intensiv untersucht, da die einschlägige Wissensbasis bei den hohen Frequenzen sehr gering ist. Ein zentrales Problem war in diesem Kontext die Betrachtung des Einflusses von (lackierten) Stossfängern auf den Betrieb der hierunter verdeckt verbauten Nahbereichsradare. Als Ergebnis konnte den Sensor-, Stossfänger- und Lackherstellern wichtige Hinweise zur Wechselwirkung „Stossfänger-Sensor“ sowie zur Optimierung der Basis- und Lackmaterialien an die Hand gegeben werden. Eine weitere wesentliche Aufgabe war die Einflussnahme auf Frequenzregulierung und Standardisierung sowohl der Nahbereichs- als auch der Weitbereichsradare. Für die Weiter- und Neuentwicklung der Sensoren wurden Schaltungskonzepte, Hochfrequenzkomponenten und Aufbautechniken identifiziert, die insbesondere bei großen Stückzahlen attraktive Endpreise versprechen.

Die Arbeiten wurden wirkungsvoll durch Simulationsarbeiten des Unterauftragnehmers Universität Erlangen-Nürnberg (Prof. Weigel) unterstützt.

**Atmel Germany** hat im KOKON-Projekt eine Technologie und Schaltungsblöcke für ein 77GHz „short range radar“ (SRR) entwickelt. Die Arbeiten wurden als Weiterentwicklung der vorhandenen SiGe2-Prozesslinie für eine 0,35  $\mu\text{m}$  Technologie-Generation aufgesetzt. Einer der wichtigsten Punkte war somit die Umsetzung und Verkleinerung der Strukturen und Erstellung der damit einhergehenden Modelle für die Schaltungsentwicklung. Weiterhin mussten technologische Optimierungsarbeiten zur Erhöhung der Transistorgeschwindigkeit durchgeführt werden. In einigen Teilbereichen wurde hierbei die Expertise der Unterauftragnehmer IHP, sowie der Universität Stuttgart, Prof. Kasper, genutzt. Die Schaltungsentwicklung und das Layout wurden unterstützt im Rahmen eines Unterauftrags an die Universität Ulm, Prof. Schumacher, der auf seine langjährigen Erfahrungen und Expertise im Bereich SiGe-Schaltungsentwicklung aufbauen konnte.

Bei der Technologieentwicklung war der Schwerpunkt die Steigerung der Transistorgeschwindigkeit mit einem Zielwert von 150GHz für die Transitfrequenz  $f_T$  und die maximale Schwingfrequenz  $f_{\text{max}}$ . Hierzu wurde der Kollektoraufbau der Transistoren untersucht, alternative Konzepte mit vergrabenen Siliziden überprüft und eine Optimierung der Basis vorgenommen. Als Ergebnis wurde die Dicke der Kollektor-Epitaxie neu eingestellt, eine zusätzliche „elevated buried layer“ Implantation eingeführt, das SiGe-Basis-Profil optimiert und eine selektiv abgeschiedene Leitbasis eingeführt. Diese Prozessschritte wurden dann auf die 0,35  $\mu\text{m}$  Technologie angepasst. Durch die verzögerte Investition in die nötigen Anlagen konnte der ursprüngliche Zeitplan nicht mehr eingehalten werden. Dadurch konnten innerhalb der Projektlaufzeit nicht alle Verbesserungen einfließen und die maximal erreichte Geschwindigkeit liegt bei 130 GHz für die Transit- und ebenfalls für die maximale Schwingfrequenz.

Die Modellbildung für die neuen Transistoren erfolgte parallel zur Technologieentwicklung mit Unterstützung der TU Dresden, Prof. Schröter. Hierfür wurden in Zusammenarbeit mit der TU Dresden ein Parametersatz für das Entwicklungstool „TRADICA“ erstellt, mit dem die für die Schaltungsentwicklung notwendigen Modelle generiert wurden.

Die Schaltungsentwicklung erfolgte in engem Kontakt mit dem Partner Continental. Mit ihm zusammen wurden die Komponenten für ein SRR definiert und die Spezifikationen für folgende Schaltungsblöcke abgestimmt: VCO, Mischer, 32x-Teiler und für einen optionalen LNA. Durch die verzögerte Bereitstellung der Technologie wurde eine erste Generation von Schaltungsblöcken beim IHP Frankfurt/Oder auf deren MPW-Durchläufen erstellt. Es konnten funktionsfähige Schaltungsblöcke nachgewiesen werden, die nahe an den geforderten Spezifikationen lagen. Der dynamische Teiler zeigte einen Arbeitsbereich von bis zu 93 GHz. Aufbauend auf diesen Ergebnissen wurde eine zweite Generation der Schaltungsblöcke erarbeitet, die zum Projektende noch bei Atmel im Prozessdurchlauf waren.

Von **Infineon** wurde eine für automotive Höchstfrequenzanwendungen geeignete Silizium-Germanium Technologie entwickelt und damit Radarfrontend MMICs für das 76-81 GHz Band entworfen und hergestellt. Die MMIC Anforderungen wurden zusammen mit den Projektpartnern Bosch (für 77 GHz LRR) und CAS (für 79 GHz SRR) spezifiziert. Die abschließenden Evaluierungen im System erfolgten ebenfalls bei diesen Partnern. Alle vereinbarten Arbeiten konnten erfolgreich und termingerecht abgeschlossen werden.

Die entwickelte Bipolar-Technologie bietet unterschiedliche SiGe-NPN-Transistortypen, mit Grenzfrequenzen von 200 GHz ( $f_t$ ) und 250 GHz ( $f_{max}$ ) bei einer Spannungsfestigkeit von  $BV_{CE0} = 1.8$  V für den Ultra-High-Speed-Transistor bzw. 35 / 120 GHz bei  $BV_{CE0} = 3.5$  V für den Hochvolttransistor. Das Bauelemente-Spektrum wird durch einen vertikalen PNP, 2 Poly-Si-Widerstandstypen (150 und 1000 Ohm/sq.), einen Metallfilm-Präzisionswiderstand (20 Ohm/sq.), einen hochgütigen Metall-Metall-Kondensator (MIM), Laser-Fuses, eine Varaktordiode, und ein Gold-Pad erweitert. Die Implementierung eines sogenannten „Doppel-Epitaxie“ Konzepts ermöglichte dabei die gleichzeitige Integration eines Ultra-High-Speed-Transistors, der eine dünne Kollektor- bzw. Epitaxieschicht erfordert, mit einer Varaktordiode (spannungsgesteuerte Kapazität), die für eine ausreichend große Tuningrange eine möglichst große Epitaxiedicke erfordert. Eine auch bei hohen Stromdichten sehr zuverlässige, 4-lagige Kupfermetallisierung gestattet die Realisierung sehr kompakter, hochintegrierter Mikrowellendesigns.

Durch entwicklungsbegleitende Zuverlässigkeitsuntersuchungen konnte gezeigt werden, dass dieser Prozess die erhöhten Qualitätsanforderungen der Automobilindustrie erfüllen wird. Besonders kritisch sind diesbezüglich HF-Leistungsverstärker, da hier die SiGe-HBTs teilweise über ihrer Kollektor-Emitter-Durchbruchspannung betrieben werden müssen, um die geforderten Mikrowellen-Leistungen an 50 Ohm erzeugen zu können. Durch extensive Zuverlässigkeits-Untersuchungen konnte der Nachweis ausreichender Langzeitstabilität der Transistoreigenschaften in diesem Betriebsmodus erbracht werden.

Im Arbeitspaket Schaltungsentwicklung konnte erstmals demonstriert werden, dass mit rein Silizium basierten MMICs ausreichende Performancedaten für automotive Long- und Short-Range-Radarsensoren im 76-81 GHz Band über den vollen Temperatur-Einsatzbereich realisiert werden können. Zwei Beispiele seien herausgegriffen:

Ein VCO mit integrierten Leistungsverstärkern, Teilern und integrierter Sensorik für Chip-Temperatur liefert bei einer Chipfläche von weniger als 2 mm<sup>2</sup> und 5.5 V Versorgungsspannung eine HF-Ausgangsleistung von 16 dBm! Das Phasen-Rauschen beträgt nur -95 dBc/Hz (bei 1 MHz Offset).

Eine aktive I/Q-Mischer-Schaltung mit integrierten Low-Noise-Amplifier erreicht eine Gesamt-Verstärkung von > 28 dB bei einer Rauschzahl von < 12 dB über den gesamten Frequenzbereich von 76-81 GHz. Diese und ähnliche Schaltungsblöcke wurden von unseren Projektpartnern erfolgreich in LRR- und SRR-Sensoren erprobt.

Die Forschungsarbeiten wurden wesentlich durch Design- und Modellierungsarbeiten unserer universitären Unterauftragnehmer (Universität Erlangen-Nürnberg und TU München) sowie durch ergänzende Charakterisierungs- und Zuverlässigkeits-Untersuchungen beim IHP unterstützt.

Die **Robert Bosch GmbH** beteiligte sich im Rahmen des Projektes KOKON an folgenden Arbeitspaketen:

- Spezifikation von Schlüsselkomponenten in SiGe für LRR-Sensoren.
- Charakterisierung und Evaluierung der SiGe-Komponenten.
- Entwicklung und Evaluierung einer Aufbau- und Verbindungstechnik für SiGe-Komponenten.



- Darstellung von Demonstratoren basierend auf den entwickelten Technologien.
- Integration von SiGe-Komponenten in LRR-Sensoren.

Basierend auf den Ergebnissen von KOKON lassen sich folgende Kernaussagen treffen:

- Mit SiGe lassen sich die Spezifikationen von Automobilradaren an elektronische Komponenten mit einer Betriebsfrequenz von 77 GHz erfüllen.
- Gegenüber auf dem Markt befindlichen GaAs-Komponenten weisen SiGe-MMICs signifikante Vorteile bezüglich Performance, Zuverlässigkeit, Prüftechnik und Kosten auf.
- SiGe eröffnet ganz neue Möglichkeiten der Hochintegration. Weiterentwicklungen basierend auf den Ergebnissen aus KOKON sollen zu konfigurierbaren Single-Chip-Radaren mit integrierten Diagnosemöglichkeiten führen.
- Der Einsatz von SiGe ermöglicht Integrationstechnologien, welche den Anforderungen einer Automobilfertigung genügen können.
- Auf SiGe basierende Weitbereichsradare bestehen das Benchmarking mit auf dem Markt befindlichen Systemen.
- SiGe-MMICs werden als Schlüsselkomponenten in die kommende Generation des Weitbereichsradars der Robert Bosch GmbH eingesetzt.

Die Robert Bosch GmbH wurde bei der Entwicklung von SiGe-HBTs und bei der Systemsimulation effizient von der Universität Stuttgart (Prof. Kasper) und der Universität Erlangen-Nürnberg (Prof. Weigel) unterstützt.

Die **Continental Temic** arbeitete innerhalb des Gesamtvorhabens an einem Demonstrator eines zukünftigen Nahbereichsradarsensors (NBR) bei 79 GHz. In enger Kooperation mit den Partnern im Konsortium wurden dazu nach der Definition des System- und Demonstrator-konzepts die notwendigen SiGe-Komponenten spezifiziert. Benötigt werden insbesondere leistungsfähige Mischer und VCOs. Die Kernaufgabe lag in der Erarbeitung einer für die SiGe-Technologie geeigneten Aufbau- und Verbindungstechnik, die sowohl den elektrischen Anforderungen im vorliegenden Höchsthfrequenzbereich als auch den sehr anspruchsvollen mechanischen Randbedingungen durch die Umwelt- und Zuverlässigkeits-erfordernisse gerecht wurde. Eine besondere Herausforderung stellen die Bond-Übergänge zwischen Chip und Träger dar, die möglichst verlustfrei aufzubauen sind sowie die auf kleinstem Raum lokalisierte Wärme-produktion, die über das Board abgeführt werden muss. Mit Hilfe der Arbeitsergebnisse wurde anschließend ein kompletter Radardemonstrator bestehend aus Antenne, SiGe-basiertem Höchsthfrequenz-Frontend, sowie einem Elektronik-Modul zur Steuerung und Datenauswertung aufgebaut. Dabei konnte das Potential der 79 GHz-Sensorik aufgezeigt werden, die Baugröße heutiger 24GHz-Sensorik deutlich zu unterschreiten. Der Demonstrator wurde zunächst im Labor bezüglich seiner Leistungsparameter charakterisiert und anschließend auf Prüfständen in seiner Grundfunktionalität bewertet, um die Anwendbarkeit der SiGe-basierten Radarsensorik



im Höchsthfrequenzbereich 76-81 GHz erstmalig für automobiler Anwendungen nachzuweisen. Mithilfe eines bistatischen Aufbaus und zwei Empfangskanälen konnte gezeigt werden, dass das Konzept einer digitalen Strahlformung bei den gegebenen Frequenzen von 76 – 81 GHz für die anvisierten Anwendungen nutzbar ist. Der Demonstrator zeigte eine Reichweite von ca. 30m auf Fahrzeuge und eine Winkelgenauigkeit von etwa 3°.

Die Continental Temic wurde unterstützt vom Institut für Halbleitertechnik IHT der Universität Stuttgart bei der theoretischen Untersuchung der Chip-Board- und Board-Antenne-Schnittstellen, möglichen Anpassungsnetzwerken und Koppelstrukturen, sowie der Konzeption und Simulation der Antennen. Zum Einsatz im Demonstrator kamen seriell gespeiste Patchantennen.

Die Ergebnisse des KOKON-Projektes lassen sich wie folgt zusammenfassen:

- Weltrekord für Höchsthfrequenzelektronik mit SiGe-Technologie von Infineon Technologies
- Weltweit erste Demonstration SiGe basierter HF-Frontends für automobiler Radarsensorik im 76-81 GHz-Band und Realisierung von MMICs
- Demonstration der weltweit ersten SiGe basierten automobiler Radarsensoren (77 GHz Weitbereichssensor durch Bosch, 79 GHz-Nahbereichssensor durch Continental Automotive).
- Standardisierung durch gemeinsame Spezifikation von SiGe-Komponenten.

Insgesamt ist das Projekt als sehr erfolgreich zu bewerten: die gesamte Kette vom Halbleiter über den Modul- und System- bis zum Autohersteller war involviert, ein großer Schritt in Richtung kostengünstiges SiGe basiertes Radar wurde getan und der Ausbau der Marktführerschaft deutscher Firmen in der Automobilelektronik wurde wirksam unterstützt. Dies wird unterstrichen durch die auf den KOKON-Ergebnissen aufbauende, weltweit erstmalige, Markteinführung eines SiGe basierten ACC-Radarsensors durch Bosch (Vorstellung des ACC-Radarsensors LRR3 bei der SAE2008).

Abschließend sei dem Bundesministerium für Bildung und Forschung für die Förderung des KOKON-Projekts und die stets wohlwollende Begleitung während der Laufzeit gedankt.

## II. Übersicht des Teilvorhabens der Infineon Technologies AG

Von **Infineon** wurde eine für automotive Höchstfrequenzanwendungen geeignete Silizium-Germanium Technologie entwickelt und damit Radarfrontend MMICs für das 76-81 GHz Band entworfen und hergestellt. Die MMIC Anforderungen wurden zusammen mit den Projektpartnern Bosch (für 77 GHz LRR) und CAS (für 79 GHz SRR) spezifiziert. Die abschließenden Evaluierungen im System erfolgten ebenfalls bei diesen Partnern. Alle vereinbarten Arbeiten konnten erfolgreich und termingerecht abgeschlossen werden.

Die entwickelte Bipolar-Technologie bietet unterschiedliche SiGe-NPN-Transistortypen, mit Grenzfrequenzen von 200 GHz ( $f_t$ ) und 250 GHz ( $f_{max}$ ) bei einer Spannungsfestigkeit von  $BV_{CE0} = 1.8$  V für den Ultra-High-Speed-Transistor bzw. 35 / 120 GHz bei  $BV_{CE0} = 3.5$  V für den Hochvolttransistor. Das Bauelemente-Spektrum wird durch einen vertikalen PNP, 2 Poly-Si-Widerstandstypen (150 und 1000 Ohm/sq.), einen Metallfilm-Präzisionswiderstand (20 Ohm/sq.), einen hochgütigen Metall-Metall-Kondensator (MIM), Laser-Fuses, eine Varaktordiode, und ein Gold-Pad erweitert. Die Implementierung eines sogenannten „Doppel-Epitaxie“ Konzepts ermöglichte dabei die gleichzeitige Integration eines Ultra-High-Speed-Transistors, der eine dünne Kollektor- bzw. Epitaxieschicht erfordert, mit einer Varaktordiode (spannungsgesteuerte Kapazität), die für eine ausreichend große Tuningrange eine möglichst große Epitaxiedicke erfordert. Eine auch bei hohen Stromdichten sehr zuverlässige, 4-lagige Kupfermetallisierung gestattet die Realisierung sehr kompakter, hochintegrierter Mikrowellendesigns.

Durch entwicklungsbegleitende Zuverlässigkeitsuntersuchungen konnte gezeigt werden, dass dieser Prozess die erhöhten Qualitätsanforderungen der Automobilindustrie erfüllen wird. Besonders kritisch sind diesbezüglich HF-Leistungsverstärker, da hier die SiGe-HBTs teilweise über ihrer Kollektor-Emitter-Durchbruchspannung betrieben werden müssen, um die geforderten Mikrowellen-Leistungen an 50 Ohm erzeugen zu können. Durch extensive Zuverlässigkeitsuntersuchungen konnte der Nachweis ausreichender Langzeitstabilität der Transistoreigenschaften in diesem Betriebsmodus erbracht werden.

Im Arbeitspaket Schaltungsentwicklung konnte erstmals demonstriert werden, dass mit rein Silizium basierten MMICs ausreichende Performancedaten für automotive Long- und Short-Range-Radarsensoren im 76-81 GHz Band über den vollen Temperatur-Einsatzbereich realisiert werden können. Zwei Beispiele seien herausgegriffen:

Ein VCO mit integrierten Leistungsverstärkern, Teilern und integrierter Sensorik für Chip-Temperatur liefert bei einer Chipfläche von weniger als 2 mm<sup>2</sup> und 5.5 V Versorgungsspannung eine HF-Ausgangsleistung von 16 dBm! Das Phasen-Rauschen beträgt nur -95 dBc/Hz (bei 1 MHz Offset).

Eine aktive I/Q-Mischer-Schaltung mit integrierten Low-Noise-Amplifier erreicht eine Gesamtverstärkung von > 28 dB bei einer Rauschzahl von < 12 dB über den gesamten Frequenzbereich von 76-81 GHz. Diese und ähnliche Schaltungsblöcke wurden von unseren Projektpartnern erfolgreich in LRR- und SRR-Sensoren erprobt.

Die Forschungsarbeiten wurden wesentlich durch Design- und Modellierungsarbeiten unserer universitären Unterauftragnehmer (Universität Erlangen-Nürnberg und TU München) sowie durch ergänzende Charakterisierungs- und Zuverlässigkeits-Untersuchungen beim IHP unterstützt.

### III. Prozessintegration der SiGe Höchstfrequenztechnologie

#### III.1 Konzept für die Gesamtprozessintegration

Neben der Entwicklung eines SiGe HBTs, der für den Einsatz bei höchsten Betriebsfrequenzen geeignet ist, müssen zur Realisierung von integrierten Schaltungen eine Reihe zusätzlicher aktiver und passiver Bauteile entworfen und zu einer Gesamttechnologie integriert werden. Infineon konnte dabei auf die im Rahmen des BMBF-Projekts „HiSpeed“ (Höchstperformante SiGe-Technologien für High-Speed-Kommunikationsnetze) aufbauen. Diese Technologie wurde zur Realisierung von Schaltungen für die hochbitratige Datenkommunikation bei 40 – 80 Gbit/s entwickelt und stellt mit einem Transistor mit 150 GHz Transitfrequenz bereits sehr schnelle Bipolartransistoren zur Verfügung. Außerdem sind in dieser Technologie schon einige Bauteile integriert, die auch zur Herstellung von Schaltungen für Radaranwendungen im Automobil benötigt werden, wie z. B. Widerstände und Kondensatoren.

Aufbauend auf diesem Gesamtprozess wurde nun eine für Automobilanwendungen optimierte Technologie entwickelt. So wurde z. B. die Anzahl der verfügbaren Bauteile signifikant erweitert. Neben npn Transistoren für höchste Betriebsfrequenzen wurden nun auch Bauteile mit höherer Durchbruchspannung integriert. Damit lassen sich auch ESD-Elemente realisieren, die den Anforderungen im Automobilbereich gerecht werden. Zusätzlich wurde ein Varaktor entwickelt, der für die Frequenzabstimmung des 77 GHz Oszillators für das Kfz-Radar von entscheidender Bedeutung ist. Die widersprüchlichen Anforderungen des Höchstfrequenz-Transistors nach einer dünnen Kollektor-Epitaxieschicht und des Hochvolt-Transistors und Varaktors nach weiten Raumladungszonen wurden durch ein neuartiges Kollektor-Konzept, das auf zwei Epitaxieschritten beruht, gelöst.

Zur Realisierung neuer Schaltungskonzepte (z. B. Stromspiegel) wurde erstmals auch ein vertikaler pnp Transistor in die höchstfrequente Bipolartechnologie integriert.

Zwei Polysilizium-Widerstände mit unterschiedlichem Schichtwiderstand, ein Metall-Widerstand und ein MIM (Metal-Insulator-Metal) Kondensator bilden das Spektrum an verfügbaren passiven Bauelementen.

Die Integration einer durch einen Laser auftrennbaren Fuse hat sich als vielfältig einsetzbares Hilfsmittel erwiesen. Damit lassen sich z. B. unterschiedliche Eigenschaften der Schaltungen aufgrund von Fertigungstoleranzen abgleichen, Schaltungsteile, die zum Funktionstest der ICs benötigt werden, nach dem Test abtrennen oder eine chipfeine Kodierung der Bauelemente realisieren.

Anstelle des im Projekt HiSpeed verwendeten Bond-Pads aus Aluminium wurde für die Automobilanwendungen ein hochtemperaturstabiles Pad aus Gold entwickelt. Damit lassen sich die Zuverlässigkeitsanforderungen an das Pad, die aus dem Einsatz in einem nicht für Feuchte dichten Gehäuse in der Radarapplikation resultieren, erfüllen.

Die in diesem Projekt entwickelte Technologie geht damit bzgl. Komplexität und Anforderungen an die einzelnen Bauelemente weit über die bisher bei Infineon entwickelten Hochfrequenztechnologien hinaus.

Zusätzlich erfordert der Einsatz im Automobil sehr hohe Anforderungen an die Zuverlässigkeit der Bauteile. Die geringen tolerierten Fehlerraten im ppm-Bereich, der hohe Temperaturbereich

von  $-40^{\circ}\text{C}$  bis  $125^{\circ}\text{C}$  Umgebungstemperatur und die lange Lebensdauer von Automobilen stellen im Vergleich zu den Anforderungen der optoelektronischen Datenübertragung deutlich schärfere Bedingungen dar. Dem wurde bei der Entwicklung der Technologie konsequent Rechnung getragen. So kommt z. B. eine Kupfer-Metallisierung zum Einsatz, die bzgl. Elektromigrationsfestigkeit deutlich bessere Eigenschaften aufweist als die bisher verwendeten Aluminium-Metallisierungen. Außerdem wird die Zuverlässigkeit der Bauteile für den gesamten im Automobilbereich geltenden Temperaturbereich untersucht (s. Kapitel VI).

Wesentlich ist auch, dass die im Rahmen dieses Projekts entwickelte Technologie B7HF200 bei Infineon zum ersten Mal eine hochperformante SiGe-Technologie auf 200 mm Scheiben realisiert. Im Vergleich zur im Projekt HiSpeed entwickelten Technologie auf Scheiben mit 150 mm Durchmesser ist damit der Schritt zu einer zukunftssträchtigen und kostengünstigen Herstellung gelungen. Dafür musste erheblicher Aufwand bei der Prozessentwicklung investiert werden um z. B. die gleiche Prozesshomogenität auf dem größeren Scheibendurchmesser zu gewährleisten. Außerdem war ein kompletter Transfer der Prozessbasis von der Fertigung auf 150 mm Scheiben in München-Perlach zur 200 mm Fertigung in Regensburg nötig. Dafür ist nun aber erstmals ein Fertigungsprozess vorhanden, der die kostengünstige Herstellung von Schaltungen für Radaranwendungen im Automobil auf Basis von Silizium ermöglicht und langfristig deren Produktion in Deutschland sicherstellt.

Tabelle III.1.1 gibt einen Überblick über die in der Technologie B7HF200 vorhandenen Bauteile mit ihren wesentlichen Eigenschaften.

Element	Eigenschaften
UHS (ultra high speed) npn	$f_T = 200 \text{ GHz}$ , $f_{\text{max}} = 250 \text{ GHz}$ , $BV_{\text{ce0}} > 1.2 \text{ V}$
HS (high speed) npn	$f_T = 170 \text{ GHz}$ , $f_{\text{max}} = 250 \text{ GHz}$ , $BV_{\text{ce0}} > 1.4 \text{ V}$
HV (high voltage) npn	$f_T = 35 \text{ GHz}$ , $f_{\text{max}} = 120 \text{ GHz}$ , $BV_{\text{ce0}} > 3.3 \text{ V}$
vertikaler pnp	$h_{\text{FE}} = 55$ , $V_{\text{Early}} = 35 \text{ V}$ , $BV_{\text{ce0}} < -6.5 \text{ V}$ , $f_T = 3.5 \text{ GHz}$
Varaktor	$C(0 \text{ V}) / C(-5 \text{ V}) = 2.2$ , $Q = 8$ (@ 77 GHz)
ESD Schutz	1 kV HBM
Hochohm-Polysilizium-Widerstand	1000 Ohm/sq.
Niederohm-Polysilizium-Widerstand	150 Ohm/sq.
TaN Widerstand	20 Ohm/sq.
MIM Kondensator	$\text{Al}_2\text{O}_3$ Dielektrikum, $1.4 \text{ fF}/\mu\text{m}^2$
Fuse	800 nm Al, mit Laser trennbar
4 Lagen Cu Metallisierung	600 nm / 600 nm / 1000 nm / 2500 nm
Pad	Ti / Pt / Au (500 nm)

Tabelle III.1.1: Überblick über die in der Technologie B7HF200 vorhandenen Bauteile und ihre wichtigsten Eigenschaften

AB_KOKON		März 2008
----------	--	-----------

Im Folgenden werden die grobe Abfolge der Prozessblöcke und die einzelnen Lithografieschritte des Gesamtprozesses beschrieben. Eine detaillierte Beschreibung der wichtigen Prozessschritte, die Konzepte zur Realisierung der einzelnen Bauelemente und deren elektrische Eigenschaften finden sich in den folgenden Abschnitten.

Zunächst werden mit Hilfe einer Lackmaske Justiermarken auf der blanken Silizium-Scheibe geätzt, um die Justage der nachfolgenden Fotoebenen zu ermöglichen. Anschließend erfolgt die Implantation und Eindiffusion des Buried Layers für den HV npn und den Varaktor, der die niederohmigen Kollektor- bzw. Kathodenanschlüsse für diese Bauelemente ermöglicht. Eine erste dicke Kollektor-Epitaxie stellt die für den HV npn und den Varaktor benötigte weite Kollektorraumladungszone zur Verfügung. Analog wird nun der Buried Layer des HS und UHS npn implantiert. Er dient im HV npn und Varaktor gleichzeitig als Anschluss des vergrabenen HV Buried Layers. Eine n-dotierte implantierte Isolationswanne isoliert den vertikalen pnp vom p-dotierten Silizium-Substrat. Eine dünne zweite Kollektor-Epitaxie stellt nun die für die schnellen npn Transistoren benötigten flachen Kollektorgebiete zur Verfügung.

Anschließend werden durch Ionenimplantation in den Kollektoranschlussgebieten niederohmige Kontakte der Buried Layer erzeugt. Die Isolation der Bauteile untereinander erfolgt durch tiefe mit Oxid und Polysilizium gefüllte Gräben (Deep Trench) bzw. durch mit Oxid gefüllte flache Gräben (Shallow Trench Isolation STI). Mit Hilfe eines chemisch mechanischen Polierschritts (CMP) wird dabei eine planare Oberfläche für die nachfolgenden Prozessschritte erzeugt. Die Implantation eines p Channel Stops, der n-leitende Kanäle unter den Oxidgebieten der Shallow Trench Isolation vermeidet, vervollständigt die Isolation der Bauteile untereinander.

Die Dotierstoffprofile des vertikalen pnp werden durch Implantation der mit Phosphor dotierten Basis und des Bor dotierten Kollektors und Buried Layers durch eine gemeinsame Lackmaske erzeugt. Anschließend wird der mit Arsen dotierte Anschluss der Basis des pnp implantiert, der gleichzeitig in den Kollektorkontakt des npn eingebracht wird und dort den Kollektoranschlusswiderstand weiter verringert. Nach Abscheidung eines Oxides werden durch Ionenätzen Öffnungen für den Emitter des pnp, die Anode des Varaktors und Substratkontakte definiert. Das Kathodenprofil des Varaktors wird durch eine Phosphor-Implantation eingestellt. Anschließend wird eine Siliziumschicht abgeschieden, die als Emitter des pnp, als Basiselektrode des npn, als Anode des Varaktors und zur Herstellung von Polysilizium-Widerständen dient. Durch Ionenimplantation werden die Schichtwiderstände des Hochohm- und Niederohmwiderstands in der Polysiliziumschicht eingestellt. Anschließend wird das Polysilizium strukturiert. Der Definition des Emitterfensters kommt dabei für die Performance des npn Transistors große Bedeutung zu. Daher stellt dieser Strukturierungsschritt die größten Anforderungen an die Lithografie im gesamten Prozess. Die minimale Strukturbreite beträgt in der Lithografie in dieser Ebene 0.35  $\mu\text{m}$ . Durch einen Spacer wird die effektive Emitterbreite später auf 180 nm reduziert.

Innerhalb der Emitteröffnungen des npn Transistors werden nun Nitridspacer erzeugt, die eine für die selektive Epitaxie der Basis des SiGe HBT geeignete Oberfläche darstellen. Nach Implantation der Kollektoren für den HV, HS und UHS npn wird die Oxidschicht im npn Transistor durch eine Nassätzung mit Flußsäure geöffnet und die SiGe Basis des HBT selektiv abgeschieden, d. h. die Epitaxie erfolgt nur auf freiliegenden Siliziumschichten, nicht jedoch auf mit Dielektrikum bedeckten Bereichen. Der nicht mehr benötigte Nitrid-Spacer wird nun nasschemisch entfernt und ein Oxid-Spacer gebildet, der die Isolation zwischen den Basis- und Emitter-Anschlussbereichen bildet. Anschließend wird eine mit Arsen dotierte Schicht abge-

schieden, die in den aktiven Transistorgebieten monokristallin aufwächst und als Emitteranschluss dient. Nach der Strukturierung dieser Schicht werden die Oxidschichten über den Polysiliziumelektroden des npn nasschemisch entfernt und die polykristallinen Anschlussbereiche zur Verringerung der Anschlusswiderstände siliziert.

Als Zwischenoxid wird nun eine BPSG-Schicht abgeschieden und mit CMP planarisiert, nachdem mittels eines Temperschritts der Emitter in das Siliziumsubstrat diffundiert wurde. Anschließend wird die Kupfer-Metallisierung hergestellt. Dazu werden für jede Metallebene Dielektrika abgeschieden, in die Gräben für die Metallbahnen bzw. Vias geätzt werden. Nach Sputtern einer Barrierschicht und einer dünnen Cu-Startschicht werden die Gräben galvanisch mit Kupfer gefüllt und anschließend die Cu-Bahnen mit CMP strukturiert.

Zwischen Cu 1 und Cu 2 wird der TaN Widerstand integriert. Nach Strukturierung der Widerstandsschicht wird ein Dielektrikum abgeschieden und mit CMP planarisiert um für die nachfolgenden Prozessschritte wieder eine ebene Oberfläche zu erzeugen. Zwischen Cu 2 und Cu 3 wird der MIM Kondensator eingebaut. Mit einer ersten Lackmaske werden Anschlussbereiche zum Cu 2 definiert. Anschließend werden die untere Elektrode des Kondensators, das Dielektrikum aus Aluminiumoxid und die obere Elektrode abgeschieden und die Elektroden mit Hilfe zweier Masken strukturiert.

Nach Fertigstellen der Kupfer-Metallisierung wird zunächst ein Aluminium-Pad erzeugt. Aus dieser Schicht werden auch die Laser-Fuses hergestellt. Nach Planarisierung eines Oxids mit CMP wird eine Nitridpassivierung als Schutzschicht auf der Waferoberfläche abgeschieden. Im Pad-Bereich werden Vias aus Wolfram erzeugt, die die Aluminiumschicht im Pad kontaktieren. Als Abschluss wird mit einer Lackabhebetechnik ein Au-Pad strukturiert, das einen hochtemperaturbeständigen und korrosionsfesten Bondanschluss ermöglicht. Über den Fuse-Bereichen wird die Nitridpassivierung entfernt um eine effektive Einkopplung der Laserleistung beim Fuse-Prozess zu ermöglichen.



## III.2 SiGe Epitaxie

Die Entwicklung und Erforschung einer SiGe:C Epitaxie zur Realisierung ultraflacher SiGe Basisprofile ist einer der wichtigsten Schlüsselprozesse für die zu entwickelnde Höchstfrequenz-Bipolartechnologie mit Grenzfrequenzen bis 200 GHz und darüber. Ein wesentliches Ziel im Förderprojekt war, einen Epitaxieprozess für die Realisierung möglichst flacher (zur Erhöhung der Grenzfrequenz) und hochdotierter (zur Verringerung des Basisbahnwiderstandes) Basisprofile zu entwickeln und für die Integration in den Transistor bereit zu stellen. Der Schwerpunkt der Arbeiten lag auf der Weiterentwicklung des für 6" Waferdurchmesser existierenden Prozesses für den Einsatz bei 8" Waferdurchmesser. Die entwickelte SiGe-Basis-Epitaxie zeichnet sich aus durch einen selektiven Abscheideprozess, der optimal für das Transistorkonzept (Doppel-Polysilizium, selbstjustiert) geeignet ist. Eine zusätzliche Kohlenstoffdotierung garantiert die weitestgehende Erhaltung ultraflacher Basisprofile bis zum Prozessende.

### Übersicht

Die Übertragung des Epitaxieprozesses von 6" auf 8" Waferdurchmesser erfolgte im Rahmen der Verlagerung des Produktionsstandortes von der 6" Linie in München in die 8" Linie in Regensburg. Um die Übertragung des Prozesses so sicher wie möglich zu gestalten, wurde eine Zielanlage vom gleichen Hersteller verwendet, die weitestgehend baugleich war. Ein wesentlicher Unterschied umfasste jedoch spezielle Einbauten in der Abscheidungskammer, die eine verbesserte Uniformität bei dem größeren Waferdurchmesser ermöglichen.

Die Prozessentwicklung konzentrierte sich zunächst auf die Übertragung und Anpassung des Abscheideprozesses zur Erreichung identischer Basisprofile bei 8" Waferdurchmesser. Anschließend wurden die Parameter bezüglich Selektivität, Defektfreiheit und Uniformität optimiert. Ein zweiter Schwerpunkt war die Übertragung des Abscheideprozesses für den monokristallin abgeschiedenen Emitter, der durch einen wesentlich niedrigeren Emitterwiderstand gekennzeichnet ist.

### Konzept zur Herstellung Emitter-Basis-Komplex

Das bei Infineon benutzte Konzept basiert auf einem Innenspacer Transistor. Hier sollen nur die für die Epitaxie wichtigen Merkmale kurz dargestellt werden.

Das Wachsen der epitaktischen SiGe:C Basis ist in Abb. III.2.1 dargestellt. Der Transistor wird zunächst soweit vorprozessiert, bis die äußere Basiselektrode fertig gestellt ist. Dann wird das Emitterfenster durch Trocken- und Nassätzungen geöffnet und die monokristallinen Basis-Schichten werden von unten nach oben aufgewachsen. Gleichzeitig wird die polykristalline Verbindung zu der äußeren Basis von oben nach unten gewachsen. Dieses Transistorkonzept erfordert ein selektives Wachstum der SiGe:C Schichten auf offen liegenden Si-Oberflächen (mono- und polykristallin) unter Vermeidung einer Abscheidung auf der umliegenden Nitridoberfläche.



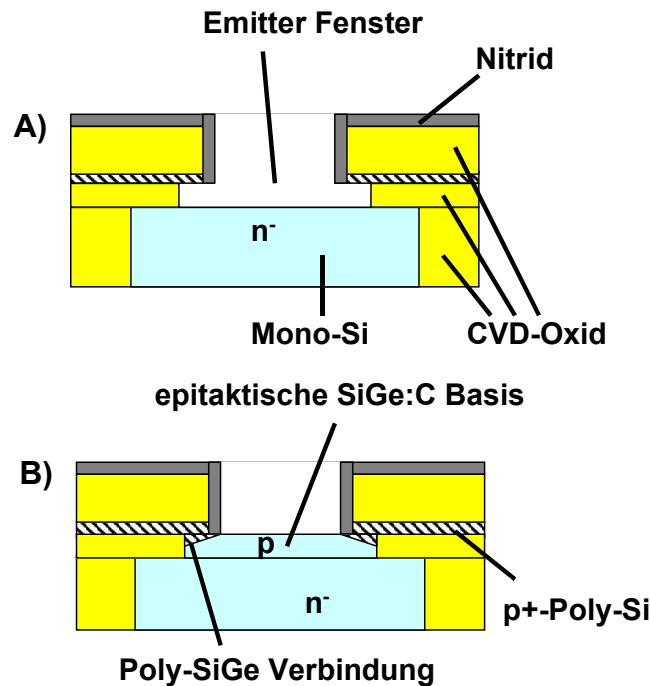


Abb. III.2.1: Herstellung des Emitter-Basis-Komplexes mit selektiver SiGe:C Epitaxie.

### Selektive SiGe:C Epitaxie

In der Halbleiterindustrie wird die Siliziumepitaxie überwiegend in Form einer Gasphasenabscheidung durchgeführt. Dabei werden Gase in eine Kammer geleitet und reagieren an der heißen Waferoberfläche. Bei der selektiven Epitaxie von SiGe werden die Gase  $\text{SiH}_2\text{Cl}_2$ ,  $\text{HCl}$ ,  $\text{GeH}_4$  und  $\text{H}_2$  verwendet. Zum Dotieren mit Bor und Kohlenstoff kommen noch die Gase Diboran ( $\text{B}_2\text{H}_6$ ) und Methylsilan ( $\text{SiH}_3\text{CH}_3$ ) hinzu. Die Dotierung in der Schicht hängt von dem Einbaukoeffizienten und dem Partialdruck des Dotiergases ab. Letzterer lässt sich über den Gasfluss des entsprechenden Dotiergases und die Konzentration des Gases in der Flasche einstellen. Der Einbaukoeffizient für den entsprechenden Dotierstoff hängt aber von weiteren Prozessparametern wie Temperatur, Druck, Ge-Gehalt und Partialdruck anderer Abscheide- und Dotiergase ab. Es besteht also ein kompliziertes gegenseitiges Abhängigkeitsverhältnis zwischen Prozessparametern und Schichteigenschaften, und eine Änderung eines Abscheideparameters zieht in der Regel eine Reihe von mehr oder weniger starken Änderungen anderer Schichteigenschaften nach sich. Deshalb ist die genaue Kenntnis der Abhängigkeiten entscheidend für die Beherrschung des Epitaxieprozesses.

Die epitaktische Abscheidung von SiGe:C muss für das hier benutzte Konzept selektiv sein, das heißt ein Schichtwachstum darf nur auf offen liegenden Si-Oberflächen stattfinden, nicht aber auf der umgebenden Nitridmaske. Selektivität lässt sich z.B. verbessern durch erhöhten Gasfluss von  $\text{HCl}$  und durch niedrigeren Prozessdruck.

Die Wahl der Abscheidetemperaturen hängt von verschiedenen Faktoren ab: Tiefe Temperaturen erlauben einerseits eine bessere Kontrolle der Schichtdicken und steilere Dotierstoffgradienten und sie begünstigen ein defektfreies Wachstum von glatten vollständig verspannten SiGe-Schichten, andererseits ist die Abscheiderate und damit der Waferdurchsatz sehr klein. Die Wahl der Prozesstemperatur muss alle Faktoren berücksichtigen und einen Kompromiss finden.

Der Epitaxie-Prozess findet in einer Einscheibenanlage mit Lampenheizung statt, wobei der Wafer auf einem rotierenden Suszeptor ruht. Die Temperatur des Wafers wird nicht nur durch Wärmeleitung zum Suszeptor bestimmt, sondern auch wesentlich durch Absorption und Emission von Strahlung an der Waferoberfläche. Änderungen in den Dicken der dielektrischen Schichten und in ihrem jeweiligen Flächenanteil verschieben den Strahlungshaushalt und damit die Wafertemperatur lokal und global.

Die Einbaukoeffizienten von Germanium, Bor und Kohlenstoff werden von den Partialdrücken der verschiedenen Prozessgase beeinflusst. Für ein möglichst großes Prozessfenster mit geringen Abhängigkeiten sind geeignete Bedingungen erforderlich.

Der Basisabscheidung voran geht ein Nassätzschritt zur Entfernung der Oxidabdeckung im Emitterfenster. Nach dem Nassätzschritt muss ein erneutes Wachsen des natürlichen Oxids möglichst verhindert werden. Deshalb darf ein Zeitraum von 15 Minuten bis zum Laden in die mit  $N_2$  gefüllte Schleusenkammer der Epitaxieanlage nicht überschritten werden. Trotzdem erfordert ein defektfreies epitaktisches Wachstum eine letzte Oberflächenpräparation in Form einer in-situ Temperung in der Epitaxieanlage unter  $H_2$ -Atmosphäre. Hier muss das Temperaturbudget möglichst niedrig gewählt werden, damit der Dotierstoffverlust aus der  $p^+$ -poly-Silizium Basisanschlussschicht gering bleibt und die CVD-Oxid-Schicht nicht angegriffen wird.

### **Transfer des SiGe:C Epitaxieprozesses auf 8“ Waferdurchmesser**

Ausgangspunkt der Arbeiten zu Beginn des Förderprojektes war ein Abscheideprozess für die SiGe:C Basis, der auf einer Anlage mit 6“ Waferdurchmesser optimiert wurde. Er besteht aus 6 Einzelschichten unterschiedlichen Ge-Gehaltes und unterschiedlicher Dotierung. Die Abscheidung beginnt mit einer 25% SiGe Schicht, gefolgt von einem linear gradierten Übergang zu einer 5% SiGe Stufe und endet mit einer Si Deckschicht. Die Bordotierung startet mit einem Peak von  $5e19/cm^3$  am Ende der 25% SiGe Schicht und am Beginn der Übergangsschicht. Dieser Peak liegt später in der aktiven Basis und soll möglichst niedrige Schichtwiderstände garantieren. Danach wird die Bordotierung abgeschaltet, um möglichst niedrige Werte zu erreichen und damit die Emitter-Basis Kapazität klein zu halten. Die Kohlenstoffdotierung umschließt den Bor-Peak, um die beschleunigte Bordiffusion durch interstitielle Si-Atome zu reduzieren.

Die Abscheidetemperaturen der einzelnen Schichten wurden unter den Gesichtspunkten Planarität der Schichten im Transistor, niedrigste Rauigkeit aufgrund von mechanischer Verspannung und guter Kontrollierbarkeit der Schichtdicke durch angepasste Abscheiderate gewählt. Der Epitaxieprozess dauert insgesamt 20 bis 25 Minuten, wovon aber ein großer Teil auf Stabilisierungs- und Spülzeiten nach Temperatur- und Gaswechseln entfällt.

Die SiGe:C Basis besteht aus einer Reihe von einzelnen Schichten mit unterschiedlicher Zusammensetzung. Da bisher noch kein zerstörungsfreies Messverfahren für einzelne Schichtparameter eines ganzen Schichtstapels zur Verfügung steht, müssen die wichtigsten Einzelschichten anhand von Testfahrten separat charakterisiert werden. Entsprechend den wichtigen Blöcken im Rezept werden dazu die Abscheideraten von 25% SiGe, 5% SiGe und Si auf Testwafern bestimmt. Durch Anpassung der Abscheidezeiten im Rezept kann das Zielprofil reproduziert werden. Testwafer, die zur Ratenmessung benutzt werden, haben gleichen Schichtaufbau und gleiches Layout wie die Prozesswafer, um Abweichungen in den Abscheidebedingungen zu vermeiden.

Bei der Übertragung des Abscheideprozesses von der 6" auf die 8" Anlage wurden die Einzelschichten an Testwafern charakterisiert und optimiert. Die Abscheidetemperaturen und Prozessdrücke wurden beibehalten, aber die Gasflüsse mussten geringfügig angepasst werden, um eine selektive Abscheidung mit gleichen Dotierstoffkonzentrationen zu erreichen. Da die Abscheideraten sehr empfindlich von der Temperatur abhängen (bis 5% Änderung pro Grad Celsius), ist eine gleichmäßige Wafertemperatur für homogene Schichten sehr wichtig. Dazu wurden besonders geformte Reflektoren für die Lampenheizung eingebaut, die auch bei niedrigen Prozesstemperaturen unter 800 °C eine möglichst gleichmäßige Wafertemperatur gewährleisten. Abb. III.2.2 zeigt die relative Abweichung der Schichtdicke als Funktion des Abstandes vom Waferzentrum. Für jede Abscheidetemperatur wurde die Leistungsverteilung der Heizlampen getrennt optimiert, so dass Schichtdickenschwankungen nur noch eine Standardabweichung von kleiner als 5% aufweisen (5% bei 640°C, 5% bei 730°C und 3% bei 760°C).

Das komplette Basisprofil wurde dann aus den einzeln optimierten Schichten zusammengesetzt, wobei die Abscheidezeiten aus den ermittelten Raten berechnet wurden. Abb. III.2.3 zeigt eine SIMS-Analyse des kompletten Hetero-Bipolar-Transistors am Ende des Herstellungsprozesses. Verglichen sind die Tiefenprofile zweier Wafer aus einer 6"- und einer 8" Epitaxieanlage. Die Tiefenskala wurde so verschoben, dass beide Profile den Bor-Peak an der gleichen Stelle haben. Deutlich zu erkennen ist eine gute Übereinstimmung der Dotierstofflevel, nur der Kohlenstoff in der Basis ist absichtlich beim 8" Wafer reduziert. Auch die Schichtdicken in der SiGe:C Basis stimmen bis auf wenige nm überein und der Verlauf der übereinstimmenden Dotierstoffgradienten zeugt von identischen Temperaturbudgets während der Epitaxie und im Folgeprozess.

## Homogenität der Einzelschichten auf Testwafern

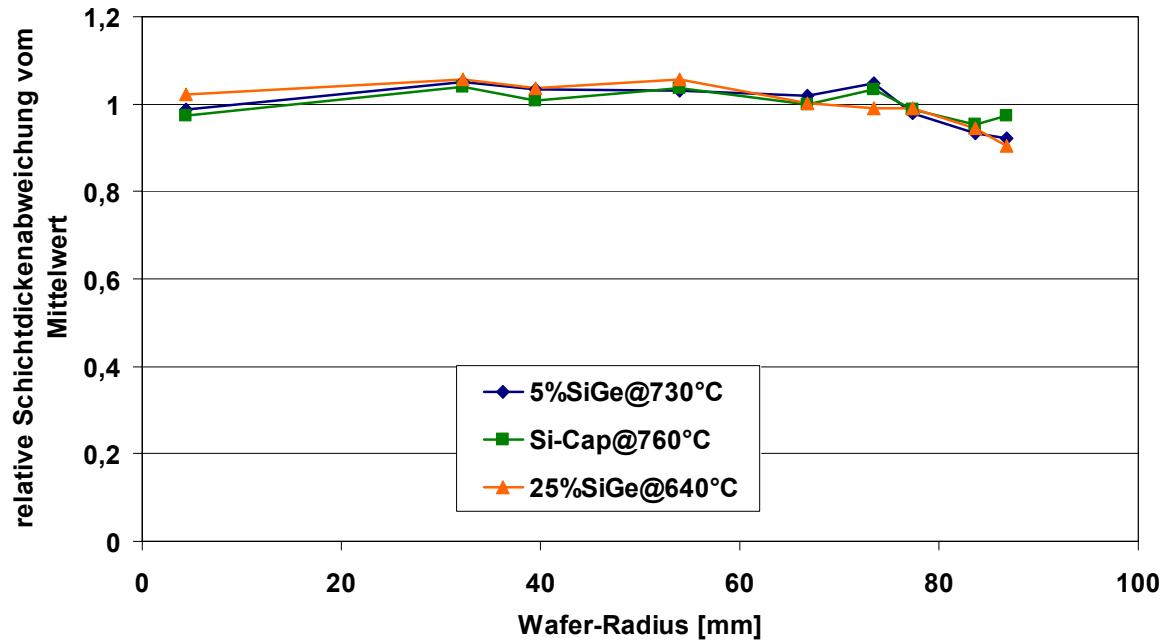


Abb. III.2.2: Relative Abweichung der Schichtdicken der Einzelschichten in Abhängigkeit vom Wafer-Radius gemessen an Testfahrten. Es wird eine Standardabweichung von 5% bei 640°C, 5% bei 730°C und 3% bei 760°C erreicht.

### Comparison SiGe:C-Base: 6" $\leftrightarrow$ 8" Waferdiameter

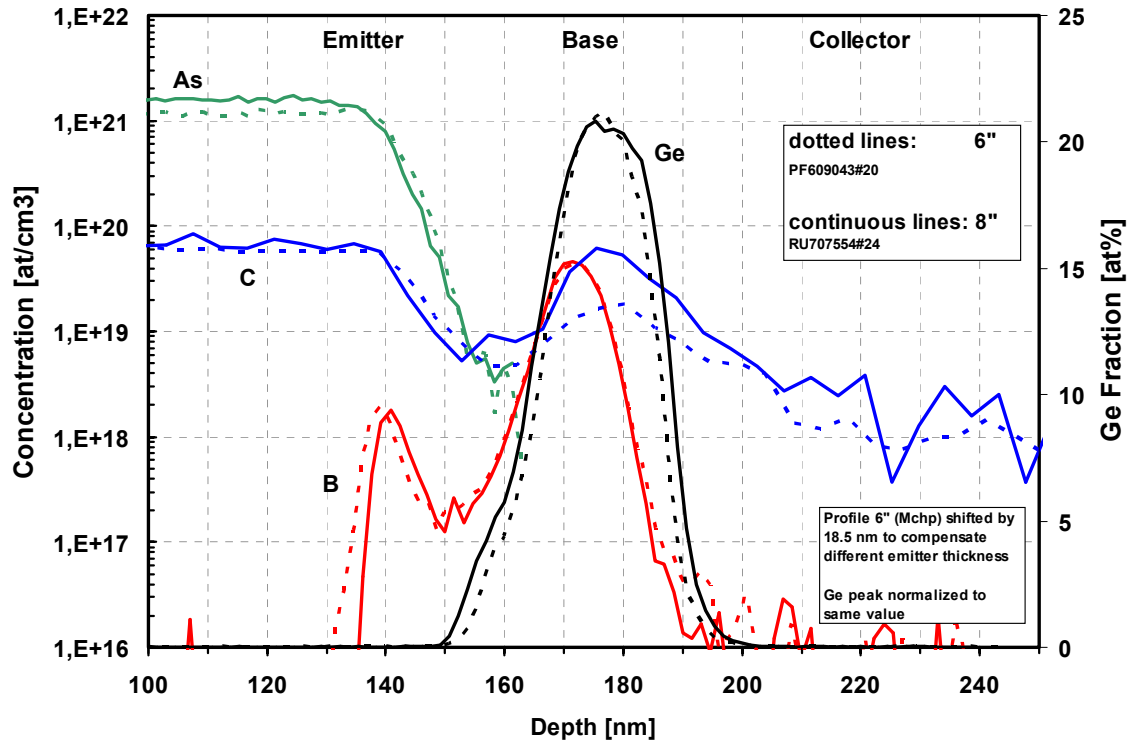


Abb. III.2.3: Der Vergleich eines 6"- und 8" Wafer im SIMS Tiefenprofil am Ende des Herstellungsprozesses zeigt eine gute Übereinstimmung.

### Transfer des Monoemitter-Prozesses auf 8" Waferdurchmesser

Auch der Monoemitter-Abscheidungsprozess musste von 6" auf 8" Waferdurchmesser übertragen werden. Ausgangspunkt war ein Abscheidungsprozess, der eine mit Arsen dotierte Si-Schicht auf der Basis bildet. Um Schwierigkeiten bei der Übertragung des Prozesses möglichst zu vermeiden, wurde wieder darauf geachtet, dass die Prozesskammern weitestgehend baugleich waren. Zum besseren Verständnis wird hier ein kurzer Überblick über die Emitterabscheidung gegeben. Die Situation vor der Abscheidung des Emitters ist in Abb. III.2.4 Teil A dargestellt. Die SiGe:C Basis ist bereits abgeschieden und die Emitteröffnung ist durch L-förmige Spacer definiert. Der Emitter soll durch eine mit Arsen dotierte Si-Schicht gebildet werden, die monokristallin auf der Basis und amorph auf den benachbarten Oxidschichten aufwächst. Die Abscheidung erfolgte in einer Einscheiben-Poly-Kammer, die weitgehend baugleich mit der Epitaxie-Kammer ist, die für die Basisabscheidung verwendet wurde. Im Gegensatz zur Basisepitaxie wurde der Prozess für die Emitterabscheidung aber nichtselektiv durchgeführt. Zum monokristallinen Wachstum auf

der Basis ist eine oxidfreie Unterlage erforderlich, die durch einen unmittelbar vorhergehenden nasschemischen Ätzschritt (HF-Dip) und einen in-situ durchgeführten  $H_2$ -Bake gewährleistet wird. Da der Prozess nichtselektiv abläuft, wächst auf dem umliegenden Oxid eine amorphe Schicht, die beim späteren Emitter Drive-in polykristallin wird. Abb. III.2.4 Teil B zeigt die Situation nach Strukturierung und Emitter Drive-in. Die Schicht besteht aus einer homogen dotierten Si-Schicht. Sie ist im SIMS Tiefenprofil in Abb. III.2.3 im linken Teil des Diagramms zu erkennen.

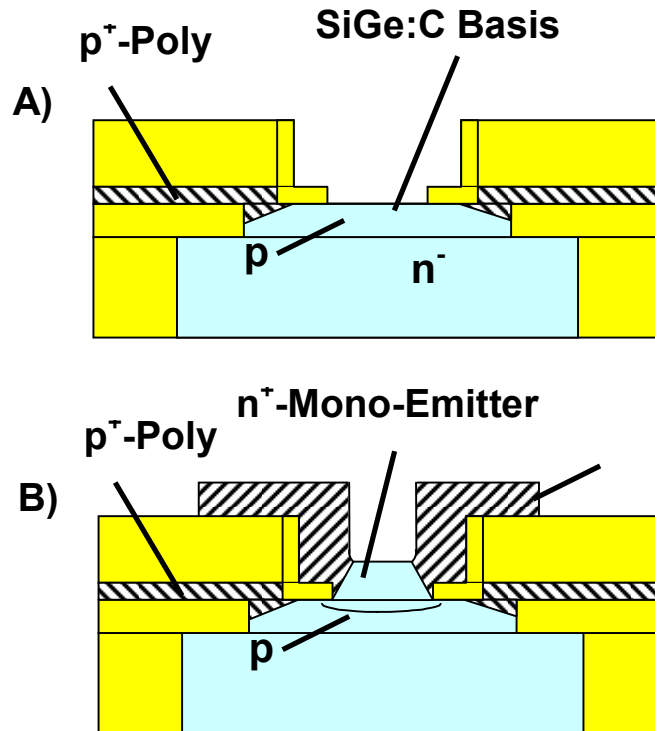


Abb. III.2.4: schematische Darstellung der Herstellung des Mono-Emitters

Eine Schwierigkeit beim Übergang zu größeren Waferdurchmessern ist die Homogenität der Schichten über den Wafer. Dazu ist eine homogene Abscheiderate erforderlich, die von Temperaturverteilung, Druck und Gasströmung abhängt. Während die Werte für Druck und Temperatur beim Transfer beibehalten werden konnten, mussten die Gasflüsse für  $H_2$  an die neue Anlagenkonfiguration angepasst werden. Zur Optimierung der Uniformität der Schichtdicke wurde die Temperaturverteilung mittels der Lampenheizleistung justiert. Das Ergebnis ist in Abb. III.2.5 dargestellt. Die verbleibenden Schichtdickenschwankungen beim optimierten Prozess zeigen eine Standardabweichung von 2%.

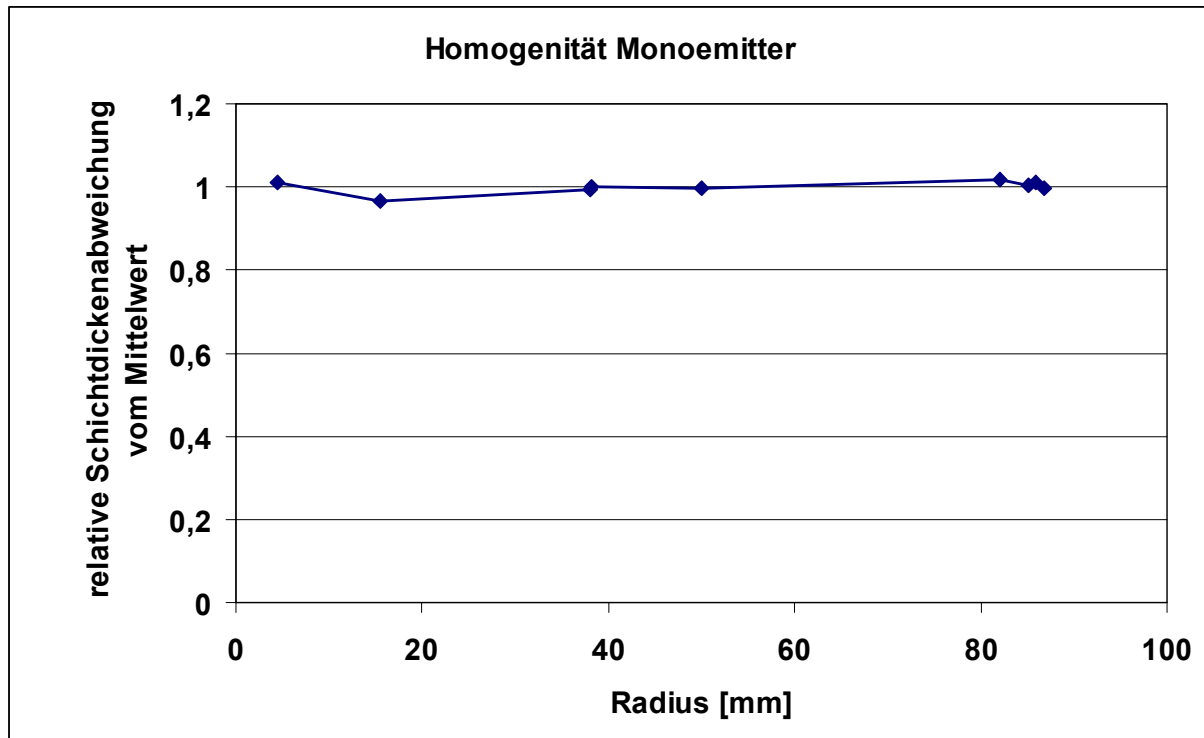


Abb. III.2.5: Homogenität der Schichtdicke der Abscheidung für den Monoemitter. Die Standardabweichung liegt unter 2%.

Die Übertragung der Abscheideprozesse von SiGe:C Basis und Monoemitter von 6“ auf 8“ Waferdurchmesser konnte erfolgreich durchgeführt werden. Die Schichten zeigen in allen gemessenen Parametern vergleichbare Eigenschaften und sind als gleichwertig anzusehen. Die Reproduzierbarkeit in der Produktion wird beherrscht und erweist sich als sicher.



### III.3 SiGe HBT

#### Prozesskonzept:

Abb. III.3.1 zeigt eine TEM Aufnahme des UHS (Ultra High Speed) Transistors in Infineons SiGe Technologie B7HF200. Die Technologie verwendet eine 0.35  $\mu\text{m}$  Lithographie. Der SiGe HBT hat eine Deep Trench / Shallow Trench Transistor Isolation.

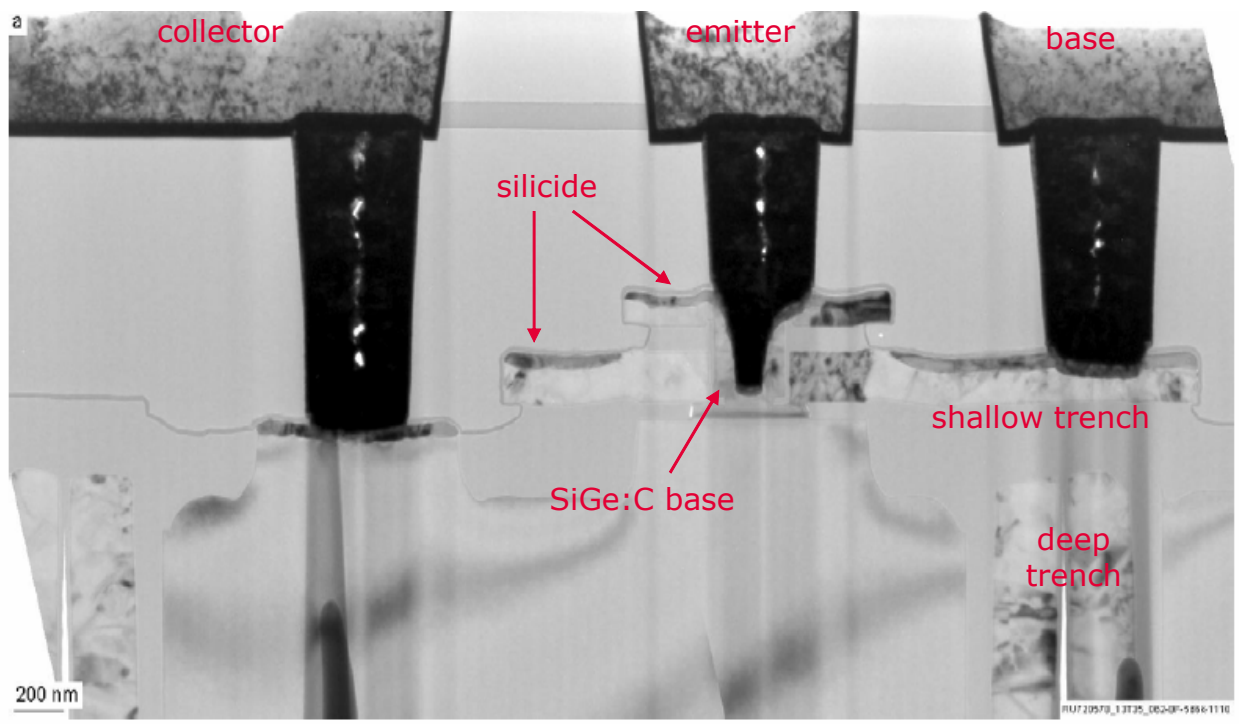


Abb. III.3.1 TEM Querschnitt durch UHS Transistor

Die tiefen Trenches dienen dazu die Kollektoren benachbarter Transistoren zu isolieren. Um möglichst niedrige Werte für die Kollektor-Substrat und Basis-Kollektor Kapazität zu realisieren, ist der tiefe Trench unter das p+ Polysilizium des Basisanschlusses gezogen. In dieser Transistor Isolation ersetzt der Shallow Trench das konventionelle LOCOS Oxid früherer Transistorisolationen und sorgt dafür, dass die Transistor Isolation vollständig planar ist. Dadurch werden geringe Justiertoleranzen und minimale Designregeln in den nachfolgenden Fototechnikschritten ermöglicht, um möglichst geringe Transistorabmessungen zu realisieren.

Die SiGe Transistoren verwenden eine Doppel-Polysilizium selbstjustierte Emitter-Basis Konfiguration, in die mittels selektiver SiGe Epitaxie die SiGe:C Basis integriert wird. In diesem Transistor Konzept wird der As dotierte Emitter von den hoch mit Bor dotierten Basis Anschlussgebieten selbstjustiert durch einen dünnen Oxid Spacer isoliert. Die Doppel-Polysilizium selbstjustierte Emitter-Basis Konfiguration zeichnet sich durch die geringen parasitären Kapazitäts-

und Widerstandsanteile aus, was zum Erreichen höchster Arbeitsfrequenzen bei niedrigstem Leistungsverbrauch von großem Vorteil ist. Zur Realisierung sehr flacher Basisprofile mit einer möglichst hohen Bor Dotierstoffkonzentration wird während der selektiven Epitaxie auch Kohlenstoff in die SiGe Basis eingebaut. Wie im Kapitel III.2 beschrieben verhindert dieser Einbau von Kohlenstoff weitgehend eine Verbreiterung des Basisprofils infolge von Bor Diffusion während der nachfolgenden Temperaturschritte. In der Technologie B7HF200 stehen 3 verschiedene npn Transistoren nämlich ein UHS, ein HS und ein HV Transistor zur Verfügung. Dabei steht UHS für „ultra high speed“, HS für „high speed“ und HV für „high voltage“. Diese Transistoren unterscheiden sich nur in der Kollektor Dotierung und in der Weite des aktiven Kollektors und haben deshalb unterschiedliche Durchbruchspannungen und Grenzfrequenzen.

### Herstellungsprozess:

Die Transistorisolation der verschiedenen SiGe HBTs wurde mit einem neuen Doppel-Kollektor-Epitaxie-Modul hergestellt, das in Kapitel III.4 ausführlich beschrieben wird. Abbildung III.3.2 zeigt den Herstellungsprozess des Emitter/Basis Moduls.

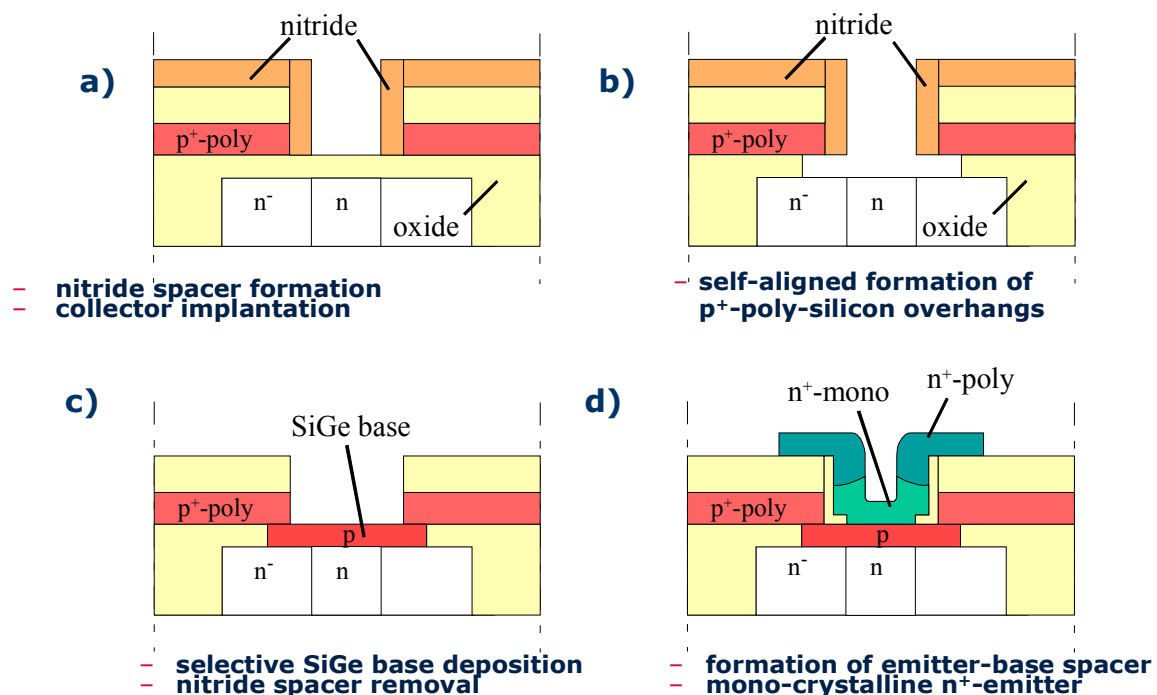


Abb. III.3.2 Herstellungsprozess des Emitter / Basis Moduls für den HS Transistor

Nach Fertigstellung der Shallow Trench / Deep Trench Transistorisolation, erfolgt auf dem Kollektor sowie den umgebenden Isolationsbereichen die ganzflächige Abscheidung eines CVD Oxides. Danach werden die Anschlüsse aus p<sup>+</sup> Polysilizium, eine CVD Oxidschicht sowie eine Nitridschicht abgeschieden. Der Schichtaufbau bestehend aus dem p<sup>+</sup> Polysilizium, der CVD Oxidschicht und der Nitridschicht wird mittels einer Fototechnik strukturiert und so das 0.35 µm

weite Emitterfenster geöffnet. Danach werden Nitridspacer an den Seitenwänden des Emitterfensters angebracht und mittels Implantation der aktive Kollektor dotiert (Abb. III.3.2 a). Da die Nitridspacer das Implantationsgebiet für die Kollektorimplantation deutlich verringern, haben wir im Vergleich zu einer Implantation durch das gesamte Emitterfenster eine Verringerung der Basis / Kollektor Kapazität erreicht. Unter Verwendung zusätzlicher Fotomasken erhalten an dieser Stelle im Herstellungsprozess der UHS (ultra high speed), der HS (high speed) und der HV (Hochvolt) Transistor unterschiedliche Kollektorimplantationen, um für diese 3 npn Transistoren die unterschiedlichen Dotierstoffkonzentrationen im aktiven Kollektor zu realisieren. Mittels einer isotropen Nassätzung wird nun das CVD Oxid selektiv zu den umgebenden Nitridschichten entfernt, so dass die aktiven Kollektorbereiche freigelegt werden. Diese Ätzung wird solange durchgeführt bis ein  $p^+$ - Polysilizium Überhang von etwa 100 nm entstanden ist (Abb.III.3.2 b). Wie im Abschnitt III.2 beschrieben, werden nun die Basis Profile mittels selektiver SiGe:C Epitaxie abgeschieden. Bei der selektiven Epitaxie wächst die SiGe Basis nur auf den freiliegenden Kollektor- und den freiliegenden  $p^+$ - Polysilizium Bereichen und nicht auf den Nitrid Bereichen auf. Während der Epitaxie entsteht automatisch ein niederohmiger Kontakt zwischen der SiGe Basis und den Basisanschlüssen aus  $p^+$ - Polysilizium. Nach der selektiven Abscheidung der Basis werden die Nitridspacer nicht mehr benötigt und in Phosphorsäure selektiv zu Oxid und Silizium nass entfernt (Abb.III.3.2.c). Jetzt werden Oxidspacer an den Seitenwänden des Emitterfensters angebracht, die im fertigen Transistor selbstjustiert die Basisanschlussgebiete von den hoch dotierten Emitterbereichen isolieren. In den nachfolgenden Prozessschritten wird der monokristalline Emitterkontakt hergestellt. Die mit Arsen dotierte Emitterschicht wird mittels differentieller Epitaxie abgeschieden und nachfolgend strukturiert (Abb. III.3.2 d). Unter diesen Abscheidungsbedingungen wächst die  $n+$  dotierte Emitterschicht auf den freiliegenden Siliziumbereichen monokristallin und auf den umgebenden Isolationsbereichen amorph auf. Nach der Strukturierung der Emitterschicht werden die Oxidschichten über den Basisanschlüssen aus  $p^+$ -Polysilizium nass entfernt und die Anschlussbereiche zur Verringerung der Anschlusswiderstände siliziert. Als Zwischenoxid wird nun eine BPSG-Schicht abgeschieden und mit CMP planarisiert. Beim nachfolgenden Emitter Drive-in wird das Arsen aus der  $n+$  dotierten Emitterschicht in das darunter liegende Silizium-Cap der Basis eindiffundiert. Schließlich werden die Transistoren mit einer 4 Lagen Kupfer Metallisierung versehen, die sich im Vergleich zu einer konventionellen Aluminium Metallisierung durch eine signifikant verbesserte Migrationsfestigkeit und Lebensdauer auszeichnet.

#### **Transistorquerschnitt und vertikales Dotierstoffprofil:**

Die TEM Aufnahme in Abbildung III.3.3 zeigt einen Querschnitt durch das aktive Transistor Gebiet. Die Weite des Emitterfensters beträgt 350 nm. Wie aus der TEM Aufnahme ersichtlich wird die hoch mit Arsen dotierte Emitterschicht von den hoch mit Bor dotierten Basisanschlüssen aus  $p^+$ - Polysilizium durch L-förmige Oxidspacer isoliert.

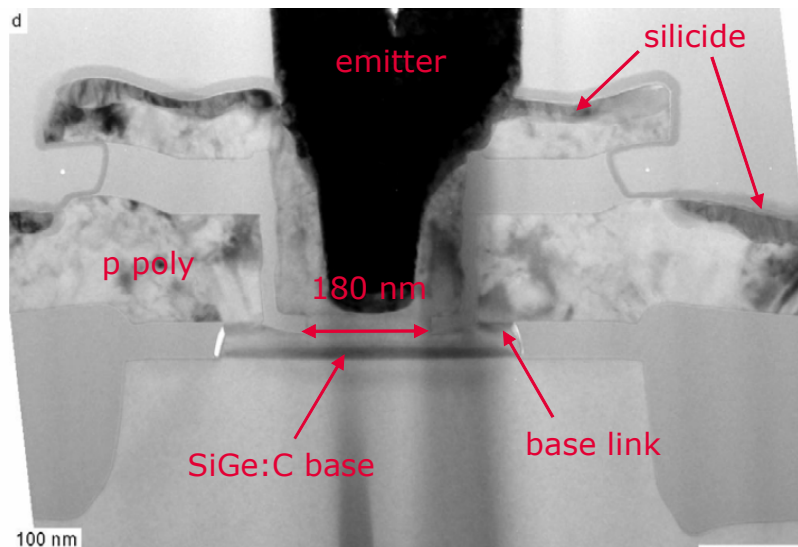


Abb. III.3.3 TEM Querschnitt durch die Emitter / Basis Struktur des SiGe HBTs

Der Überhang der Basisanschlüsse aus p+ Polysilizium über das darunter liegende Oxid ist selbstjustiert auf 100 nm eingestellt. Dieser p<sup>+</sup>- Polysilizium Überhang dient dazu die SiGe Basis zu kontaktieren. Wie die TEM Aufnahme zeigt, hat der Transistor in der aktiven Transistorregion einen monokristallinen Emitter. Im Gegensatz zu konventionellen Polysilizium Emitter Transistoren befindet sich kein Grenzflächenoxid mehr zwischen der abgeschiedenen Emitterschicht und dem darunter liegenden Silizium Cap der Basis. Deshalb konnte im Vergleich zu konventionellen Polysilizium Emitter HBTs der Emitterwiderstand deutlich reduziert werden.

#### Elektrische Eigenschaften der Hochfrequenz HBTs:

Abb. III.3.4 zeigt typische Transfer-Kennlinien, die an UHS Transistoren mit einer Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$  gemessen wurden. Die typische Stromverstärkung ist 350. Trotz der hoch mit Bor dotierten und aggressiv skalierten SiGe Basis sind die Transfer-Charakteristiken der hergestellten Transistoren ideal. Abbildung III.3.5 zeigt das an UHS Transistoren gemessene Ausgangskennlinienfeld. Die bei offener Basis ermittelte Emitter / Kollektor Durchbruch Spannung des UHS Transistors beträgt 1.6 V und die bei offenem Emitter ermittelte Basis / Kollektor Durchbruchspannung ist 5.8 V.

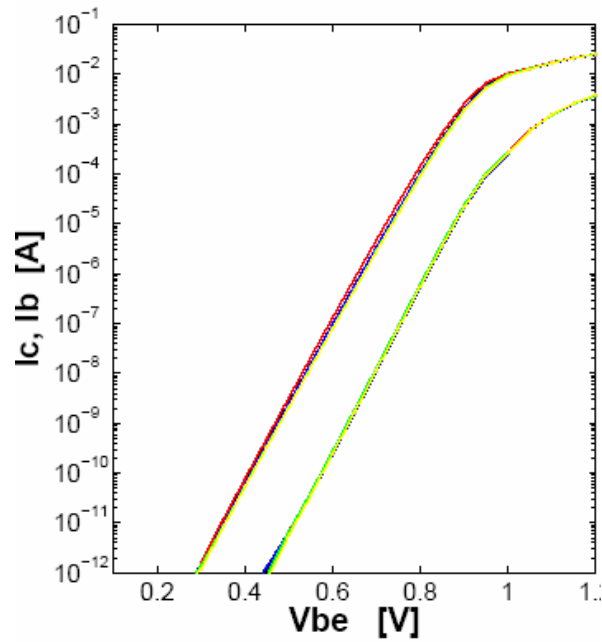


Abb.III.3.4 Typische Eingangskennlinien von Transistoren mit einer effektiven Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$

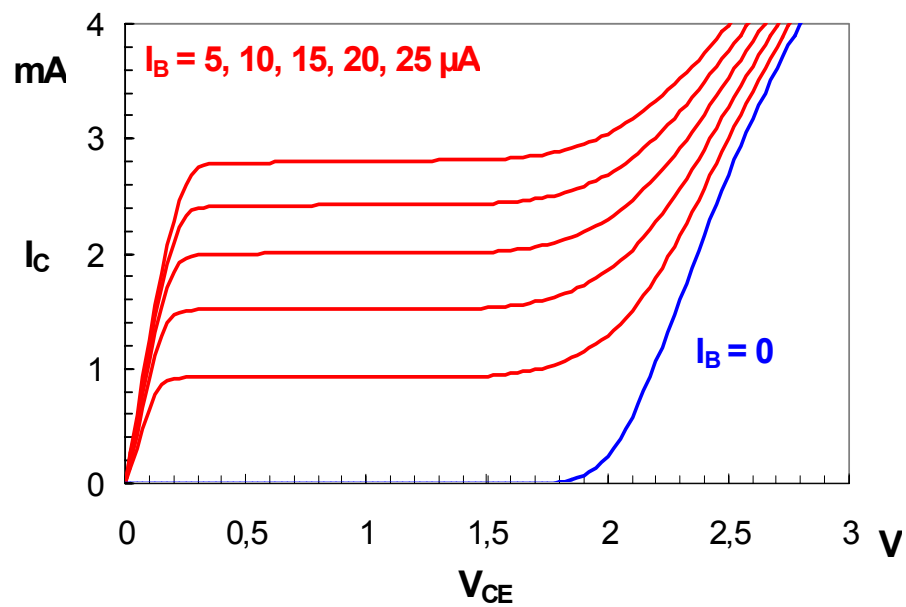


Abb.III.3.5 Ausgangskennlinienfeld von Transistoren mit einer effektiven Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$

Das Hochfrequenzverhalten wurde an Transistoren mit einer effektiven Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$  ermittelt. Die Abb.III.3.6 zeigt die Grenzfrequenz ( $f_T$ ) des UHS Transistors als Funktion des Kollektorstromes  $I_C$  für verschiedene Basis-Kollektor Spannungen  $V_{BC}$ . Die Grenzfrequenz erreicht ihr Maximum von 200 GHz bei einer Kollektorstromdichte von etwa  $7 \text{ mA}/\mu\text{m}^2$ .

Die maximale Oszillationsfrequenz wurde aus dem unilateralen Gain bestimmt. Abb. III.3.7 zeigt die maximale Oszillationsfrequenz  $f_{\text{max}}$  als Funktion des Kollektorstromes  $I_C$  für verschiedene Basis-Kollektor Spannungen  $V_{BC}$ . Bei einer Kollektorstromdichte von  $8 \text{ mA}/\mu\text{m}^2$  und  $V_{BC} = -1 \text{ V}$  erreicht der UHS Transistor eine maximale Oszillationsfrequenz von 275 GHz. Die hohen Werte für  $f_{\text{max}}$  resultieren z.B. aus der sorgfältigen Optimierung der SiGe Basis, um gleichzeitig eine möglichst hohe Grenzfrequenz und einen möglichst niedrigen Basisbahnwiderstand zu erhalten. Die maximale Oszillationsfrequenz ist ein besseres Maß für die mögliche Schaltkreisperformance einer Bipolar Technologie als die Grenzfrequenz.

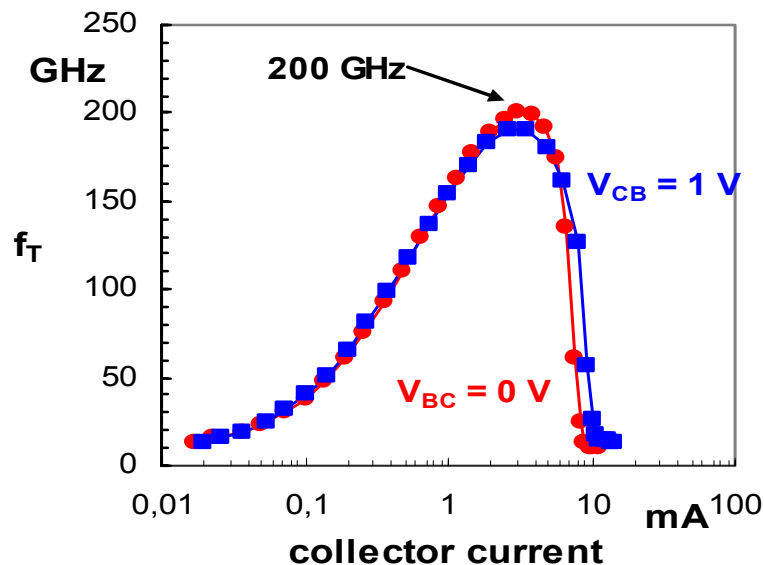


Abb. III.3.6 Transistfrequenz als Funktion des Kollektorstromes für einen UHS Transistor mit einer Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$

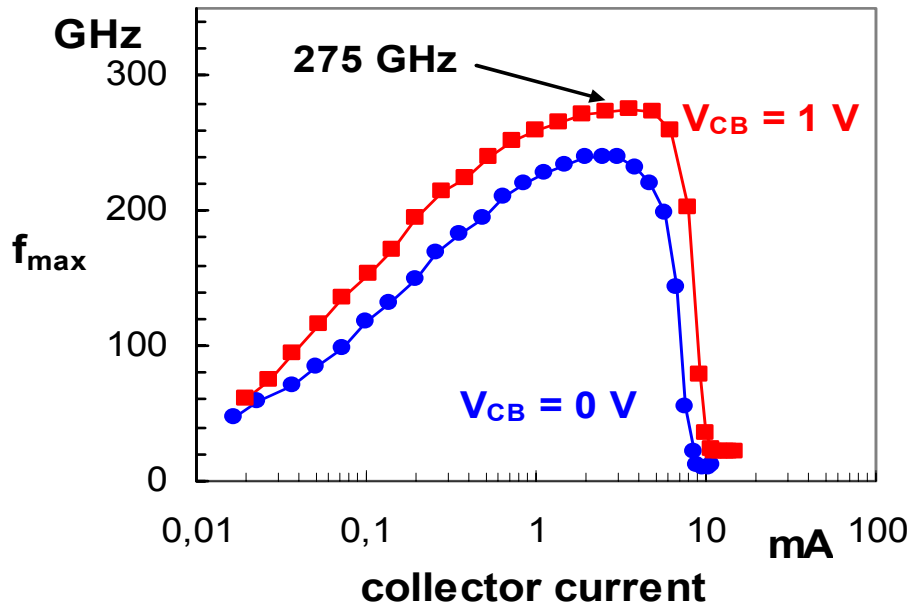


Abb.III.3.7 Maximale Oszillationsfrequenz als Funktion des Kollektorstromes für einen UHS Transistor mit einer Emitterfläche von  $0.18 \times 2.6 \mu\text{m}^2$

Bisher haben wir in diesem Abschnitt nur die elektrischen Eigenschaften des UHS (ultra high speed) Transistors beschrieben. Zusätzlich zum UHS Transistor steht noch ein weiterer Hochfrequenztransistor zur Verfügung, dessen Integration in die B7HF200 Technologie nur eine zusätzliche Fototechnik erfordert. Dieser HS (high speed) Transistor unterscheidet sich vom UHS Transistor einzig in der Kollektordotierung. Im Vergleich zum UHS Transistor hat der HS Transistor eine um 40% geringere Kollektordotierung um eine höhere Basis-Kollektor Durchbruchspannung zu erreichen. Der HS Transistor wurde im Besonderen für die Anforderungen des 77 GHz Abstandsradars eingeführt und optimiert. Die wichtigsten Eigenschaften der beiden Hochfrequenztransistoren sind in Tabelle III.3.1 aufgelistet.



	<b>UHS Transistor</b>	<b>HS Transistor</b>
$A_E$	$0.18 \times 2.6 \mu\text{m}^2$	$0.18 \times 2.6 \mu\text{m}^2$
$\beta$	350	350
$R_{BI}$	2.2 k $\Omega$ /	2.2 k $\Omega$ /
$BV_{CE0}$	1.6 V	1.7 V
$BV_{CB0}$	5.8 V	6.5 V
$C_{BC}$	5.8 fF	5.0 fF
$f_T$	200 GHz	170 GHz
$f_{max}$	250 GHz	250 GHz

Tabelle III.3.1 Transistor Parameter des HS und UHS Transistors

Im Vergleich zum UHS Transistor hat der HS Transistor aufgrund seiner niedrigeren Kollektordotierung eine um 15% höhere Basis-Kollektordurchbruchspannung von 6.5 V. Die bei offener Basis ermittelte Emitter-Kollektor Durchbruchspannung beträgt für den UHS Transistor 1.6 V und für den HS Transistor 1.7 V. Aus der niedrigeren Kollektordotierung des HS Transistors resultiert weiterhin eine Verbesserung der Basis/Kollektor Kapazität von 15% aber auch eine um 15% reduzierte Grenzfrequenz von 170 GHz. Die maximale Oszillationsfrequenz beider Hochfrequenztransistoren liegt bei 250 GHz.

### III.4 Doppel-Kollektor-Epitaxie-Konzept, HV Transistor und Varaktor

Auf einer SiGe Bipolar Technologie basierende Hochfrequenzanwendungen wie z.B. das 77 GHz Abstandsradar im Automobil erfordern nicht nur einen SiGe HBT mit Grenz- und Schwingfrequenzen von 200 GHz und mehr sondern auch zusätzliche Bauelemente wie z.B. einen Hochvolt Transistor und einen Varaktor. Im 77 GHz Abstandsradar wird der Varaktor im „Voltage controled Oszillator“ (VCO) benötigt, welcher das 77 GHz Sendesignal erzeugt. Dabei ist der Tuning Range des VCOs umso größer, je höher das erreichbare Kapazitätsverhältnis  $C_{max}/C_{min}$  des integrierten Varaktors ist. Ferner müssen Hochvolt Transistoren mit ausreichend hohen Emitter-Kollektor und Basis-Kollektor Durchbruchspannungen z.B. für die ESD Schutzstrukturen zur Verfügung stehen.

Der Kollektor einer hochfrequenten SiGe Technologie wird gewöhnlich mittels einer Si Epitaxie auf einer hochdotierten vergrabenen n+ Schicht dem Subkollektor hergestellt, d.h. die Weite des Kollektors wird durch die Dicke der Si Epitaxie Schicht bestimmt. Eine moderne 200 GHz Bipolar Technologie benötigt im Vergleich zu älteren weniger performanten Bipolar Technologien einen sehr flachen Kollektor von etwa 100 nm zum Erreichen der hohen Grenzfrequenzen. Dieser flache Kollektor einer Hochfrequenz Bipolar Technologie limitiert jedoch bei Verwendung der herkömmlichen Verfahren für die Integration von Varaktoren und Hochvolt Transistoren sowohl die Emitter-Kollektor und Basis-Kollektor Durchbruchspannung des Hochvolttransistors als auch das erreichbare Kapazitätsverhältnis  $C_{max}/C_{min}$  des Varaktors.

Deshalb wurde im Kokon Projekt ein neues Doppel-Kollektor-Epitaxie-Konzept entwickelt, das zwei ganzflächige Silizium Epitaxien zur Herstellung der Kollektorbereiche in den verschiedenen SiGe HBTs verwendet. Das neue Verfahren erlaubt es sowohl die Kollektorweiten als auch die Kollektordotierungen der Hochfrequenz und Hochvolt HBTs und damit auch ihre Basis-Kollektor und Emitter-Kollektor Durchbruchspannungen völlig unabhängig voneinander einzustellen. Gleichzeitig werden der Subkollektor des HV Transistors und die beiden ganzflächigen Silizium Epitaxien auch zur Realisierung der Kathodenbereiche im Varaktor verwendet. Im Vergleich zu konventionellen Prozessen mit nur einer ganzflächigen Kollektor-Epitaxie sind in unserem Verfahren auch die Eigenschaften des Varaktors wie z.B. sein Kapazitätsverhältnis  $C_{max}/C_{min}$  als auch seine Güte von den Kollektoreigenschaften der Hochfrequenz Transistoren vollständig entkoppelt.

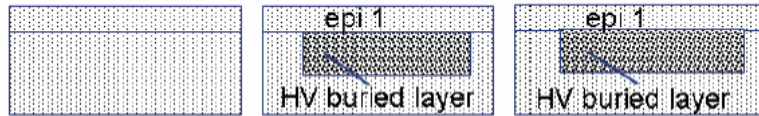
Abbildung III.4.1 zeigt den Prozessfluss zur Integration von Hochfrequenztransistoren, Hochvolttransistoren und Varaktoren.

In Kapitel III.3 wurden bereits die Eigenschaften der im Doppel-Kollektor-Epitaxie-Konzept hergestellten HS und UHS Transistoren diskutiert. Im Folgenden wollen wir jetzt die Ergebnisse des Varaktors und Hochvolt Transistors etwas genauer beschreiben.

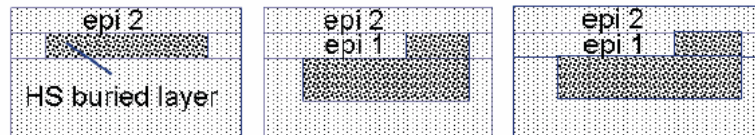
## UHS und HS HBT

## HV HBT

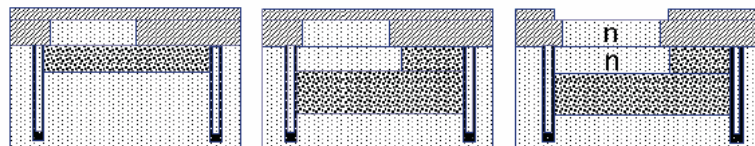
## Varaktor



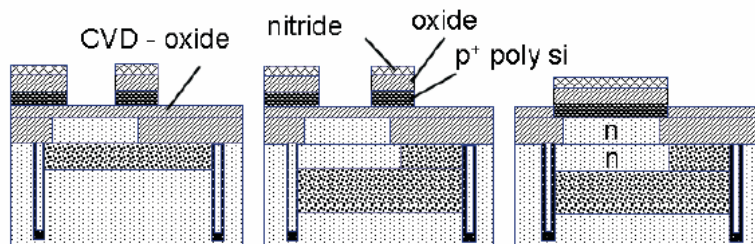
(a) Implantation of HV buried layer and growth of epi 1.



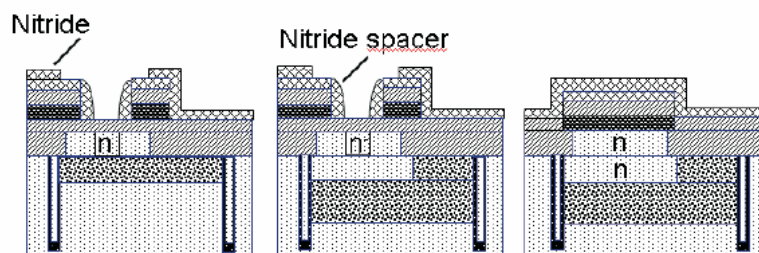
(b) Implantation of HS buried layer and growth of epi 2.



(c) Formation of deep/shallow trench isolation, CVD oxide deposition and phosphorus implantations for varactor.



(d) Deposition of  $p^+$  polysilicon/CVD-oxide/nitride stack and formation of emitter window.



(e) Formation of nitride spacers and implantations for doping the active collector regions.

Abb. III.4.1 Gemeinsame Integration des Hochfrequenz Transistors, des Hochvolt Transistors und Varaktors im Doppel-Kollektor-Epitaxie-Konzept

**Varaktor:**

Abb. III.4.2 zeigt einen TEM Querschnitt und Abb. III.4.3 das Dotierstoffprofil des Varaktors.

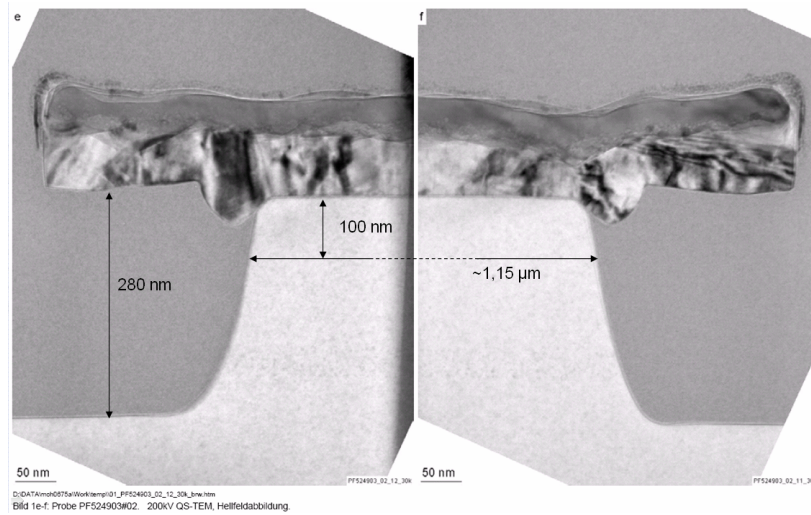


Abb. III.4.2 TEM Querschnitt durch den Varaktor

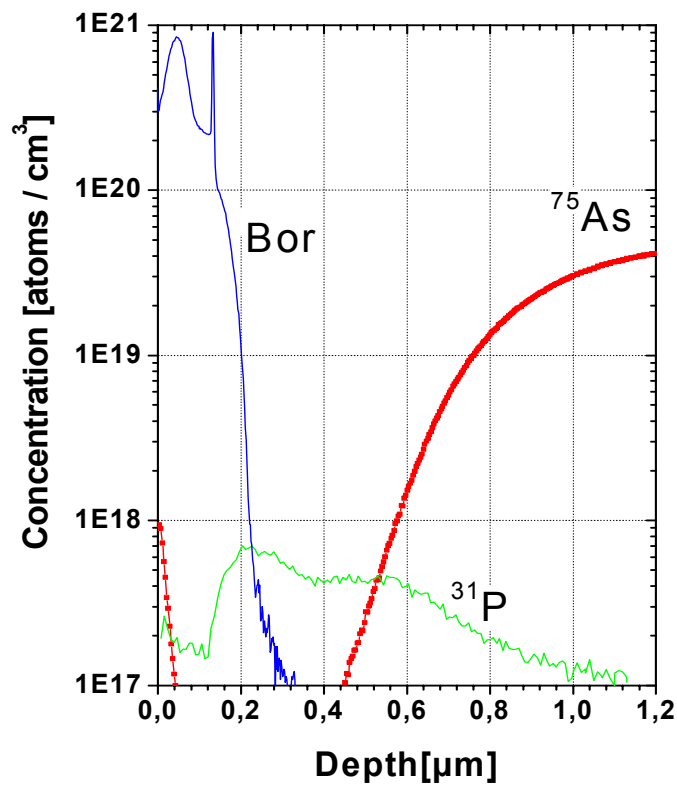


Abb. III.4.3 Dotierstoffprofil des Varaktors

Der Varaktor wurde zur Realisierung eines 77 GHz VCO für das langreichweitige Abstandsradar im Auto entwickelt und optimiert. Dieser 77 GHz VCO wird in Kapitel V ausführlich beschrieben.

Um im Varaktor ein hohes Kapazitätsverhältnis  $C_{\max}/C_{\min}$  und damit im 77 GHz VCO einen hohen Tuning Range zu erreichen, muss der mit Phosphor dotierte aktive Kathodenbereich eine ausreichend große Weite haben. Dann kann sich die Raumladungszone -die umgekehrt proportional zur Varaktorkapazität ist- mit ansteigender Sperrspannung ausreichend tief in das Kathodengebiet ausdehnen. Andererseits benötigt der Varaktor aber auch eine ausreichend hohe Güte (Q), um im 77 GHz Ausgangssignal des VCOs auch niedriges Phasenrauschen zu erreichen. Die Güte (Q) des Varaktors wird bei hohen Frequenzen (f) durch folgende Formel beschrieben:  $Q = 1 / (f \times R_S \times C)$  wobei  $R_S$  der Serienwiderstand und C die Kapazität des Varaktors sind. Da die Güte umgekehrt proportional zum Serienwiderstand des Varaktors ist, darf die Weite des Phosphor dotierten Kathodenbereiches aber auch nicht zu groß gewählt werden, um auch bei 77 GHz noch ausreichend hohe Werte für die Varaktorgüte zu erreichen. Deshalb wurden zur Optimierung des Varaktors zahlreiche Prozess-, Device- und Schaltkreissimulationen durchgeführt, die in mehreren experimentellen Chargendurchläufen überprüft wurden. Diese Arbeiten haben schließlich zu dem in Abb. III.4.3 gezeigten Varaktordotierstoffprofil geführt.

Die wichtigsten Parameter eines Varaktors bestehend aus 10 Streifen und einer Gesamtfläche  $A = 10 \times 10 \mu\text{m}^2$  sind in Tabelle III.4.1 zusammengefasst

	0 V	- 1 V	- 5 V
C	233 fF	170 fF	103 fF
Q @ 50 GHz	-	8	-

Tab. III.4.1 Varaktor Parameter ( $A = 10 \times 10 \mu\text{m}^2$ )

Bei einer Spannung von 0 V hat der Varaktor eine Kapazität von 233 fF. Bei der maximal erlaubten Sperrspannung von -5 V reduziert sich die Varaktorkapazität auf 103 fF, d.h. das Kapazitätsverhältnis  $C_{\max}/C_{\min}$  ist 2.3. Bei einer Sperrspannung von -1 V und einer Frequenz von 77 GHz hat der Varaktor eine Güte Q von 8.

### Hochvolt Transistor:

Die Herstellung des Hochvolt Transistors erfordert im Doppel-Kollektor-Epitaxie-Konzept zwei zusätzliche Fototechnik Ebenen. Die beiden Fototechniken werden im HV Transistor für die Implantationen zur Herstellung des Subkollektors und zur Dotierung des aktiven Kollektors benötigt. Im 77 GHz VCO wird er z.B. in den ESD Schutzstrukturen und in den Stromquellen der integrierten Frequenzteiler verwendet. Die wichtigsten Transistorparameter des HV Transistors sind in Tabelle III.4.2 aufgeführt.

	<b>HV Transistor</b>
$A_E$	<b><math>0.18 \times 2.6 \mu\text{m}^2</math></b>
$\beta$	350
$R_{BI}$	2.2 k $\Omega$ /
$BV_{CE0}$	4.0 V
$BV_{CB0}$	15 V
$C_{BC}$	3.5 fF
$f_T @ V_{BC} = -1 \text{ V}$	45 GHz
$f_{max} @ V_{BC} = -1 \text{ V}$	120 GHz

Tabelle III.4.2 Transistor Parameter des Hochvolt Transistors

Der Hochvolt Transistor hat eine Kollektor/Basis Durchbruchspannung von 15 V und eine Emitter/Kollektor Durchbruchspannung von 4.0 V. Bei einer Basis/Kollektor Spannung  $V_{BC} = -1$  V hat der Transistor eine Grenzfrequenz von 45 GHz und eine maximale Oszillationsfrequenz von 120 GHz.



### III.5 Vertikaler pnp Transistor

Die Verfügbarkeit von pnp Transistoren in einer Bipolartechnologie ermöglicht eine Reihe von Schaltungskonzepten wie z. B. konstante Stromquellen, Stromspiegel, abschaltbare Schaltungsteile zur Reduktion des Leistungsverbrauchs oder präzise Anlogschaltungen wie Operationsverstärker, die sich mit npn Transistoren alleine nicht realisieren lassen. Daher wurde im Rahmen dieses Projekts ein pnp Transistor entwickelt und in die Gesamttechnologie integriert. Mit einem vertikalen Transistorkonzept lässt sich im Vergleich zu einem lateralen pnp eine geringere Basisweite erzielen. Daher wurde dieses Konzept gewählt, um eine gute Performance des Bauteils wie z. B. hohe Stromverstärkung und Transistfrequenz zu erreichen.

Um die zusätzlichen Kosten der pnp-Integration so gering wie möglich zu halten, wurde ein Transistorkonzept realisiert, das keine zusätzlichen Schichtabscheidungen oder Ätzschritte erfordert. Der pnp Transistor wird vollständig aus bereits für andere Bauteile benötigten Strukturen aufgebaut. Lediglich die Implantation der Dotierstoffprofile erfordert zusätzliche Lithografieebenen. Da es sich dabei nur Implantationsmasken mit geringen Anforderungen an die Strukturgenauigkeit handelt, ist der Zusatzaufwand gering. Abbildung III.5.1 zeigt einen schematischen Querschnitt des vertikalen pnp Transistors. Die Isolation des Bauteils zum p-dotierten Substrat erfolgt durch eine hochenergetische Phosphorimplantation vor der zweiten Kollektor-Epitaxie des npn Transistors. Dadurch wird die n-Wanne so tief im Substrat angelegt, dass darüber genügend Platz zur Integration der Emitter-, Basis- und Kollektor-Profile des pnp Transistors bleibt. Die laterale Isolation zu anderen Bauteilen erfolgt wie bei den anderen Bauelementen durch die Deep und Shallow Trench Isolation. Der Anschluss der n-Wanne zu den Kontakten wird durch die Buried Layer Gebiete aus der Herstellung des npn Transistors erzielt. Nach Fertigstellung der Shallow Trench Isolation wird das aktive Dotierstoffprofil des pnp Transistors mit Hilfe einer zusätzlichen Lackmaske implantiert. Durch geeignete Wahl der Implantationsparameter (Implantations-Dosis und –Energie) und der Dopanden lassen sich der mit Bor dotierte Buried Layer, der mit Bor dotierte Kollektor und die mit Phosphor dotierte Basis einstellen. Der Anschluss des Buried Layers zur Substratoberfläche erfolgt durch die Channel Stop Implantation, die mit dem Buried Layer überlappt, und einen Substratkontakt und benötigt daher keine zusätzlichen Prozessschritte. Der niederohmige Anschluss der Basis des pnp erfolgt über eine Arsen-Implantation mit Hilfe einer zusätzlichen Fotoebene. Diese Implantation wurde auch in den Kollektoranschluss des npn Transistors integriert und sorgt hier für eine weitere Verbesserung des Kollektorwiderstands. Die Emitteröffnung des pnp wird gemeinsam mit der Ätzung der Oxidschicht gebildet, die für die Herstellung der Substratkontakte und des Varaktors nötig ist. Der aktive Emitter wird aus dem mit Bor dotierten Polysilizium, das als Basiselektrode des npn Transistors dient, in das Substrat diffundiert. Er entspricht damit der Anode des Varaktors.

Abbildung III.5.2 zeigt eine REM-Aufnahme eines Transistorquerschnitts, die dem schematischen Querschnitt der Abbildung III.5.1 entspricht. In Abbildung III.5.3 ist eine Detailaufnahme des Emitter-Basis-Bereichs des vertikalen pnp Transistors zu sehen, die auch die Definition der Emittergeometrie zeigt.

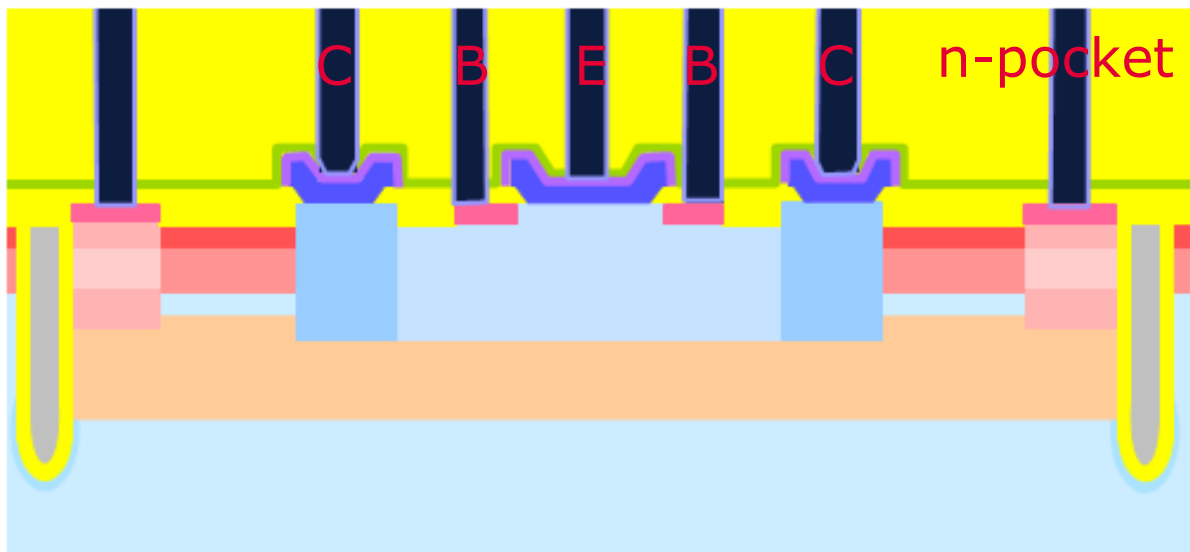
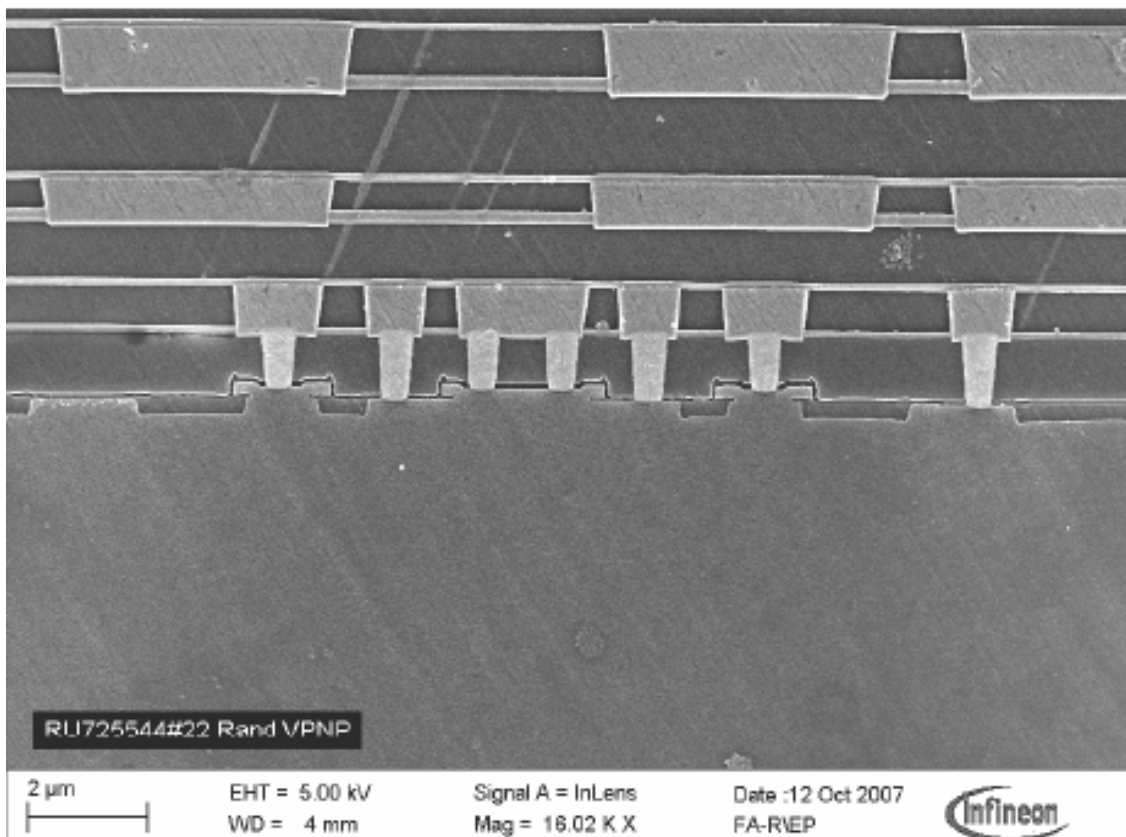
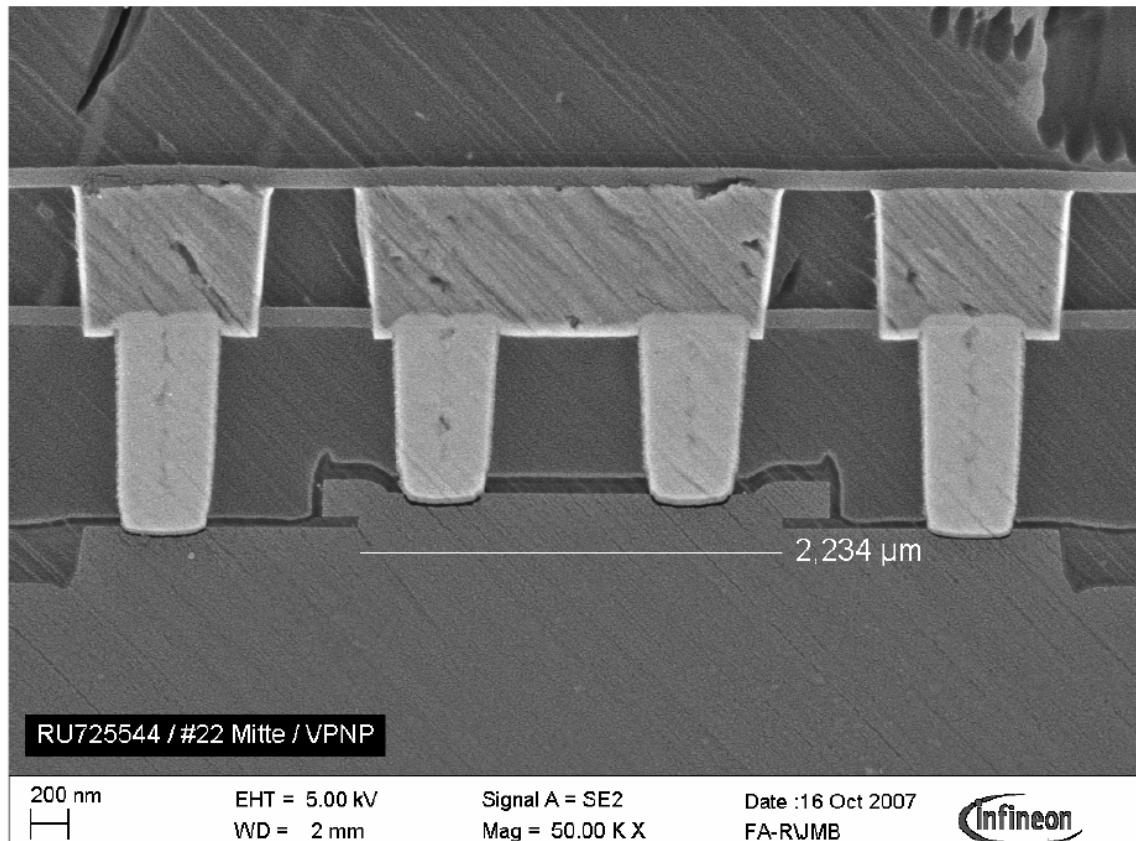


Abbildung III.5.1: Schematischer Querschnitt des vertikalen pnp Transistors



III.5.2: REM-Aufnahme eines Querschnitts des vertikalen pnp Transistors





III.5.3: REM-Aufnahme des Emitter-Basis-Bereichs des vertikalen pnp Transistors mit der Abmessung der Emitterbreite

Eine wichtige Kenngröße für pnp Transistoren ist das Produkt aus Stromverstärkung und Early-Spannung. Es bestimmt z. B. beim Einsatz des pnp als Stromquelle, welche Konstanz des Stroms sich erzielen lässt. Da der Kollektorstrom (und damit die Stromverstärkung) des Transistors indirekt proportional zur Basisladung des Bauteils ist und die Early-Spannung direkt proportional zur Basisladung, ist das Produkt über die Einstellung des Dotierstoffprofils in erster Näherung nicht optimierbar. Die ersten nach dem oben beschriebenen Konzept hergestellten Transistoren hatten eine Stromverstärkung von 35 bei einer Early-Spannung von 35 V, was für die gedachten Anwendungen nicht optimal ist. Daher wurde ein Verfahren entwickelt, mit dem sich die Stromverstärkung der Transistoren unabhängig vom Dotierstoffprofil steigern lässt. Dazu wurde vor der Abscheidung des Polysiliziums für den Emitter eine chemische Grenzflächenoxidation eingeführt. Dieses Oxid, das bei der Eindiffusion des Emitters aufbricht, wirkt als Barriere für die Elektronen des Basisstroms und senkt diesen ab. Auf diese Weise wird die Stromverstärkung erhöht. Abbildung III.5.4 zeigt die Stromverstärkung des pnp Transistors über ein Los. Man sieht, dass sich Stromverstärkungen von mehr als 60 mit diesem Verfahren realisieren lassen und die Stromverstärkung von Wafer zu Wafer sehr reproduzierbar ist. Die Verteilung der Stromverstärkung über eine Scheibe in Abbildung III.5.5 zeigt, dass das Verfahren

auch sehr homogene Parameterverteilungen auf einem Wafer liefert. Die Early-Spannung beträgt dabei ca. 30 V (Abbildung III.5.6). Im Vergleich zu Transistoren ohne Grenzflächenoxidation konnte so das Produkt aus Stromverstärkung und Early-Spannung von ca. 1200 V auf 1900 V, also um mehr als 50%, erhöht werden.

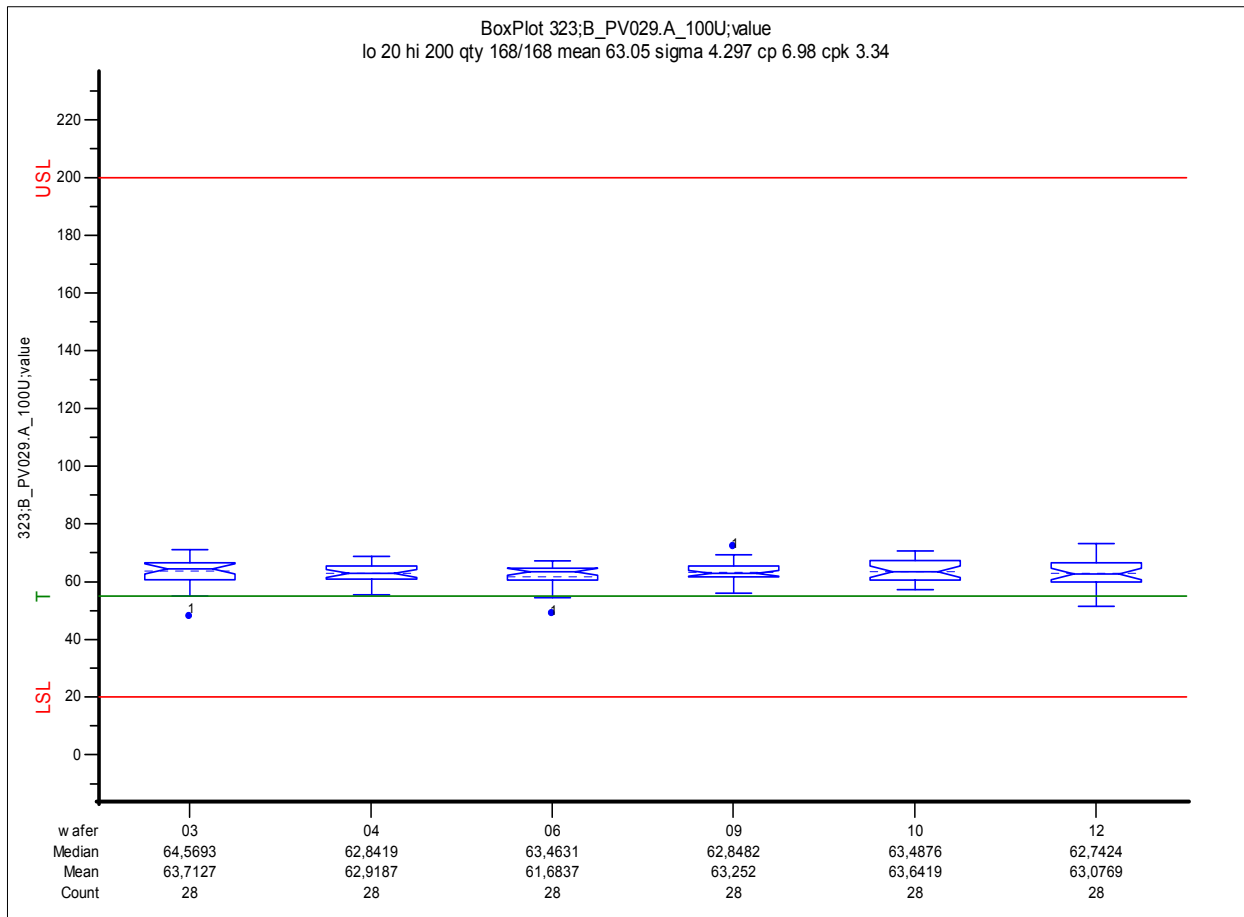


Abbildung III.5.4: Verteilung der Stromverstärkung von vertikalen pnp Transistoren mit Emittter-Grenzflächenoxidation über ein Los mit 6 Wafern

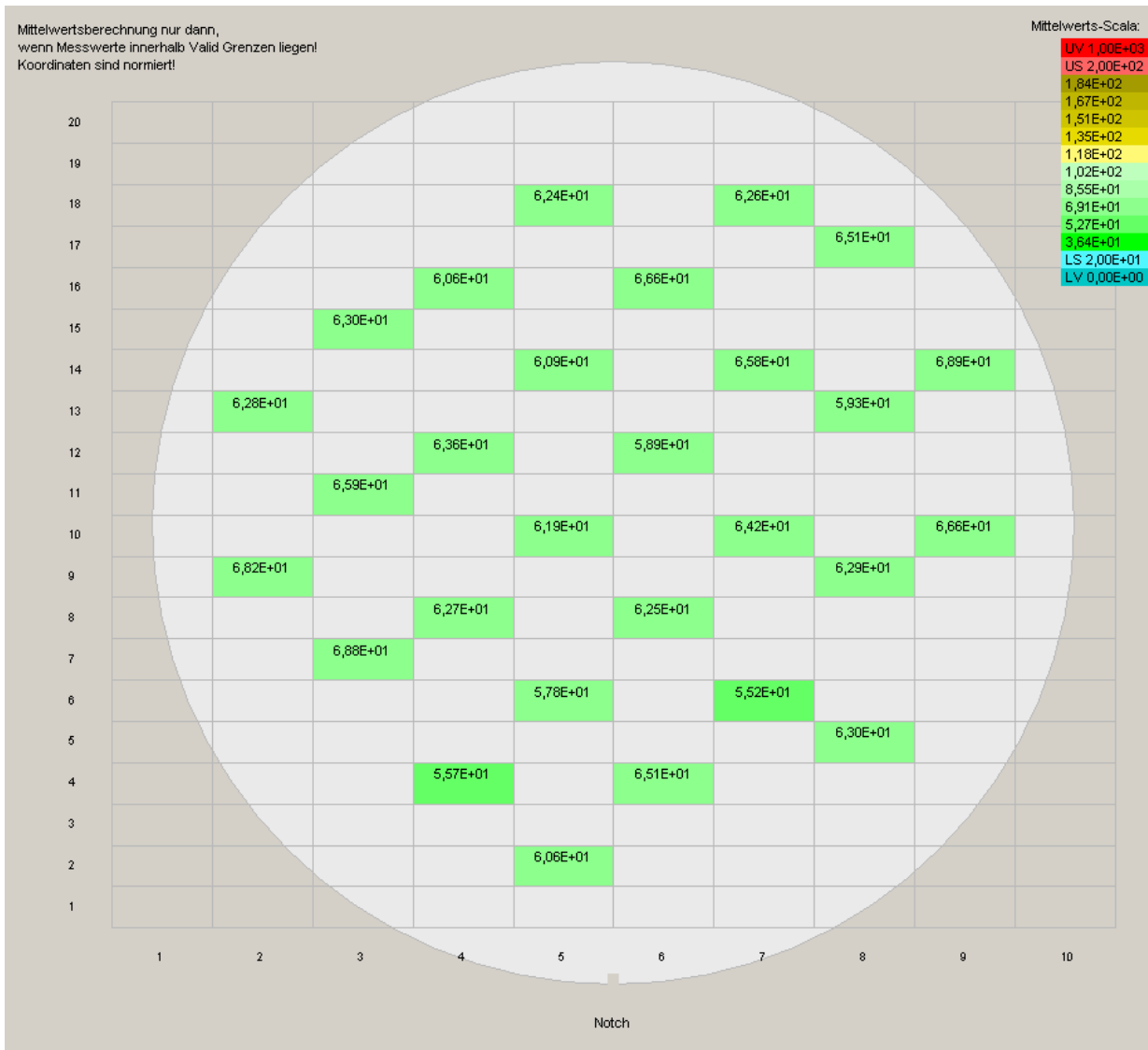


Abbildung III.5.5: Verteilung der Stromverstärkung eines vertikalen pnp Transistors mit Grenzflächenoxidation vor der Emitterabscheidung über eine Scheibe

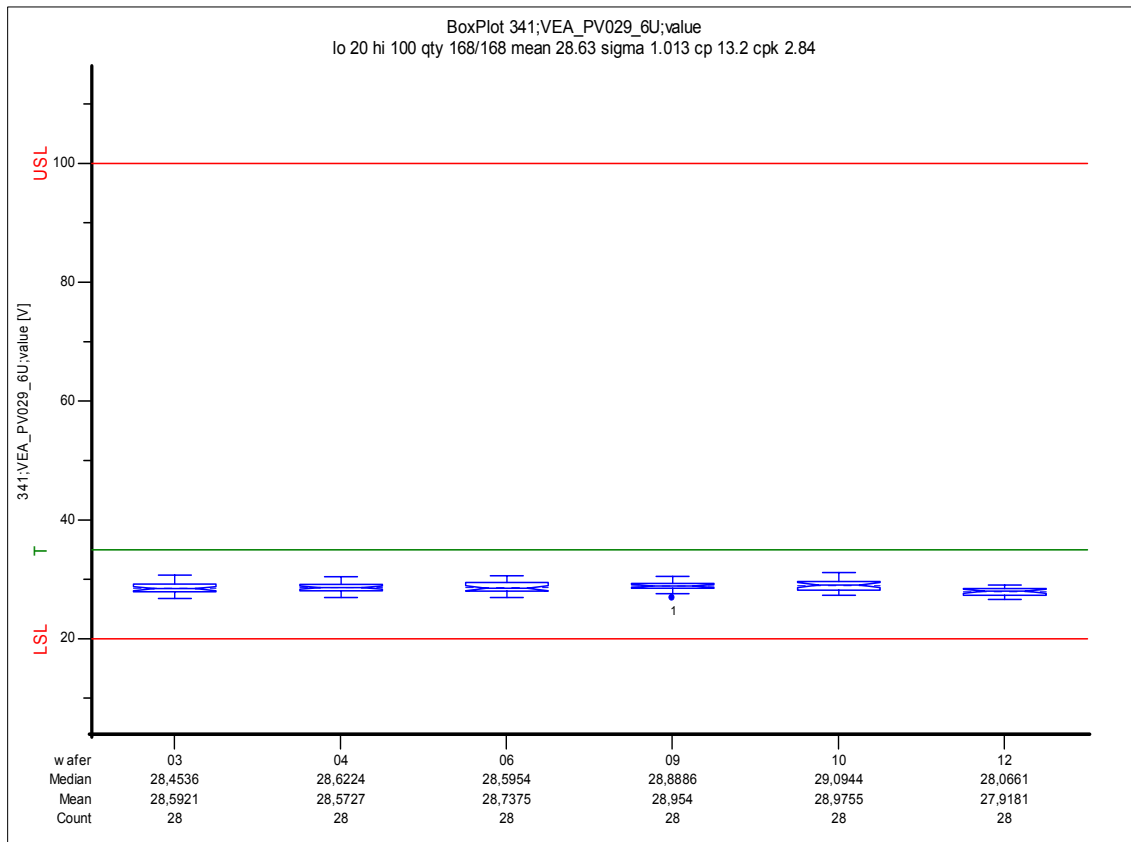


Abbildung III.5.6: Verteilung der Early-Spannung des vertikalen pnp Transistors über ein Los mit 6 Wafers

Tabelle III.5.1 fasst die wichtigsten Eigenschaften des pnp Transistors zusammen. Neben einer hohen Stromverstärkung und Early-Spannung ist wichtig, dass die Durchbruchspannungen des Transistors so hoch sind, dass er über den gesamten Bereich der Versorgungsspannung als Stromquelle in den Spannungsnetzwerken verwendet werden kann. Dies ist für alle relevanten Spannungsbereiche (bis z. B. 6 V) garantiert. Mit 3.5 GHz ist die Transitfrequenz des pnp so hoch, dass sie für den geplanten Einsatz zur Spannungsversorgung oder als Operationsverstärker keine Limitierung darstellt.

$h_{FE}$	55
$V_{Early}$	35 V
$BV_{ce0}$	< - 6.5 V
$BV_{cb0}$	< - 10 V
$f_T$	3.5 GHz

Tabelle III.5.1: Wichtige Kenngrößen des vertikalen pnp Transistors

### III.6 Polysilizium-Widerstände

Um integrierte Schaltungen herstellen zu können, wurden in den Gesamtprozess mehrere Widerstandstypen mit unterschiedlichen Schichtwiderständen integriert. Aus der Polysilizium-Schicht, die als Basiselektrode des npn Transistors verwendet wird, werden zwei Arten von Widerständen mit unterschiedlichen spezifischen Werten hergestellt, indem durch Lackmasken ein Teil der Implantationsdosis in das Polysilizium des npn Basisanschlusses abgeblockt wird. Die Schichtwiderstände wurden zu 150 Ohm/sq. und 1000 Ohm/sq. gewählt, damit mit sinnvollen Abmessungen ein großer Bereich an Widerstandswerten realisiert werden kann. Um geringe Kontaktwiderstände in den Anschlussbereichen der Widerstände zu erzielen, wird dort die vollständige Implantationsdosis der Basisanschlusselektrode des npn Transistors verwendet. Zur Herstellung jedes Widerstandstyps wird somit eine zusätzliche Fotoebene benötigt. Die Abbildungen III.6.1 und III.6.2 erläutern dies anhand von beispielhaften Layouts für einen Niederohm- und einen Hochohm-Widerstand. Die Strukturierung der Widerstandsbereiche erfolgt zusammen mit der Lithografie und Ätzung für das Emitterfenster des npn Transistors.

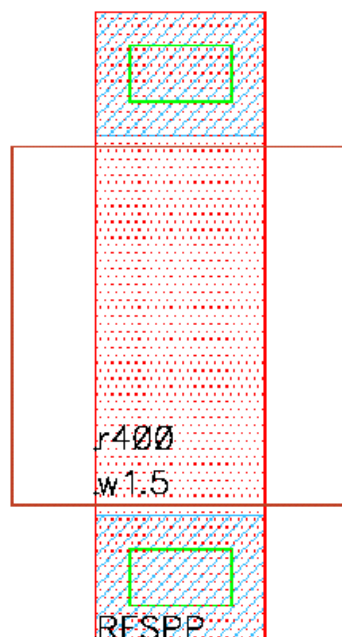


Abbildung III.6.1: Layout eines Niederohm-Widerstandes mit einem Wert von 400 Ohm. Die Ebene UC blockt außer in den Kontaktbereichen die Implantation des niederohmigen Basisanschlusses des npn Transistors.

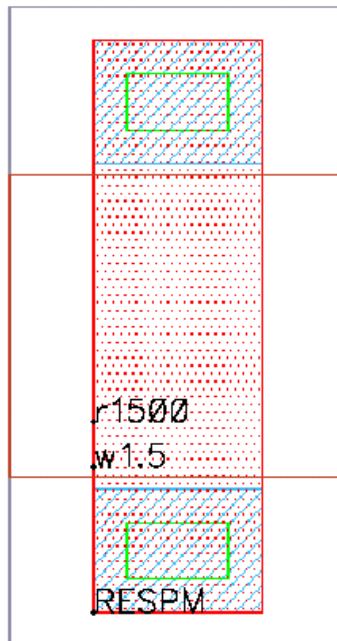


Abbildung III.6.2: Layout eines Hochohm-Widerstands mit 1500 Ohm. Die Ebene UC blockt außer in den Kontaktbereichen die Implantation des niederohmigen Basisanschlusses des npn Transistors und die Ebene UA blockt im gesamten Widerstandsbereich die Implantation für den Niederohm-Widerstand.

Die Genauigkeit, mit der die Schichtwiderstände eingestellt werden können, ist vor allem durch die Dicke der Polysiliziumschicht gegeben. Die Implantationsdosis spielt für die Reproduzierbarkeit des Schichtwiderstands eine untergeordnete Rolle, da sie über den Implantationsstrom direkt gemessen werden kann und daher sehr genau kontrollierbar ist. Die Abbildungen III.6.3 und III.6.4 zeigen Verteilungen der beiden Schichtwiderstände über ein Los mit 6 Wafern. Man sieht, dass die Zielwerte von 150 bzw. 1000 Ohm/sq. bis auf wenige Prozent genau getroffen werden. Die Streuung von Wafer zu Wafer ist vernachlässigbar und die Schwankung des Schichtwiderstands über eine Scheibe beträgt ebenfalls nur wenige Prozent.

Durch die Strukturierung der Widerstandsbereiche und die Kontaktwiderstände addieren sich zusätzliche Schwankungen für die Genauigkeit der Werte integrierter Widerstände. Eine Schwankung der Widerstandsweite durch die Ätzung von 100 nm führt z. B. bei einer Stegbreite von 2  $\mu\text{m}$  zu 5% Widerstandsänderung. Insgesamt ist die Widerstandstoleranz mit +/- 20% spezifiziert.

Neben den Fertigungstoleranzen der Widerstände sind für den Schaltungsentwurf auch die Temperaturabhängigkeit der Widerstandswerte und ihre Langzeitstabilität wichtig. Außerdem ist die maximal zulässige Stromdichte zu bestimmen, bei der keine Zuverlässigkeitsprobleme auftreten und die möglichst hoch sein sollte, um kompakte Designs realisieren zu können. Alle diese Parameter wurden bestimmt und sind in Tabelle III.6.1 angegeben.

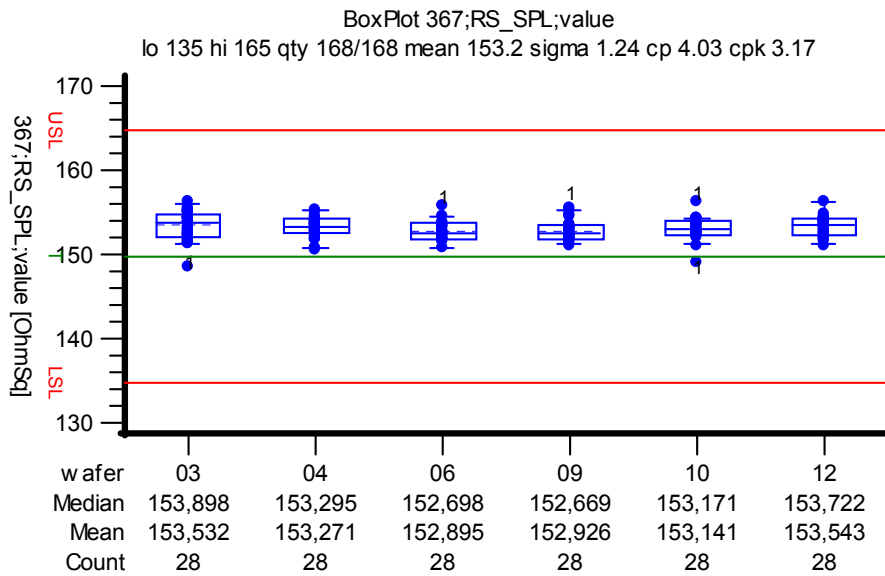


Abbildung III.6.3: Verteilung des Schichtwiderstands des Niederohm-Polysiliziums über ein Los mit 6 Wafern

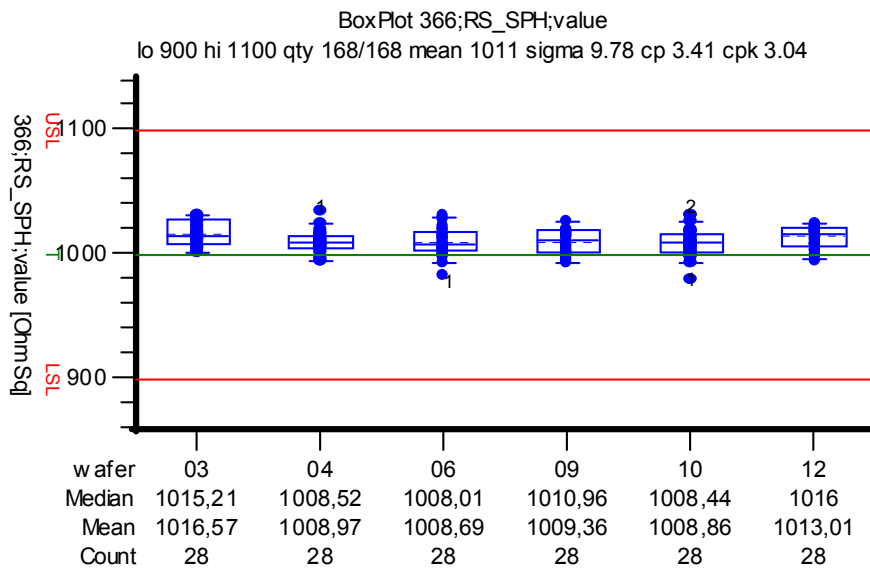


Abbildung III.6.4: Verteilung des Schichtwiderstands des Hochohm-Polysiliziums über ein Los mit 6 Wafern

<b>Parameter</b>	<b>Niederohm-Widerstand</b>	<b>Hochohm-Widerstand</b>
Schichtwiderstand	150 Ohm/sq.	1000 Ohm/sq.
Toleranz	+/- 20%	+/- 20%
Temperatur-Koeffizient	$1.2 \times 10^{-3} / K$	$- 6.5 \times 10^{-4} / K$
Maximale Stromdichte	0.65 mA/ $\mu$ m	0.25 mA/ $\mu$ m
Langzeitstabilität (15a, 125°C)	+/- 2%	+/- 5%

Tabelle III.6.1: Wichtige Kenngrößen der Niederohm- und Hochohm-Polysilizium-Widerstände



### III.7 TaN Widerstand

Polysilizium-Widerstände lassen sich aus Schichten, die für die Herstellung der aktiven Bauteile ohnehin benötigt werden, herstellen und daher relativ leicht und kostengünstig in eine Prozesstechnologie integrieren. Ihre Eigenschaften sind jedoch in mehrerer Hinsicht nicht optimal für die Herstellung integrierter Schaltungen. Ihre Toleranz ist mit typisch +/- 20% relativ hoch. Die Abhängigkeit des Widerstandswerts von der Temperatur ist mit typisch  $10^{-3}$  bis  $10^{-4}$  / K insbesondere für niedrige Werte des Schichtwiderstands relativ groß. Außerdem ist die Güte der Widerstände begrenzt, weil sie sich in relativ geringem Abstand zum Substrat befinden und daher relativ große parasitäre Kapazitäten aufweisen. Die begrenzte Leitfähigkeit dotierter Polysiliziumschichten limitiert auch den minimalen Schichtwiderstand, der mit den typischen Schichtdicken, die zur Transistorherstellung benötigt werden, erzielt werden kann, und begrenzt die maximal erlaubte Designstromdichte. Daher müssen zur Herstellung von Widerständen im Bereich von 10 – 100 Ohm, wie sie oft in integrierten Schaltungen benötigt werden, relativ große Widerstandsgeometrien verwendet werden.

Um diese Beschränkungen der Polysilizium-Widerstände zumindest teilweise aufzuheben, wurde im Rahmen dieses Projekts ein TaN Metall-Widerstand entwickelt und in den Gesamtprozess integriert. Die hohe Leitfähigkeit dieses Materials ermöglicht die Realisierung von geringen Schichtwiderständen von 20 Ohm/sq. bei einer Schichtdicke von nur ca. 100 nm und einer zulässigen maximalen Stromdichte von 0.8 mA/ $\mu$ m. Der Widerstand kann in die Cu-Metallisierung integriert werden. Der große Abstand zum Silizium-Substrat reduziert die parasitäre Kapazität im Vergleich zu Polysilizium-Widerständen um ca. einen Faktor 5. Durch Variation des Stickstoff-Gehalts kann der Temperatur-Koeffizient des Widerstands eingestellt werden. Mit Werten im Bereich von  $10^{-4}$  bis  $10^{-5}$  / K ist die Temperaturabhängigkeit mehr als eine Größenordnung kleiner als bei Polysilizium-Widerständen mit vergleichbarem Schichtwiderstand. Die Abscheidung und damit die Homogenität des Schichtwiderstands kann unabhängig von anderen Bauteilen optimiert werden. Mit +/- 10% Toleranz wird die spezifizierte maximale Streuung der Widerstände im Vergleich zu Widerständen aus Polysilizium halbiert.

Die Integration des TaN Widerstands in die Gesamttechnologie erfolgt zwischen der ersten und zweiten Kupfer-Lage. Nach Fertigstellen des Cu 1 werden jeweils 100 nm Nitrid und Oxid abgeschieden. Anschließend erfolgt das Aufputtern der TaN-Schicht, aus der die Widerstände erzeugt werden. Nach Abscheidung einer 100 nm dicken Nitrid-Deckschicht werden die Widerstände mit Hilfe einer Lackmaske durch reaktives Ionenätzen strukturiert. Anschließend wird ein Intermetall-Dielektrikum abgeschieden und mit CMP planarisiert. Dadurch wird für die nachfolgenden Prozessschritte wieder eine ebene Waferoberfläche hergestellt. Die Kontaktierung der Widerstände erfolgt über Via 1 und die zweite Kupferlage. Abbildung III.7.1 zeigt Querschnitte von integrierten TaN Widerständen.

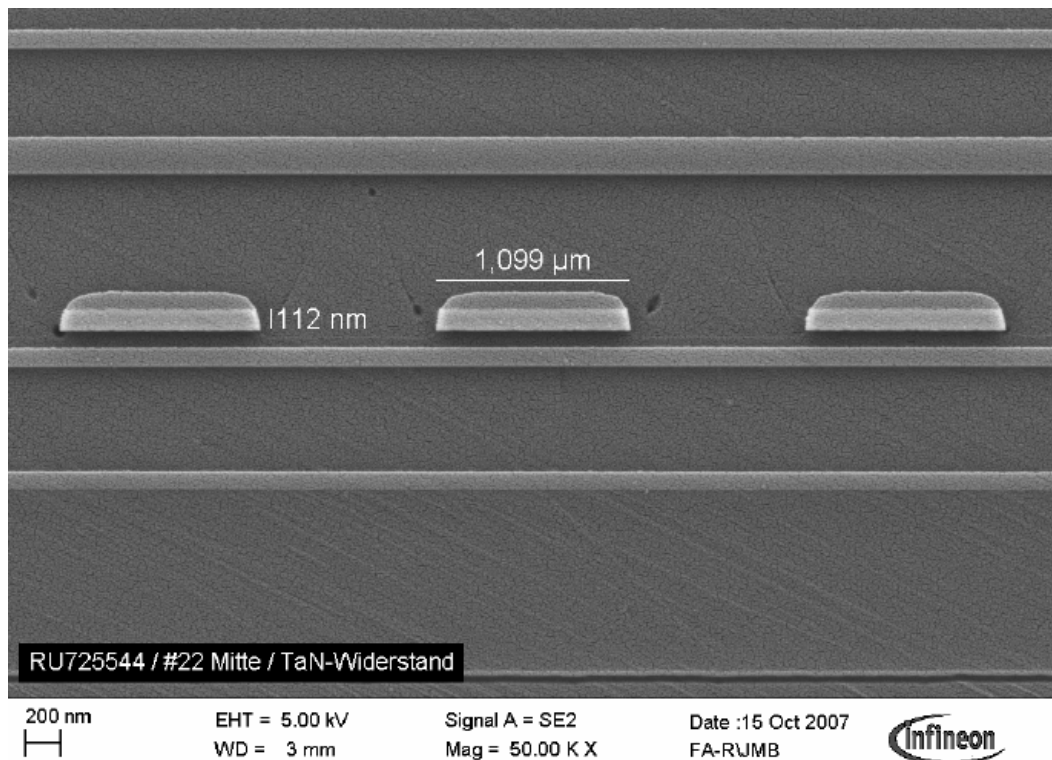


Abbildung III.7.1: Querschnitt von TaN Widerständen, die zwischen der 1. und 2. Kupfer-Ebene integriert sind

Insgesamt konnte durch die Optimierung des Abscheideprozesses die angestrebte maximale Toleranz der TaN Widerstände von +/- 10% erreicht werden, was gegenüber den Polysilizium-Widerständen eine Verbesserung um einen Faktor 2 in der Genauigkeit darstellt. Tabelle III.7.1 fasst die wichtigsten Kenngrößen der TaN Widerstände zusammen.

Parameter	
Schichtwiderstand	20 Ohm/sq.
Toleranz (Weite > 3 µm)	+/- 10%
Temperatur-Koeffizient	- 7.5×10 <sup>-5</sup> / K
Maximale Stromdichte	0.8 mA/µm
Langzeitstabilität (15a, 125°C)	+/- 3%

Tabelle III.7.1: Wichtige Kenngrößen des TaN Widerstandes

### III.8 MIM Kondensator

Kondensatoren werden in integrierten Schaltungen vielfach eingesetzt, z. B. in Schwingkreisen oder als Frequenzfilter. Eine wichtige Kenngröße der Kondensatoren ist dabei ihre spezifische Kapazität, da sie den Platzbedarf und damit die Herstellungskosten eines Kondensators wesentlich bestimmt. Mit den üblicherweise in der Halbleitertechnik verwendeten Dielektrika Siliziumoxid (Dielektrizitätskonstante ca. 3.8) oder Siliziumnitrid (Dielektrizitätskonstante ca. 7.2) können bei den typischen Schichtdicken von einigen 10 nm spezifische Kapazitätswerte von nur  $< 1 \text{ fF}/\mu\text{m}^2$  erzielt werden. Um höhere Werte zu erreichen, wird bei B7HF200 ein in der Siliziumtechnologie relativ neuartiges Dielektrikum aus Aluminiumoxid mit einer Dielektrizitätskonstante von ca. 12 eingesetzt. Damit werden spezifische Kapazitäten von  $1.4 \text{ fF}/\mu\text{m}^2$  erreicht bei einer Schichtdicke von 50 nm und einer hohen Durchbruchsspannung von mehr als 40 V.

Für das Device- und Integrations-Konzept konnte auf die Vorarbeiten aus dem HiSpeed-Projekt zurückgegriffen werden. Der Transfer der Scheibenfertigung von 150 auf 200 mm Wafer erforderte allerdings eine Neuentwicklung des Abscheideverfahrens für das Dielektrikum und eine aufwändige Optimierung der Prozesshomogenität auf den Scheiben mit größerem Durchmesser. Außerdem wurde der Kondensator deutlich bzgl. seiner Ausbeute und Langzeitstabilität verbessert, was eine Grundvoraussetzung für den Einsatz im Automobilbereich darstellt.

Neben der spezifischen Kapazität ist die Güte des Kondensators eine wichtige Kennzahl. Neben einem geringen Serienwiderstand ist dabei vor allem eine geringe parasitäre Kapazität zum Silizium-Substrat wichtig. Durch Integration des Kondensators als MIM (Metal-Insulator-Metal) Kapazität zwischen der 2. und 3. Lage der Kupfermetallisierung beträgt der Abstand zum Substrat mehrere  $\mu\text{m}$ .

Abbildung III.8.1 zeigt die gemessenen Verteilungen von Kapazitätswerten über ein Los mit 6 Wafern. Die Werte streuen nur um wenige Prozent über eine Scheibe und sind von Wafer zu Wafer sehr reproduzierbar, was die Prozessoptimierung bzgl. Fertigungstoleranzen widerspiegelt. In Tabelle III.8.1 sind die wichtigen Kennzahlen des MIM Kondensators zusammengefasst.

Parameter	
Spezifische Kapazität	$1.4 \text{ fF}/\mu\text{m}^2$
Toleranz	+/- 10%
Leckstrom	$< 1 \text{ pA}/\mu\text{m}^2$
Güte (bei 2 GHz)	$> 50$

Tabelle III.8.1: Wichtige Kenngrößen des MIM Kondensators

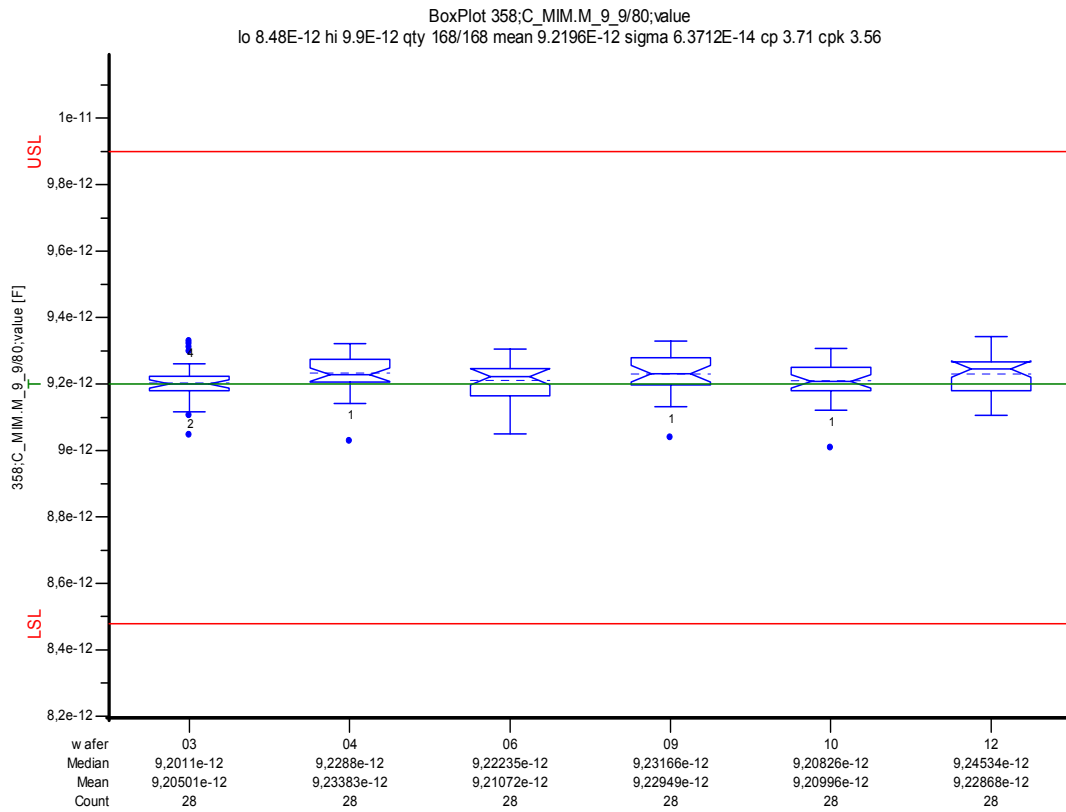


Abbildung III.8.1: Verteilung von Kapazitätswerten des MIM Kondensators über ein Los mit 6  
 Wafern

### III.9 Kupfer-Metallisierung

Um die gewünschten hohen Grenzfrequenzen der npn Transistoren zu erreichen, müssen die Bauteile bei relativ hohen Stromdichten von mehreren  $\text{mA}/\mu\text{m}^2$  betrieben werden. Gleichzeitig müssen die Zuleitungen lateral skaliert werden, um kleine Bauteilabmessungen und damit geringe parasitäre Kapazitäten zu erzielen. Der Betrieb im Automobil bei hohen Umgebungstemperaturen bis  $125^\circ\text{C}$  erfordert dabei stringente Kriterien an die Zuverlässigkeit der integrierten Schaltungen. Aus diesen Gründen ist eine Metallisierung aus Aluminium, wie sie bisher bei Infineon für Bipolartechnologien in der Produktion genutzt wurde, im Hinblick auf die Zuverlässigkeit nicht mehr geeignet. Kupfer bietet bzgl. Leitfähigkeit und Beständigkeit gegen Elektromigration deutlich bessere Eigenschaften als Aluminium. Aus diesen Gründen wurde entschieden für B7HF200 eine Cu-Metallisierung zu entwickeln. Dabei konnte wieder auf die Erfahrungen aus dem HiSpeed-Projekt zurückgegriffen werden. Die Entwicklung der Kupfer-Metallisierung auf 200 mm Wafern erforderte aber eine Reihe von Prozessoptimierungen, z. B. hinsichtlich der Homogenitäten der Oxid- und Kupfer-CMP-Prozesse, der Abscheideprozesse für die Intermetalldielektrika und der Ätzschritte zur Strukturierung der Metallbahnen und Vias.

Die Cu-Metallisierung ist modular aufgebaut, d. h. eine zusätzliche Kupferlage kann einfach nach dem gleichen Prinzip addiert werden. Das schematische Verfahren dazu wird im Folgenden beschrieben. Nach Fertigstellen einer Kupferbahn erfolgt die Integration der nächsten Ebene indem zunächst eine Nitridschicht auf der Kupferbahn als Oxidationsbarriere abgeschieden wird. Anschließend wird das Oxid abgeschieden, in das später das Via geätzt wird. Darauf folgt die Abscheidung einer Nitridschicht, die als Stoppschicht für die spätere Ätzung der Oxidgräben für die Kupferbahnen dient. Durch eine Lackmaske und Nitridätzung wird nun die spätere Lage der Vias definiert. Dann wird das Oxid abgeschieden, in die die Kupferbahnen eingebettet werden. Die Oxidgräben dafür werden durch eine Ätzung strukturiert. Die Ätzung stoppt auf dem Nitrid, wird aber so lange durchgeführt bis auch das Nitrid in den Vias bis über der darunterliegenden Kupferbahn freigelegt ist. In einem zweiten Ätzschritt wird nun das Nitrid am Boden der Oxidgräben und der Vias durchstoßen. Anschließend werden eine Ta/TaN-Barriere aufgesputtert und eine dünne Kupferschicht, die als Startschicht für die anschließende Galvanik zur Füllung der Vias und Metallgräben mit Kupfer dient. Mit CMP wird das Kupfer abschließend planarisiert.

Abbildung III.9.1 zeigt einen schematischen Querschnitt des gesamten Metallisierungssystems. Es werden vier Kupferlagen mit Dicken von 2 mal 600 nm, 1000 nm und 2500 nm verwendet. Die unteren Lagen dienen v. a. zum Anschluss der Bauelemente. Die oberen dickeren Lagen können z. B. für die niederohmige Chipverdrahtung über größere Bereiche oder die Integration von Spulen hoher Güte verwendet werden. Die Breiten der Vias betragen  $0.6 \mu\text{m}$  beim Via 1,  $0.8 \mu\text{m}$  beim Via 2 und  $1 \mu\text{m}$  beim Via 3. Die Tiefen der Vias nehmen von unten nach oben ebenfalls zu, um einen großen Abstand der oberen Metalllagen vom Substrat und damit eine kleine kapazitive Ankopplung zu ermöglichen.

Die Integration der TaN Widerstände erfolgt zwischen Cu 1 und Cu 2 und die des MIM Kondensators zwischen Cu 2 und Cu 3. Nach der Integration dieser Bauelemente erfolgt jeweils eine Oxidplanarisierung mit CMP um ebene Waferoberflächen herzustellen und die Modularität des Metallisierungssystems zu erhalten.

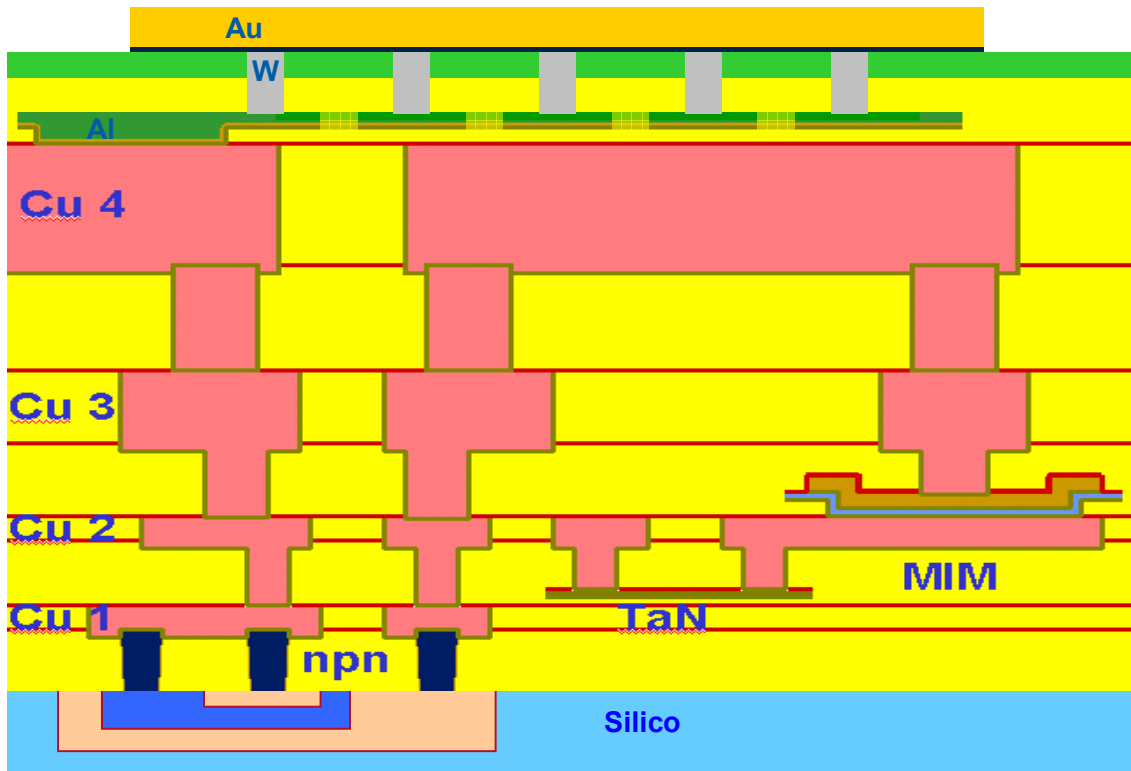


Abbildung III.9.1: Schematischer Querschnitt des 4-Lagen-Kupfer-Metallisierungssystems

Aus der REM-Aufnahme in Abbildung III.9.2 ist das oben beschriebene Integrationskonzept für eine Kupferlage ersichtlich. Abbildung III.9.3 zeigt den kompletten Aufbau der Metallisierung am Prozessende.



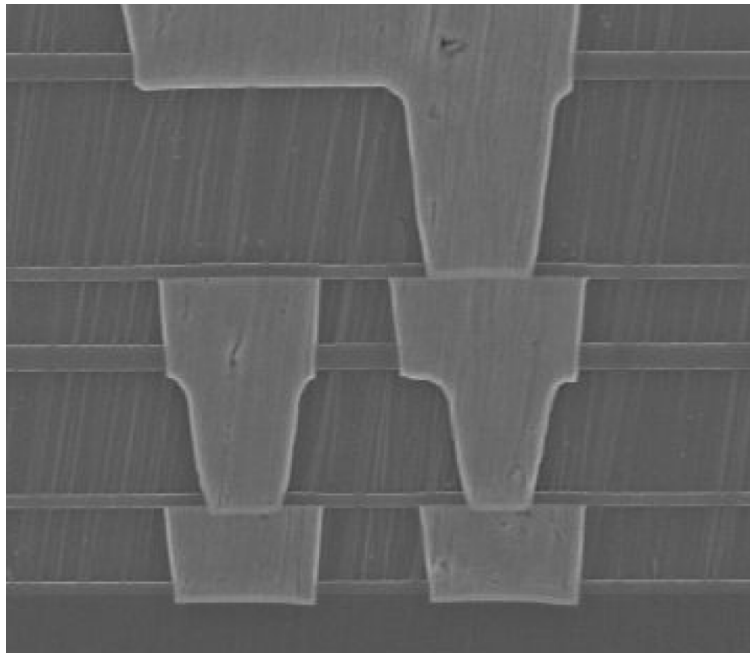


Abbildung III.9.2: REM-Aufnahme des Bereichs von Cu 1 bis Cu 3. Die hellen horizontalen Schichten sind die Nitridschichten, in denen die Oxid-Ätzungen der Gräben für die Kupferbahnen bzw. der Vias stoppen.

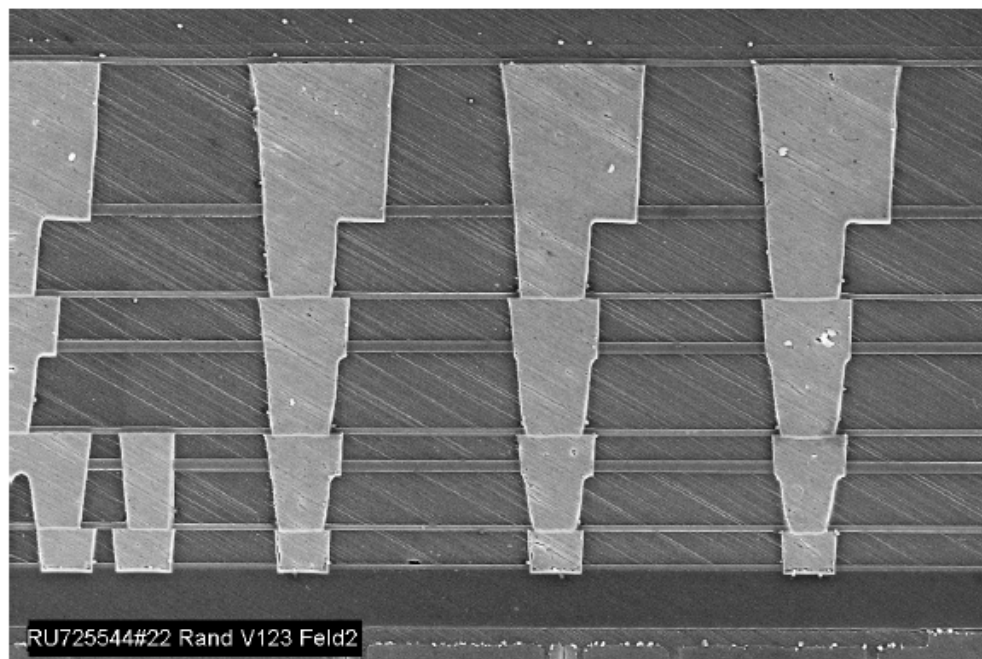


Abbildung III.9.3: REM-Aufnahme der kompletten 4-Lagen-Kupfer-Metallisierung

Um das Ergebnis des Prozesses zu kontrollieren, erfolgt neben einer Reihe von Messungen physikalischer Größen während der Herstellung wie z. B. Schichtdicken eine umfangreiche Charakterisierung der elektrischen Eigenschaften der Metallisierung am Prozessende im „Process Control Monitor“ (PCM). Die Dicke und Breite der Kupfer-Bahnen wird z. B. für jede Lage über die Messung der Widerstände von Metallmäandern bestimmt. Als Beispiel zeigt Abbildung III.9.4 den Widerstand von Cu 3 Bahnen über ein Los mit 6 Wafern. Die Homogenität dieser Werte ist v. a. ein Maß für die Homogenität der Oxiddicken, in die die Cu-Bahnen eingebracht werden und deren Strukturbreiten.

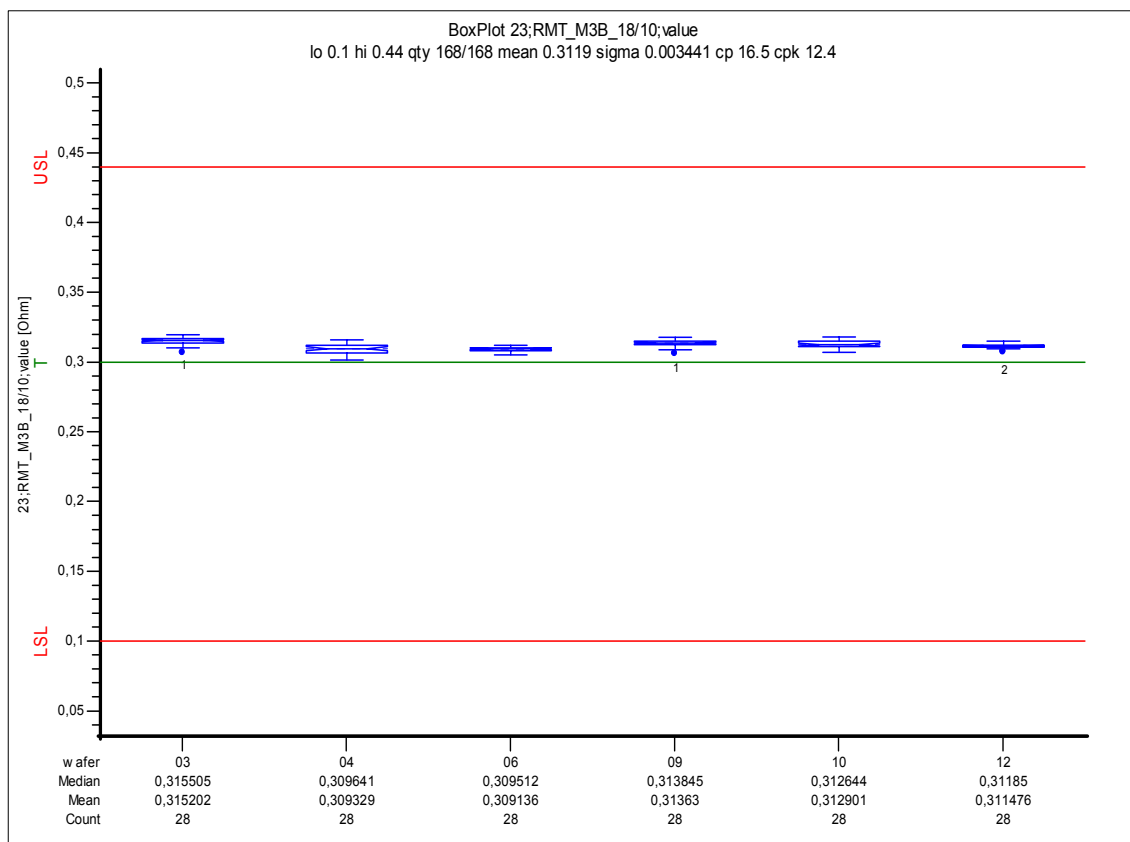


Abbildung III.9.4: Verteilung von Widerständen von Mäandern aus Cu 3 über ein Los mit 6 Wafern

Die Güte der Vias, d. h. der Verbindungen zwischen den Metalllagen, wird durch die Messung des Widerstands von Viaketten bestimmt. Dies erfolgt sowohl für jede Via-Ebene einzeln als auch für Vias, die den gesamten Kupferbereich von Cu 1 bis Cu 4 verbinden. In Abbildung III.9.5 ist als Beispiel der Widerstand von 200 Via-Verbindungen zwischen Cu 1 und Cu 4 mit jeweils minimalen Abmessungen gezeigt. Die Streuung der Werte ist ein Maß für die Reproduzierbarkeit der Viatiefen, d. h. der Oxiddicken, und der Querschnitte der leitenden Verbindungen, die v. a. durch die Fototechnik und Ätzprozesse für die Vias bestimmt werden.



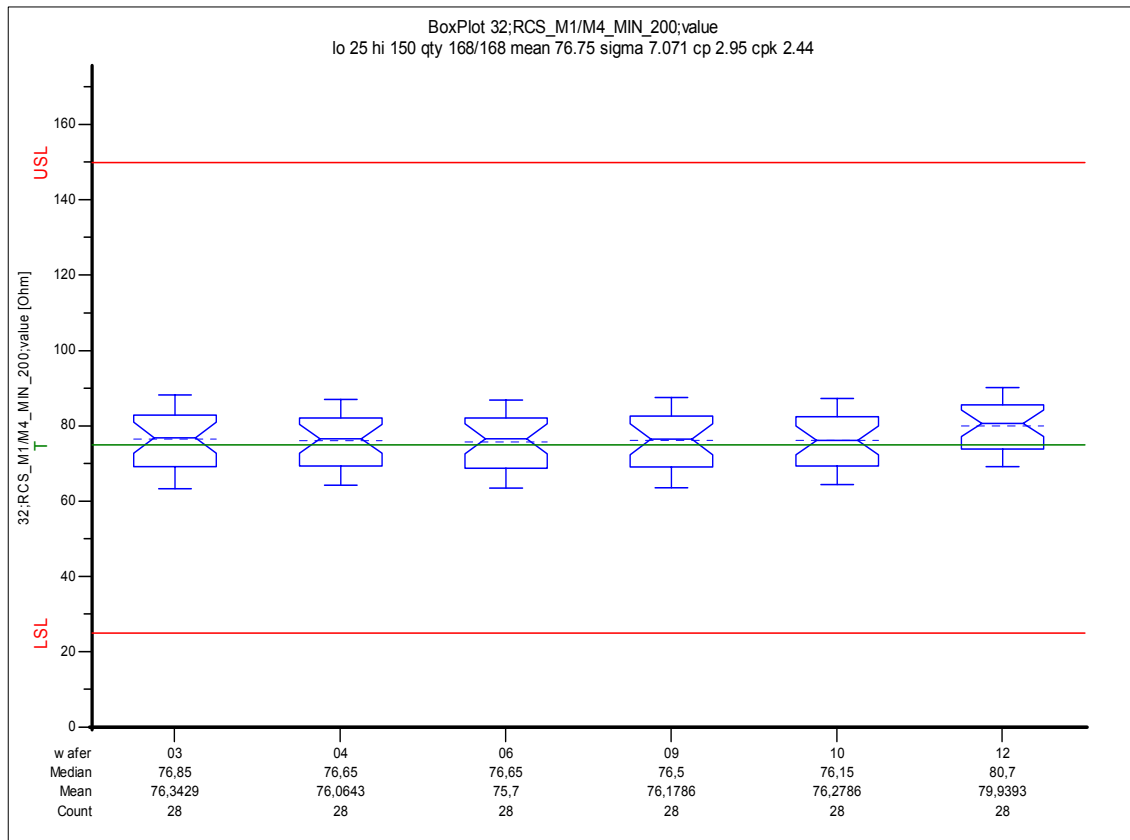


Abbildung III.9.5: Verteilung der gemessenen Widerstände von Via-Verbindungen zwischen Cu 1 und Cu 4 mit minimalen Abmessungen über ein Los mit 6 Wafern

Die Isolation der einzelnen Metalllagen untereinander wird überprüft, indem der Leckstrom zwischen großen Metallmäandern gemessen wird (Intermetall-Isolation). Auf die gleiche Weise wird die Isolation von getrennten Metallbahnen innerhalb einer Metalllage charakterisiert (Intrametall-Isolation). Typische Werte für die Leckströme sind kleiner  $10^{-11}$  A bei einer Spannung von 5 V. Abbildung III.9.6 zeigt als Beispiel die Verteilung von Leckströmen zwischen Cu 2 und Cu 3 Bahnen über ein Los.

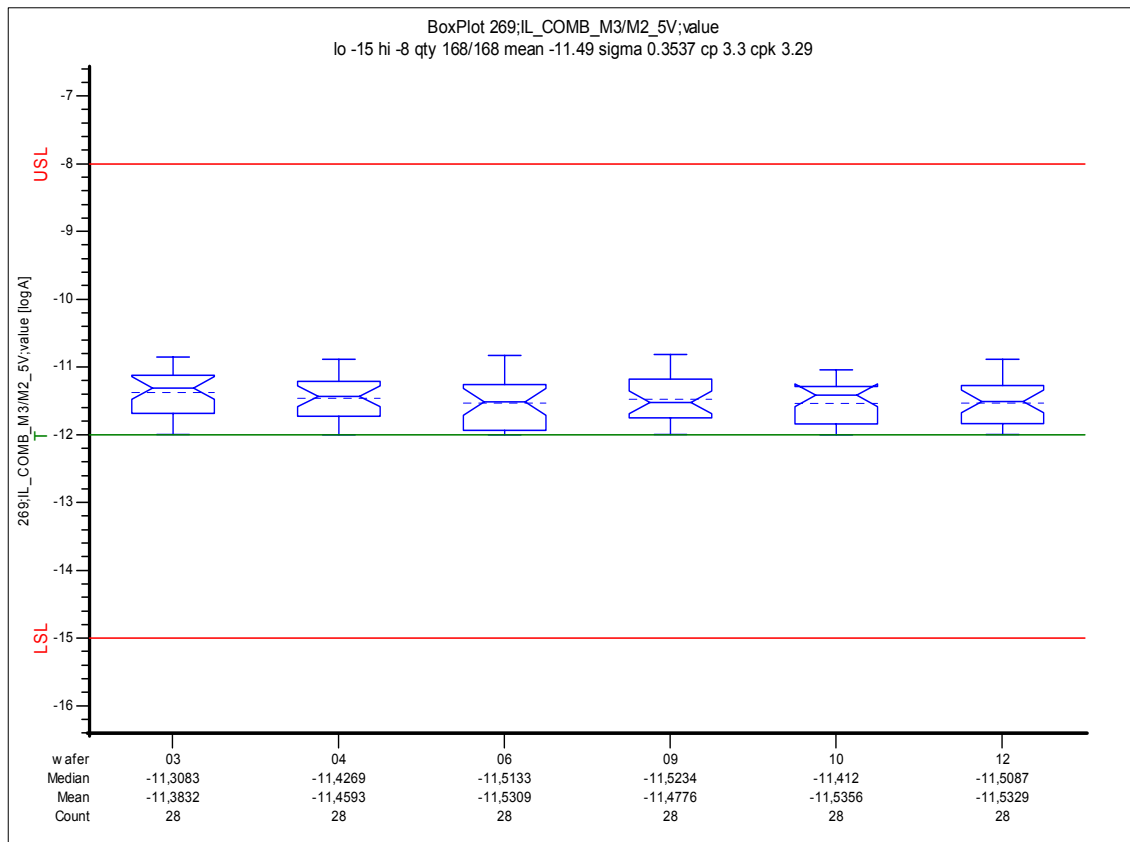


Abbildung III.9.6: Verteilung von Leckströmen zwischen Mäandern aus Cu 2 und Cu 3 bei 5 V Spannung über ein Los mit 6 Wafern

In vielen Anwendungen werden die Signalleitungen in Cu 4 ausgeführt, wobei eine Metallplatte, die in Cu 1 realisiert wird, als Massefläche dient. Die parasitäre Kapazität zwischen Signalleitung und Massefläche ist ein wichtiges Maß für die Güte der Signalleitung. Sie sollte dabei möglichst klein und reproduzierbar sein, damit sie im Schaltungsdesign eine möglichst kleine Rolle spielt und in der Schaltungssimulation exakt berücksichtigt werden kann. Daher werden auch die Kapazitäten zwischen den Metallagen im PCM gemessen. Wichtige Prozessschritte zur Erzielung reproduzierbarer Kapazitätswerte sind die Abscheidungen der Intermetall-dielektrika und die CMP-Schritte, die zur Integration der TaN Widerstände und MIM Kondensatoren benötigt werden. Abbildung III.9.7 zeigt als Beispiel die Verteilung der gemessenen Kapazitäten zwischen Cu 1 und Cu 4 Platten. Obwohl hier 4 Lagen Kupfer übereinander integriert sind, für deren Herstellung mehr als 20 Abscheide- und Planarisierungsschritte benötigt werden, beträgt die Streuung der Kapazität und damit der effektiven Gesamtdicke der Dielektrika nur typisch 10%.

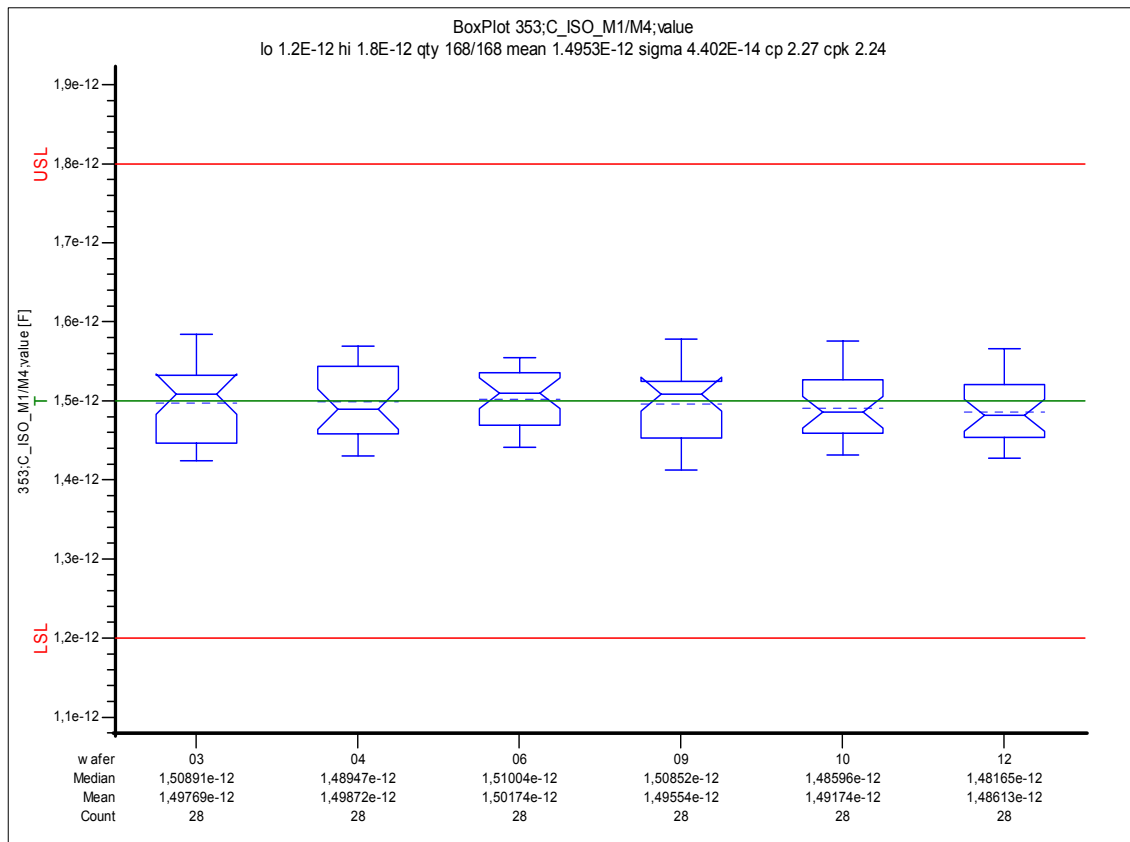


Abbildung III.9.7: Gemessene Verteilung der Kapazitäten zwischen Cu 1 und Cu 4 Platten über ein Los mit 6 Wafern

### III.10 Fuses

Unter Fuses (zu Deutsch: Sicherungen) versteht man elektrisch leitende Verbindungen, die erst nach Fertigstellung des Wafers gezielt aufgetrennt werden können. Ihr Vorteil ist, dass die Auftrennung nicht lithographisch während des Herstellungsprozesses festgelegt wird, sondern flexibel, individuell und chip-fein nach vorhergehenden Messergebnissen auf Wafer Ebene erfolgen kann. Fuses können dazu dienen, Schaltungsteile zu justieren oder Redundanz-Strukturen zu deaktivieren. Es können auch Schaltungsblöcke (z.B. Rauschquellen), die für eine Testmessung nötig waren, abgetrennt werden, um die Ziel-Funktion der Gesamtschaltung herzustellen. Eine weitere Anwendung ist die Ausstattung der Chips mit einer individuellen Chip-Identifikations-Nummer, die eine spätere Rückverfolgung bei Ausfallteilen zweifelsfrei möglich macht.

Es gibt im Wesentlichen zwei Arten von Fuses: Elektrisch auftrennbare Fuses werden mit einem kurzen kräftigen Stromstoß analog zu Sicherungen aufgeschmolzen. Laser-Fuses werden durch einen gezielten Laserpuls von oben auf das Fuseelement aufgetrennt, der einen Teil der elektrischen Verbindung verdampft.

In der hier entwickelten Technologie kommt die letztere Variante zum Einsatz. Eine Anwendung ist die Frequenzabstimmung eines 77 GHz Oszillators, was eine niederohmige Verbindung von weniger als 1 Ohm im nicht aufgetrennten Zustand erfordert. Weiterhin muss die Dimensionierung der Fuse so gewählt werden, dass die Laserleistung ausreicht, um eine vollständige Auftrennung sicher zu gewährleisten. Eine dritte Randbedingung ist die Korrosionsfestigkeit der aufgetrennten Struktur, die als Krater mit verletzter Passivierungsschicht vorliegt.

Einen Querschnitt durch die hier entwickelte Fuse zeigt die Abb. III.10.1. Die Fuse ist in der AlCu Metallschicht über dem Cu4 realisiert. Seitlich ist die Fuse über eine Kontaktierung zum Cu4 elektrisch angeschlossen, was einen niedrigen elektrischen Widerstand von ca. 0,5 Ohm garantiert.

Neben einer eleganten Möglichkeit zur Frequenzabstimmung des 77 GHz Oszillators werden weitere Einsatzmöglichkeiten wie Abstimmung von Leitungslängen, Abklemmen von nur zu Testzwecken benötigten Schaltungsteilen und Einprägen einer Chip-Identifikations-Nummer genutzt.

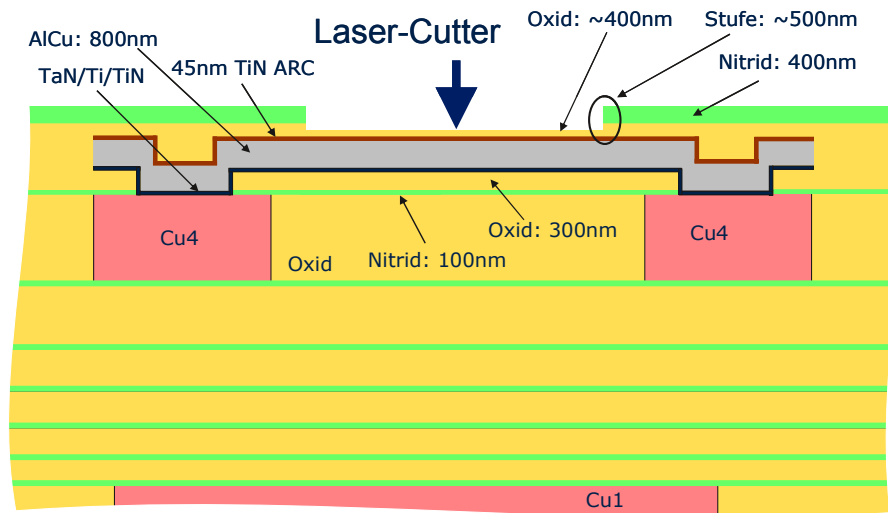


Abb. III.10.1: Schematischer Querschnitt einer Fuseschichtstruktur

### III.11 Pad

Die im Rahmen des Projektes entwickelten Schaltungen sollen in Radarmodulen bei 77 GHz eingesetzt werden. Um die Hochfrequenz-Durchgängigkeit von innen nach außen und umgekehrt zu gewährleisten, enthalten die Module ein radar-taugliches Fenster aus einer dünnen Folie. Weil die Bauteile somit nur vor Schmutz aber nicht gegen Feuchtigkeit aus der Umgebung geschützt sind, müssen sie auf Chip-Ebene inert und korrosionsbeständig sein. Das betrifft insbesondere auch die Bond-Pads. Das ursprüngliche Konzept des „eless Gold-Pad“ musste wegen mangelnder Korrosionsfestigkeit aufgegeben werden und führte zur Neuentwicklung des Lift-Off Gold-Pads, das im Folgenden beschrieben wird.

#### Lift-Off Gold-Pad

Der schematische Querschnitt des Lift-Off Gold-Pads ist in Abb. III.11.1 dargestellt. Die Pad-Metallisierung besteht aus einem Ti-Pt-Au Schichtpaket, das zum Bonden mit Au-Draht gut geeignet ist. Insbesondere sind wegen des Edelmetallcharakters der dicken namensgebenden obersten Au-Schicht keine Korrosionsprobleme zu befürchten. Der elektrische Anschluss erfolgt über W-Plugs vertikal zum darunter liegenden AlCu-Schicht, in der auch die Laser-Fuses gebildet werden, und von dort lateral zum Cu<sub>4</sub>. Die beim Bondvorgang auftretenden Kräfte können leicht zu einem Nachgeben der weichen vergrabenen AlCu-Schicht führen, was Brüche in den Oxid/Nitrid-Schichten darüber hervorrufen kann. Vorbeugend wurden deshalb Stützpfeiler aus Oxid vorgesehen, indem ein Lochgitter in die AlCu-Schicht geätzt wurde.

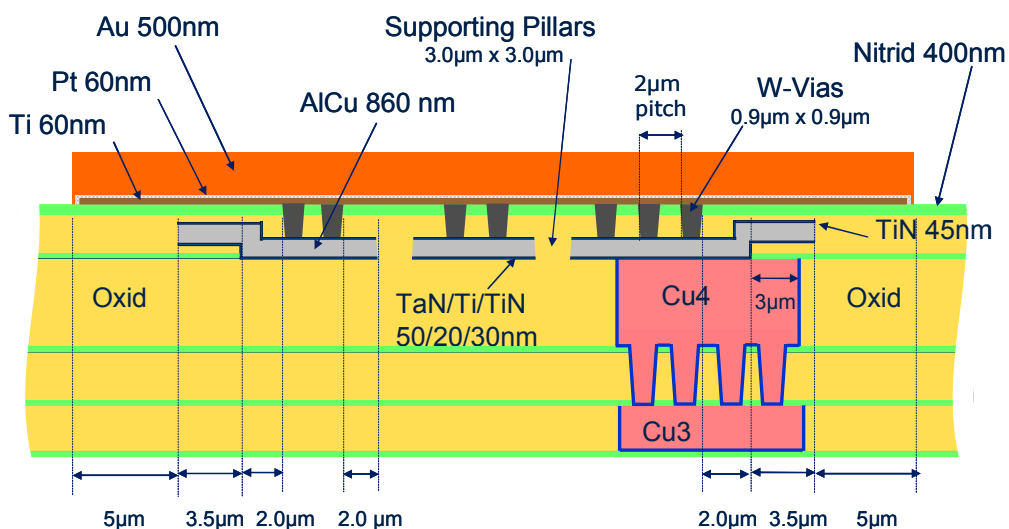


Abb. III.11.1: Schematischer Querschnitt durch das Lift-Off Gold-Pad

Abb. III.11.2 zeigt ein fertig gestelltes Pad in der Ansicht von oben. Zu sehen sind im zentralen Bereich des Pads die W-Plugs, die Oxid-Stützstellen im AlCu und das Cu4. Im Anschlussbereich am rechten Rand des Pads sind die Stützstellen ausgespart, um beim AlCu Ätzen freiliegendes Cu4 zu vermeiden.

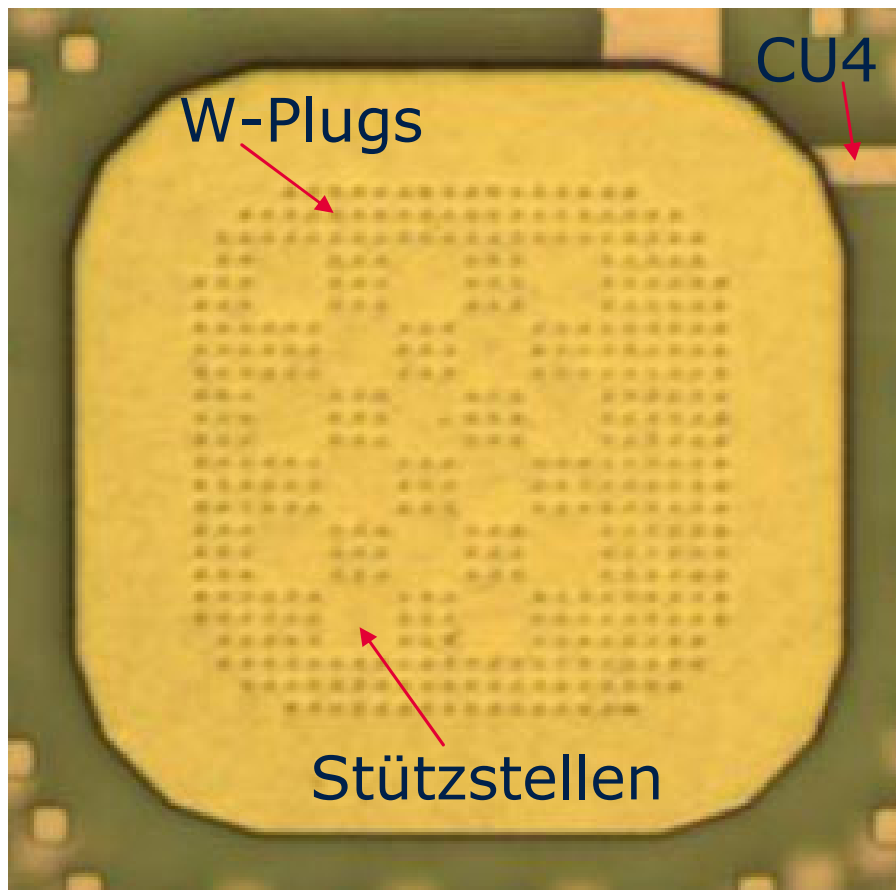


Abb. III.11.2: Lift-Off Gold-Pad nach Fertigstellung.

## IV. Modellierung und Designumgebung

### IV.1 Analyse des thermischen Verhaltens von Bauelementen und Systemen

Im Rahmen einer Diplomarbeit wurde das thermische Verhalten der Transistoren und integrierten Schaltungen, die in diesem Projekt entwickelt wurden, mit Hilfe von numerischen Simulationen ausführlich studiert.

### IV.2 Temperaturabhängige Modellierung der Bauelementparameter

Um die im Arbeitspaket „Schaltungsentwicklung“ dargestellten Demonstratoren realisieren zu können, ist zunächst eine genaue Modellierung der Bauelemente der entwickelten Technologie nötig. Das umfasst ihre elektrische Charakterisierung, die Extraktion technologiespezifischer Parameter und die Modellgenerierung aus diesen Parametern für alle benötigten Bauelemente. Diese Modelle bilden dann einen wesentlichen Bestandteil des im nächsten Abschnitt beschriebenen Designpakets, das die Entwicklung und Optimierung der Schlüsselkomponenten zukünftiger Abstandsradarsysteme letztlich ermöglicht. Da die Schaltungen ihre Spezifikation in einem großen Temperaturbereich erfüllen müssen, und auch weil, wie im letzten Abschnitt analysiert, die Eigenerwärmung der Komponenten zu einer deutlich über der Umgebungstemperatur liegenden Chiptemperatur führt, war insbesondere die Erweiterung der Transistormodelle um die Temperaturabhängigkeit der Modellparameter durchzuführen. Dazu wurden zunächst die statischen und dynamischen Kennlinien gemessen und daraus die Parameter zur Beschreibung der Temperaturabhängigkeit extrahiert. Die dabei erzielten Resultate werden in diesem Abschnitt zusammenfassend diskutiert. Ausführlich, einschließlich aller Messverfahren und Modellgleichungen, werden diese Arbeiten in [Ziegler06] beschrieben.



### IV.3 Designpaket

Um die anvisierten Schaltungen realisieren zu können, ist den Schaltungsentwicklern und Layoutern ein sogenanntes Design-Paket (kurz PDK, vom englischen „process design kit“) zur Verfügung zu stellen. Ein solches PDK beinhaltet mathematische Modelle für alle Bauelemente der Technologie, um die zu entwickelnden Schaltungen simulieren und optimieren zu können. Es beinhaltet weiterhin parametrisierbare Zellen zur Erstellung der Layouts, und eine ganze Reihe von Tools um die erstellten Layouts verifizieren zu können. In Abbildung IV.3.1 ist der Designflow zur Erstellung einer Schaltung von der Simulation bis hin zur Maskengenerierung vereinfacht dargestellt.

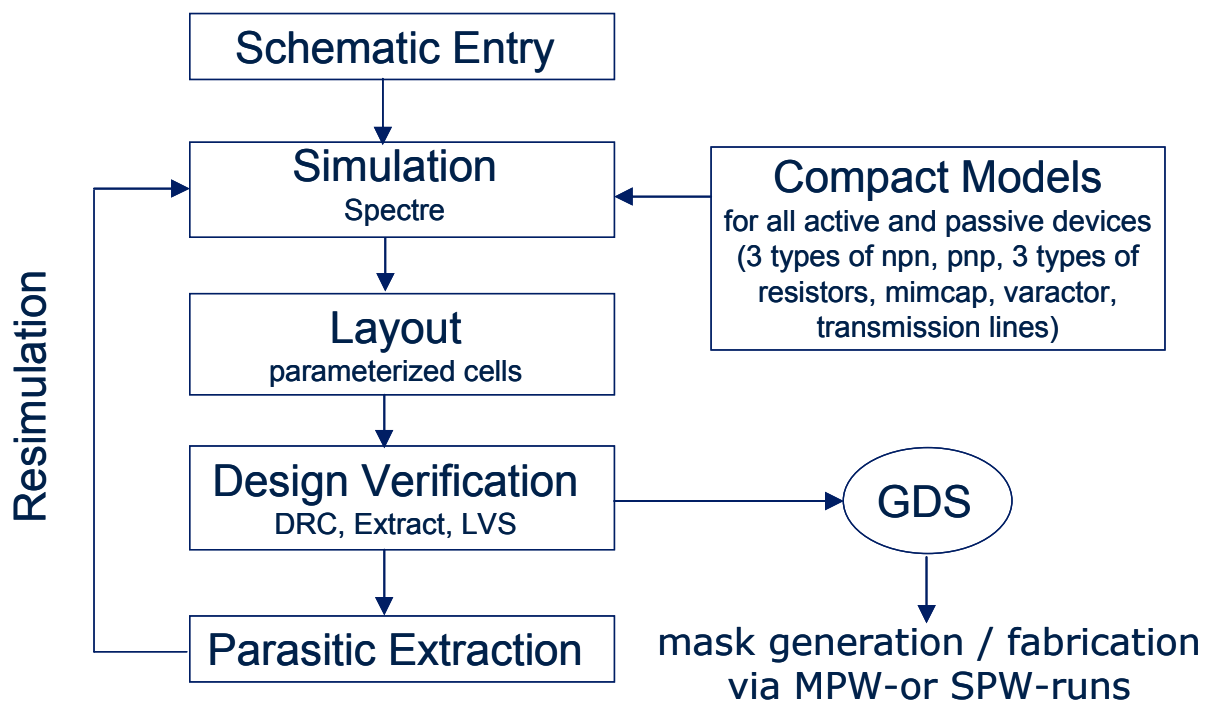


Abbildung IV.3.1: Vereinfachter Designflow.

Zunächst sind für alle Bauelemente Symbole zur Erstellung des Schaltplans (schematic entry) notwendig. Um Simulationen dieser Schaltungen durchführen zu können, in unserem Fall mit dem Simulator Spectre, sind alle Bauelemente mit entsprechenden mathematischen Modellen (compact models) zu unterlegen. Ein Beispiel für solche Modellbeschreibungen und zugehörige Parameterextraktionen wurde im letzten Abschnitt gegeben (Extraktion der Modellparameter zur Beschreibung der Temperaturabhängigkeit der npn Transistoren). Für das hier vorgestellte Projekt mussten solche Modelle für drei Typen von npn Transistoren (high speed npn, ultra high

speed npn, high voltage npn), pnp Transistoren, drei Typen von Widerständen (Poly-Widerstände mit  $1000 \Omega$  und  $150 \Omega$  Schichtwiderstand, Metallfilmwiderstand mit  $20 \Omega$  Schichtwiderstand), einen MIM-Kondensator, einen Varaktor und für Mikrostreifenleitungen zur Verfügung gestellt werden, und das jeweils für einen großen Bereich von Bauelementgeometrien.

Nach Fertigstellung und Optimierung des entsprechenden Schaltplans kann mit den Layoutzellen des PDK das Layout der Schaltung erstellt werden. Dieses wird anschließend mit einer Reihe von Verifikationstools überprüft. Zunächst wird mit dem Design-Rule-Check (DRC) die Einhaltung der Designregeln (z. B. Minimalabstände, Überlapps verschiedener Layer zueinander, aber auch sehr komplexe Regeln, wie etwa zulässige Antennenverhältnisse für Metallebenen, die an den MIM-Kondensator angeschlossen sind) für die verschiedenen Designebenen geprüft. Danach werden die Bauelemente automatisiert (und unabhängig vom Schaltplan) aus dem Layout extrahiert. Diese extrahierte Netzliste wird schließlich mit dem ursprünglichen Schaltplan verglichen (Layout-versus-schematic, LVS), um zu verifizieren, dass das Layout die richtigen Elemente richtig verbunden enthält. Insbesondere für die hier betrachteten Hochfrequenzanwendungen ist es wichtig, dass anschließend auch noch die parasitären Elemente der Zuleitungen (Widerstände, Kapazitäten, Induktivitäten) extrahiert und in die Simulation einbezogen werden können („resimulation“). Damit lässt sich der oftmals wesentliche Einfluss dieser parasitären Elemente noch vor der Maskenerstellung bewerten und minimieren.

## V. Schaltungsentwicklung

Infineon hat im Rahmen des Projekts monolithisch integrierte Sende- und Empfangsbausteine für Automotive Radar-Anwendungen bei 77/79GHz in SiGe-Technologie entwickelt. Die Anforderungen an diese Schaltungen wurden gemeinsam mit den Projektpartnern Bosch und Continental Temic spezifiziert. Es konnte erstmals gezeigt werden, dass integrierte Schaltungen auf SiGe-Basis die hohen Anforderungen bezüglich Performance und Zuverlässigkeit erfüllen, die Voraussetzung für den Einsatz in Radarsensoren sind. Die integrierten Schaltungen wurden von den Projektpartnern erfolgreich in Demonstratoren eingesetzt.

### V.1 Oszillator und Leistungsverstärker

Bisher auf dem Markt befindliche Radarsensoren verwenden entweder Gunn-Oszillatoren oder integrierte Schaltungen auf GaAs-Basis. Bei diesen GaAs-Lösungen besteht der Senderzweig im allgemeinen aus einer Kette mehrerer integrierter Schaltungen, die aus einem Oszillator bei tiefen Frequenzen (z.B. bei ca. 12 GHz oder 19 GHz), gefolgt von Frequenzverdopplerstufen und einem Leistungsverstärker besteht (Abbildung V.1). Dieser geringe Integrationsgrad führt zu höheren Fertigungskosten, großem Platzbedarf und einer größeren Zahl von notwendigen Verbindungsleitungen für hochfrequente Signale. Ziel in diesem Projekt war daher die Realisierung eines hochintegrierten Radarsenders, der alle benötigten Komponenten auf einem Chip enthält. Dazu wurde ein Oszillator bei 77 GHz entworfen, so dass keine Frequenzvervielfacherstufen nötig sind. Dies erlaubt einen kompakten Aufbau ohne die sonst erforderlichen Filter, die bei Frequenzvervielfachern erforderlich sind, um Nebenwellen zu unterdrücken (Abbildung V.2).

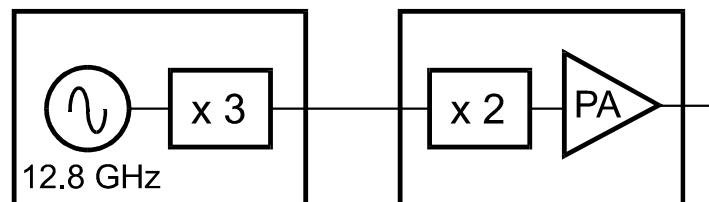


Abbildung V.1: Blockschaltbild eines Radar-Sendemoduls, bestehend aus einem Oszillator bei einem Sechstel der Ausgangsfrequenz und Frequenzvervielfacherstufen

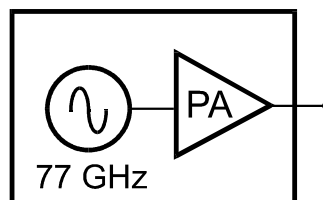


Abbildung V.2: Blockschaltbild eines Radar-Sendebausteins mit Grundwellenoszillator bei 77 GHz

## Spannungsgesteuerter Oszillator für 77 GHz

Wichtige Ziele beim Entwurf des Oszillators sind ein Abstimmbereich, der über den gesamten Temperaturbereich von  $-40^{\circ}\text{C}$  bis  $125^{\circ}\text{C}$  das jeweilige Radarfrequenzband (76 GHz bis 77 GHz für Longrange Radar bzw. 77 GHz bis 81 GHz für Shortrange Radar) mit ausreichender Reserve abdeckt sowie geringes Phasenrauschen. Der Oszillator ist vollständig differentiell aufgebaut und beruht auf der Colpitts-Topologie [Li 2004]. Der frequenzbestimmende Resonator befindet sich im Basiszweig der Oszillatortransistoren und ist mit einer Mikrostreifenleitung realisiert (Abbildung V.3). Aufgrund des differentiellen Aufbaus gibt es eine Symmetrieebene, die einer virtuellen Masseebene entspricht. An dieser Stelle kann die Biasspannung zugeführt werden, ohne die Funktion des Resonators zu beeinträchtigen. Die effektive Länge der Resonatorleitung kann mit Hilfe von Aluminium-Fuses, die im Rahmen des Projekts entwickelt wurden, abgeglichen werden. Damit ist es möglich, die Mittenfrequenz des Oszillators je nach Anwendung (77 GHz bzw. 79 GHz Mittenfrequenz für Longrange- und Shortrange Radar) anzupassen.

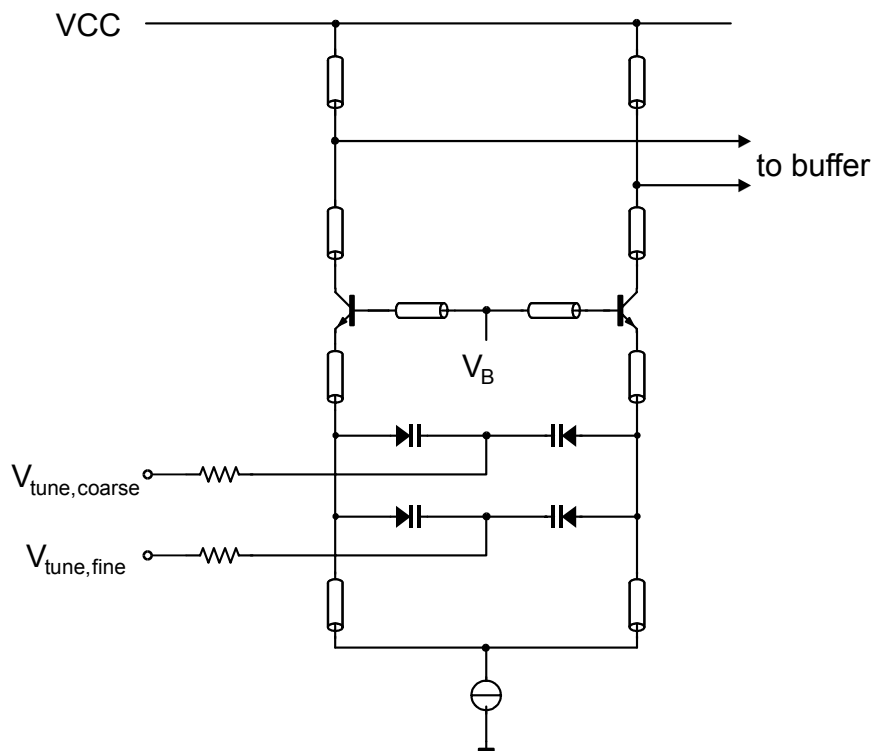


Abbildung V.3: Schaltbild des 77 GHz Oszillators

Aufgrund der hohen Schwingfrequenz von 77 GHz sind im Resonator sehr geringe Induktivitäts- und Kapazitätswerte erforderlich. Dadurch können die unvermeidlichen parasitären Kapazitäten der Oszillatortransistoren nicht mehr vernachlässigt werden und bilden einen wesentlichen Teil

des Resonators. Dies hat zur Folge, dass sich Änderungen der Transistoreigenschaften, z.B. durch Schwankungen des Herstellungsprozesses und vor allem bei Änderung der Chip-temperatur, stark auf die Schwingfrequenz des Oszillators auswirken. Um das geforderte Radar-Frequenzband unter allen Umständen abdecken zu können, ist daher ein ausreichend großer Abstimmbereich erforderlich. Zu diesem Zweck wurden spezielle Varaktoren eingesetzt, die im Rahmen dieses Projekts entwickelt wurden. Sie verfügen über ein großes nutzbares Kapazitätsverhältnis bei gleichzeitig hohem Gütefaktor. Ein hoher Gütefaktor ist entscheidend für geringes Phasenrauschen des Oszillators. Bei tiefen Frequenzen begrenzt im Allgemeinen die Güte der Induktivitäten die Gesamtgüte. Die Güte eines Varaktors nimmt allerdings näherungsweise mit  $1/f$  ab, daher ist bei Frequenzen von 77 GHz der Einsatz speziell für diesen Frequenzbereich optimierter Varaktoren entscheidend.

Da die in typischen Anwendungen verfügbare Abstimmspannung auf wenige Volt beschränkt ist, führt der geforderte große Abstimmbereich zu einer hohen Abstimmsteilheit. Diese hohe Abstimmsteilheit ist kritisch, weil dadurch schon geringste Stör- oder Rauschspannungen, die der Abstimmspannung überlagert sind, zu Störungen im Oszillatorspektrum führen. Aus diesem Grund wurden getrennte Eingänge zur Grob- und Fein-Abstimmung (Coarse- und Fine-Tuning) für den Oszillator vorgesehen. Der Fine-Tuningeingang ist dafür vorgesehen, die Oszillatorfrequenz mit Hilfe einer Phasenregelschleife zu regeln und verfügt über eine relative geringe Abstimmsteilheit. Der Coarse-Tuningeingang dient dazu, die Mittenfrequenz des Oszillators auf den geforderten Wert einzustellen. Da diese Einstellung keinen schnellen zeitlichen Veränderungen unterworfen ist, kann die Abstimmspannung an diesem Eingang mit einem Tiefpassfilter mit großer Zeitkonstante gefiltert werden. Daher ist eine größere Abstimmsteilheit an diesem Tuningeingang weniger kritisch.

### Leistungsverstärker für 77 GHz

Die Ausgangsleistung des Leistungsverstärkers (Power Amplifier, PA) bestimmt in wesentlichem Maß die Reichweite, die mit einem Radarsensor erzielbar ist. Weitere wichtige Kriterien beim Entwurf des Leistungsverstärkers sind die Isolation in Rückwärtsrichtung und geringes Amplitudenrauschen.

Die Isolation in Rückwärtsrichtung ist bei Senderkonzepten ohne Frequenzvervielfachung, bei denen der Oszillator bei der Ausgangsfrequenz schwingt, besonders wichtig. Andernfalls würden Änderungen der Lastimpedanz des Leistungsverstärkers zu Änderungen der Oszillatorfrequenz führen.

Die geforderte hohe Sendeleistung bringt einen großen Spannungshub an den Transistoren im Leistungsverstärker mit sich. Im Rahmen des Projekts wurden daher Zuverlässigkeitsuntersuchungen an den verwendeten Transistoren durchgeführt. Weiters ist die Auswahl eines geeigneten Schaltungskonzepts und sorgfältige Modellierung erforderlich, um die Zuverlässigkeit sicherzustellen.

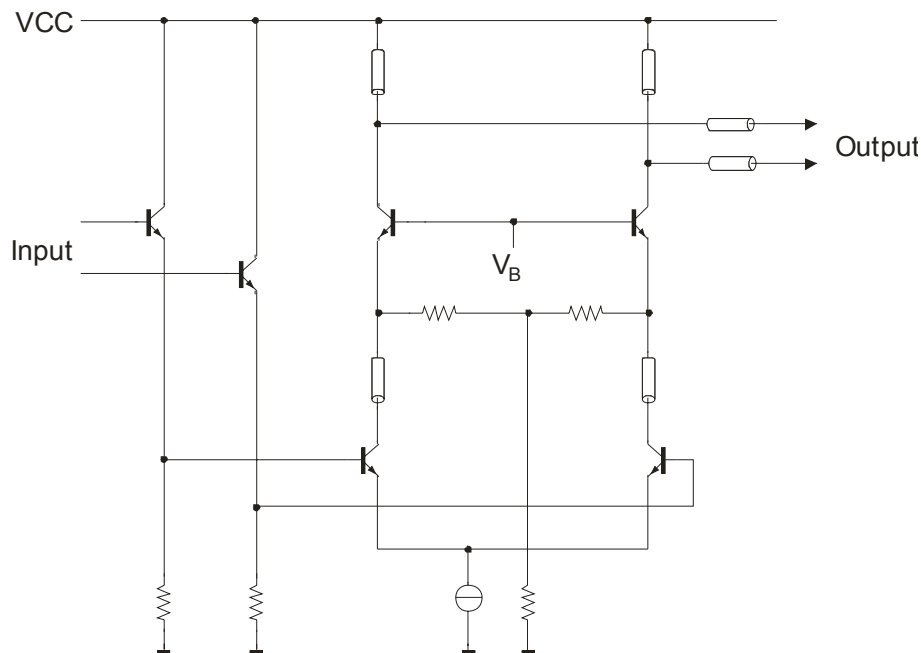


Abbildung V.4: Schaltung des 77 GHz Leistungsverstärkers

Am Eingang des Leistungsverstärkers befinden sich Emitterfolger, die die Entkopplung von Aus- und Eingang der Schaltung verbessern und als Treiber für die Ausgangsstufe dienen (Abbildung V.4). Die Ausgangsstufe besteht aus einem Differenzverstärker und einer Kaskodestufe [Li 2004]. Die Kaskodestufe sorgt einerseits für eine exzellente Isolation, andererseits erlaubt sie den Betrieb bei hohen Kollektor-Basissspannungen, da die Basis sehr niederohmig abgeschlossen werden kann, was den zulässigen Spannungshub vergrößert. Zwischen Kaskodestufe und Ausgangspads des Verstärkers befindet sich ein Anpassnetzwerk, das mit Hilfe von Mikrostreifenleitungen realisiert ist. Diese Mikrostreifenleitungen bestehen aus Bahnen auf der obersten Metallisierungslage, die über einer Massefläche, die aus der untersten Metallisierungslage besteht, geführt werden (Abbildung V.5). Aufgabe des Anpassnetzwerkes ist es, den externen Lastwiderstand zu transformieren, um an den Kollektoren der Ausgangstransistoren die optimale Lastimpedanz bereitzustellen. Dadurch wird die abgegebene Leistung maximiert und gleichzeitig gewährleistet, dass der Kollektorstrom und die Kollektor-Emitter-Spannung keine unzulässig hohen Werte annehmen.

Aufgrund der hohen Ströme im Leistungsverstärker ist die sorgfältige Beachtung der maximal zulässigen Stromdichten in Transistoren, Widerständen und Leiterbahnen besonders wichtig, um die Zuverlässigkeit der Schaltung sicherzustellen.

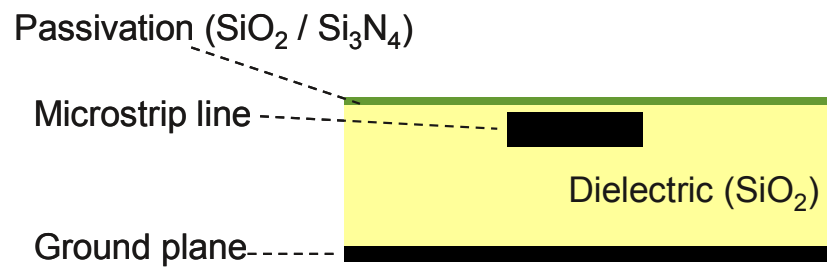


Abbildung V.5: Querschnitt einer Mikrostreifenleitung, die mit Hilfe der obersten und untersten Metallisierungslage der integrierten Schaltung realisiert ist

## V.2 Frequenzteiler

Bei Radarsensoren im Frequenzband von 76 – 77GHz wird im Allgemeinen das FMCW (Frequency Modulated Continuous Wave)-Verfahren angewendet. Dieses erfordert, die Frequenz des Oszillators in Form einer Frequenzrampe zu variieren, wobei an die Linearität dieser Rampe hohe Anforderungen gestellt werden. Diese Linearität kann auf zwei Wegen erreicht werden. Eine Möglichkeit besteht darin, den VCO in eine Regelschaltung einzubinden, und die Frequenzänderung mit Hilfe einer Phasenregelschleife (Phase-Locked Loop) durchzuführen. Der erforderliche Phasenvergleich ist nur bei tiefen Frequenzen möglich, daher muss die Oszillatorfrequenz entsprechend geteilt werden. Der zweite Ansatz besteht darin, die Abstimmkennlinie des VCOs im Betrieb zu vermessen, diese Kennlinie mit Hilfe von Software zu linearisieren, und die Abstimmspannung des Oszillators mit Hilfe eines Digital-Analog-Wandlers aus diesen berechneten Werten zu erzeugen.

In beiden Fällen ist es erforderlich, die VCO-Frequenz von 77GHz zu teilen, um sie in den folgenden Schaltungsstufen verarbeiten zu können. Bisherige Radarsysteme verwenden zum Teil Oszillatoren bei tieferen Frequenzen (z.B. bei 12 GHz oder 19 GHz), auf die mehrere Frequenzvervielfacherstufen folgen. Daher ist bei diesen Systemen kein Frequenzteiler bei 77 GHz erforderlich. Andere Systeme, die einen (Gunn-)Oszillator bei 77 GHz verwenden, verwenden anstelle eines Frequenzteilers einen Harmonischen Mischer, um die Frequenz auf tiefere Werte umzusetzen. Für den im Rahmen des Projekts entwickelten VCO ist dieser Ansatz jedoch nicht zielführend, da der Frequenzteiler eine wichtige Rolle beim Fertigungstest der Schaltung spielt. Mit Hilfe des Frequenzteilers kann der Oszillator mit herkömmlichen Testgeräten und Nadelkarten, wie sie bei der Messung von Produkten im Frequenzbereich  $< 5$  GHz üblich sind, charakterisiert werden. Das Ausgangssignal des Frequenzteilers erlaubt die Messung der Abstimmkennlinie des integrierten Oszillators. Weiters ist auch eine Bestimmung des Phasenrauschens möglich, da aus dem Phasenrauschen des geteilten Signals auf das Phasenrauschen am Eingang rückgerechnet werden kann. Dies gilt für den Fall, dass das vom Frequenzteiler selbst verursachte Phasenrauschen wesentlich geringer als das des Oszillators ist. Bei freischwingernden Oszillatoren ist das im Allgemeinen erfüllt, bei der Dimensionierung des Frequenzteilers ist geringes Phasenrauschen allerdings eine wichtige Randbedingung.

Die Forderung der einfachen Testbarkeit im Produktionsumfeld lässt sich nur mit integrierten Frequenzteilern erfüllen, der Einsatz von Harmonischen Mischern würde die Zufuhr eines hochstabilen externen Referenzsignals bei Frequenzen  $> 10$  GHz erfordern, was mit den üblichen Nadelkarten nicht möglich ist.

Die Realisierung der ersten Frequenzteilerstufe, die über den gesamten Temperaturbereich Eingangsfrequenzen  $> 80$  GHz verarbeiten muss, stellt eine große Herausforderung dar. Bisher sind keine Produkte bekannt, die einen solchen integrierten Frequenzteiler in Silizium- oder III/V-basierten Technologien für diesen Frequenzbereich enthalten.

Zur Realisierung von Frequenzteilern bei höchsten Frequenzen sind mehrere Ansätze denkbar. Klassische statische Frequenzteiler bestehen aus Master-Slave Flip-Flops (Abbildung V.6). Ihr Vorteil ist, dass sie sehr breitbandig bis herunter zu beliebig tiefen Frequenzen arbeiten. Dagegen ist die obere Frequenzgrenze im Allgemeinen niedriger als bei anderen Frequenzteilerkonzepten. Zwar sind statische Frequenzteiler in SiGe-Technologie publiziert, die bei Frequenzen  $> 77$  GHz arbeiten. Diese Werte gelten allerdings nur bei Raumtemperatur. Bei  $T = 125^{\circ}\text{C}$



sinkt die maximale Betriebsfrequenz stark ab. Weiters ist die Stromaufnahme von statischen Teilern, die auf höchstmögliche Arbeitsfrequenzen optimiert wurden, sehr groß und sie benötigen an ihrem Eingang eine hohe Signalleistung. Daher ist der Einsatz von statischen Frequenzteilern für die kritische erste Teilerstufe bei den derzeit zur Verfügung stehenden Technologien nicht sinnvoll. Die folgenden Teilerstufen, die bei tieferen Frequenzen arbeiten, können jedoch mit gutem Erfolg mit Hilfe von statischen Frequenzteilern realisiert werden.

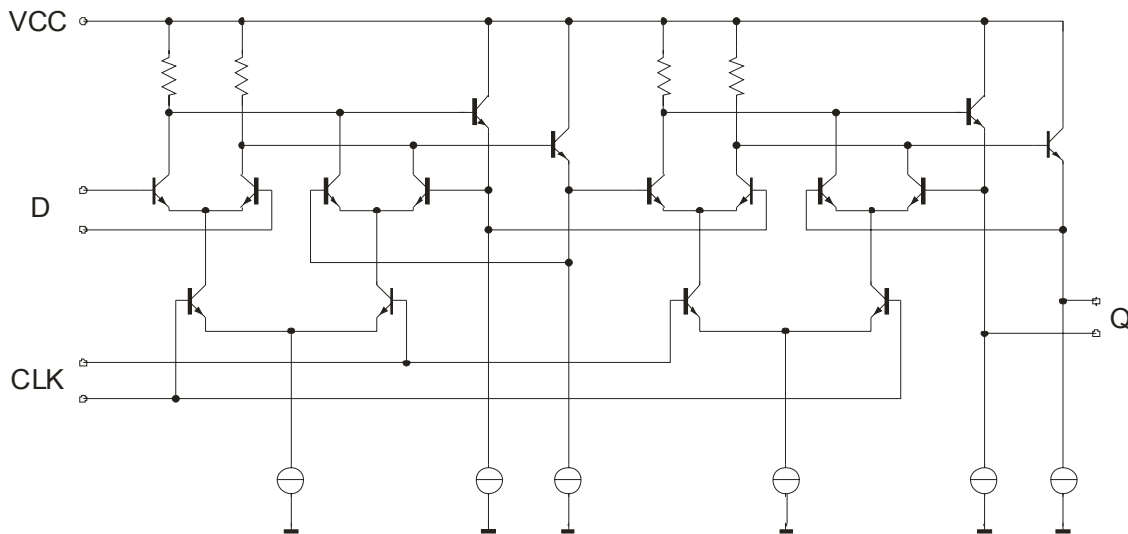


Abbildung V.6: Schaltung eines statischen Frequenzteilers (Master-Slave Flipflop)

In der Literatur werden gelegentlich „Injection-Locked“-Frequenzteiler für den Einsatz bei höchsten Frequenzen vorgeschlagen. Diese Schaltungen beruhen auf einem Hilfsoszillator, der bei der halben zu teilenden Frequenz schwingt. Das Eingangssignal wird in diesen Oszillator eingekoppelt und synchronisiert ihn. Das Signal des Hilfsoszillators stellt dann das gewünschte Ausgangssignal dar. Derartige „Injection-Locked“-Frequenzteiler können mit geringem Stromaufwand realisiert werden. Ihr Hauptnachteil besteht in ihrer Schmalbandigkeit. Die Synchronisation des Hilfsoszillators ist nur in einem engen Frequenzbereich möglich, weiters ist eine große Amplitude des Eingangssignals erforderlich. Unter Produktionsbedingungen ist der Einsatz dieser Frequenzteiler überaus kritisch, da die erforderliche Bandbreite über den großen geforderten Temperaturbereich und bei Prozess-Schwankungen nur sehr schwer sichergestellt werden kann. Dies wird noch dadurch erschwert, dass die Funktion nicht nur im Radarfrequenzband von 76 GHz bis 77 GHz erforderlich ist, sondern im gesamten Frequenzbereich, in dem der Oszillator schwingen kann. Andernfalls kann der Fall eintreten, dass die Phasenregelschleife aufgrund des fehlerhaften Frequenzteilersignals nicht einrasten kann und die Oszillatorfrequenz damit dauerhaft einen Extremwert annimmt.

Aufgrund von Simulationen und von Messungen an Testschaltungen hat sich der Einsatz von regenerativen Frequenzteilern (Abbildung V.7) als beste Wahl erwiesen. Regenerative

Frequenzteiler arbeiten in einem Frequenzbereich  $f_{\max}/f_{\min}$  von etwa 3:1. Diese Bandbreite ist genügend groß, um über den gesamten Temperaturbereich auch bei Prozess-Schwankungen einen sicheren Betrieb zu gewährleisten. Damit stellen regenerative Teiler den besten Kompromiss zwischen maximaler Arbeitsfrequenz, Bandbreite und Leistungsverbrauch dar.

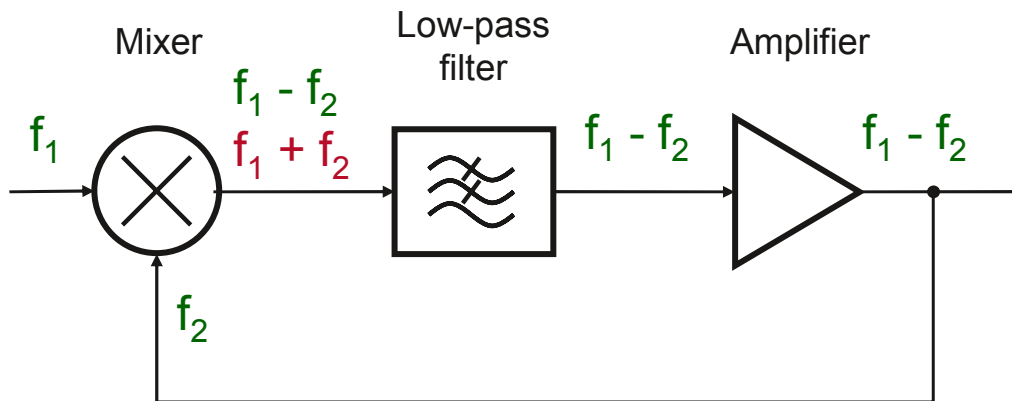


Abbildung V.7: Blockschaltbild eines regenerativen Frequenzteilers

Regenerative Frequenzteiler bestehen aus einer Mischstufe, die als Eingangssignale das zu teilende Signal (Frequenz  $f_1$ ) und das Ausgangssignal (Frequenz  $f_2$ ) erhält. An ihrem Ausgang liefert die Mischstufe zwei Signale, deren Frequenz der Summe bzw. Differenz der Eingangssignale entspricht. Die Summenfrequenz wird durch ein Tiefpassfilter unterdrückt, und die Differenzfrequenz entspricht der durch zwei geteilten Eingangsfrequenz. Nach Verstärkung wird ein Teil des Signals an einen der Mischereingänge zurückgeführt. Da die Bedingung  $f_2 = f_1 - f_2$  erfüllt sein muss, gilt  $f_2 = f_1/2$ .

Mit Hilfe von aktiven Mischern lassen sich regenerative Frequenzteiler sehr kompakt realisieren. Da mit aktiven Mischstufen eine Mischverstärkung erzielbar ist, ist kein separater Verstärker erforderlich. Da die Mischverstärkung zu hohen Frequenzen hin abfällt ist kein zusätzliches Tiefpassfilter nötig. Abbildung V.8 zeigt den Schaltplan eines regenerativen Frequenzteilers. Er besteht aus einem aktiven Mischer (Gilbert-Zelle) und Emitterfolgern. Diese Emitterfolger wirken einerseits als Pegelschieber und stellen den gewünschten Wert der Gleichspannung an ihrem Ausgang bereit, der es erlaubt das Ausgangssignal auf einen der Eingänge des Mixers zurückzuführen. Andererseits ermöglichen die Emitterfolger eine Optimierung der Schleifenverstärkung innerhalb des regenerativen Frequenzteilers und damit die Erzielung einer hohen maximalen Arbeitsfrequenz.

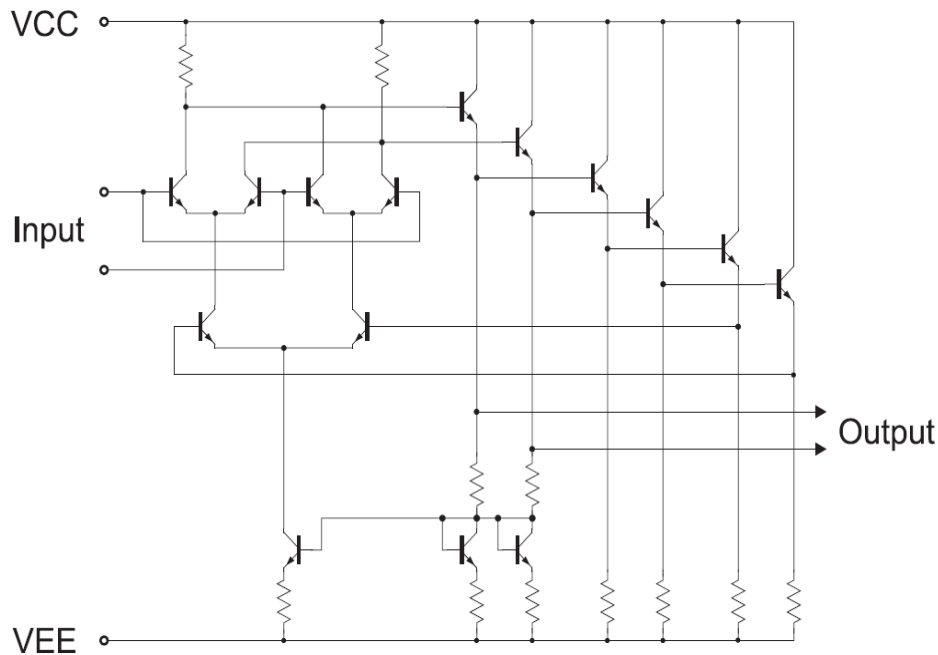


Abbildung V.8: Schaltung eines regenerativen Frequenzteilers

Um einen flexiblen Einsatz des 77 GHz-Oszillators zu erlauben, enthält der Frequenzteiler mehrere Stufen mit umschaltbarem Teilerfaktor. Der kleinste verfügbare Teilerfaktor ist vier, das entspricht einer Ausgangsfrequenz von ca. 19 GHz. Dieses Signal kann in Kundenapplikationen zur Realisierung einer Phasenregelschleife mit sehr geringem Phasenrauschen verwendet werden. Der Teilerfaktor von 32 (Ausgangsfrequenz ca. 2,4 GHz) erlaubt ebenfalls die Realisierung von Phasenregelschleifen, darüber hinaus ist er in der Fertigung zur Charakterisierung des Oszillators herangezogen, da die Ausgangsfrequenz von ca. 2,4 GHz die Verwendung von Standard-Testequipment und Nadelkarten gestattet.

Zwei weitere Teilerfaktoren von 1536 und von 1572864 sind ebenfalls verfügbar. Die entsprechenden Ausgangsfrequenzen von ca. 50 MHz bzw. 50 kHz lassen die direkte Weiterverarbeitung mit digitalen Standardbausteinen oder Microcontrollern zu. Auf diese Weise ist eine einfache Überwachung der Oszillatorfrequenz im Betrieb möglich.

Der Baustein verfügt über zwei getrennte Frequenzteilerausgänge. In einer typischen Anwendung wird der hochfrequente Ausgang verwendet, um mit Hilfe einer Phasenregelschleife die Sendefrequenz zu regeln, während der niederfrequente Ausgang für Überwachungszwecke eingesetzt wird. So ist es damit möglich, das Einrasten der Phasenregelschleife zu kontrollieren und zum Beispiel den Leistungsverstärker im Radarsender erst zu aktivieren, wenn die Frequenz innerhalb des erlaubten Radarbandes von 76 GHz bis 77 GHz liegt.

Um die Verlustleistung möglichst gering zu halten verfügt der Frequenzteiler über mehrere Power-Down Betriebsarten. Dabei werden mit Hilfe von schaltbaren Bias-Netzwerken nicht benötigte Frequenzteilerstufen bzw. Ausgangstreiber deaktiviert. Die erste Frequenzteilerstufe (regenerativer Frequenzteiler durch zwei) bleibt allerdings immer in Betrieb, um die Last am Ausgang des Oszillators konstant zu halten.

### V.3 Leistungs- und Temperatursensoren

Neben den Komponenten für den 77 GHz Signalpfad (Oszillator, Leistungsverstärker) wurden Sensoren für die Integration im Senderbaustein entworfen. Diese Sensoren gestatten die Überwachung der Chip-Funktion und der Betriebsbedingungen.

#### Temperatursensor

Der monolithisch integrierte Temperatursensor erlaubt es, die Temperatur des Halbleiter-Chips zu bestimmen. Die integrierten Sende- und Empfangsbausteine sind für Betrieb bis zu Temperaturen von 125°C gemessen an der Chip-Rückseite spezifiziert. Sollte aufgrund zu hoher Umgebungstemperatur oder schlechter Kühlung des Radar-Sensors die Chip-Temperatur zu hohe Werte annehmen, kann dies mit Hilfe des Temperatursensors detektiert werden. Der Radar-sensor kann dann bis zur Abkühlung deaktiviert werden, um die Zuverlässigkeit nicht zu gefährden.

Die wichtigste Anforderung an den Temperatursensor ist eine hohe Genauigkeit. Diese soll erreicht werden, ohne dass ein individueller Abgleich erforderlich ist. Da Widerstände in integrierten Schaltungen typischerweise Toleranzen von  $\geq 10\%$  aufweisen, ist ein Schaltungskonzept erforderlich, bei dem die Widerstandswerte nicht in die Genauigkeit des Sensors eingehen. Die Temperaturabhängigkeit der Basis-Emitter-Spannung von Bipolartransistoren erlaubt es, einen Temperatursensor zu realisieren, der diese Forderung erfüllt.

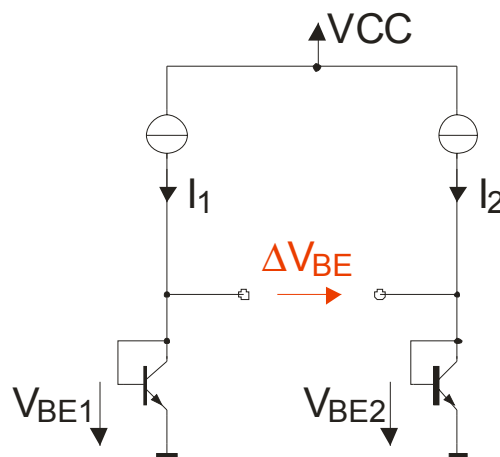


Abbildung V.9: Prinzipschaltung des integrierten Temperatursensors

Der entwickelte Sensor benutzt als Messgröße die Differenz der Basis-Emitter-Spannung von zwei Transistoren, die mit unterschiedlicher Stromdichte betrieben werden (Abbildung V.9). Für die Spannungsdifferenz  $\Delta V_{BE}$  gilt

$$\Delta V_{BE} = \frac{kT}{q} \ln \frac{I_1}{I_2}$$

mit der absoluten Temperatur  $T$ , der Boltzmannkonstante  $k$  und der Elementarladung  $q$ .

Da nur die Spannungsdifferenz ausgewertet wird, sind produktionsbedingte Schwankungen der absoluten Basis-Emitter-Spannung unkritisch. Weiters sind auch die absoluten Werte der Ströme, bei denen die zwei Transistoren betrieben werden, nicht relevant, sondern nur ihr Verhältnis. Für die Genauigkeit des Temperatursensors ist daher in erster Linie das Matching der Transistoren und Widerstände wichtig. Dieses Matching ist bei integrierten Schaltungen bei sorgfältigem Layout exzellent.

### Leistungssensor

Der Leistungssensor liefert ein Ausgangssignal, das ein Maß für die Amplitude des 77GHz-Signals am Ausgang des Leistungsverstärkers ist. Damit ergeben sich zwei wichtige Anwendungsgebiete. In der Fertigung der Radar-VCOs muss sichergestellt werden, dass alle Bausteine die geforderte Ausgangsleistung abgeben. Dazu wäre eine Leistungsmessung bei 77GHz denkbar, die allerdings in der Praxis mit hohen Kosten und technischen Problemen verbunden ist. Der auf dem Chip integrierte Leistungssensor erlaubt einen einfachen Test, da nur die Gleichspannung am Sensorausgang gemessen werden muss.

Das zweite wichtige Anwendungsgebiet des Leistungssensors ist die Überwachung der ordnungsgemäßen Funktion des Radarsensors während des Betriebs. Mit Hilfe eines Microcontrollers kann im Betrieb festgestellt werden, ob der Leistungsverstärker korrekt arbeitet, und auch Probleme wie Unterbrechungen an den Bonddrähten der HF-Übergänge können mit Hilfe des Leistungssensors detektiert werden.

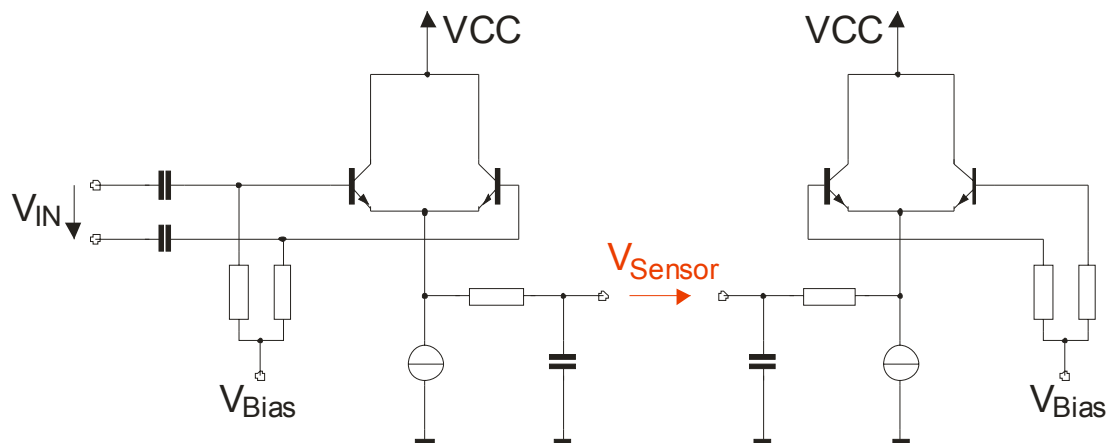


Abbildung V.10: Prinzipschaltung des Leistungsdetektors

Der Sensor beruht auf einem Vollweggleichrichter, der mit Hilfe eines Differenzverstärkers realisiert ist. Am Emitteranschluß dieses Differenzverstärkers kann das gleichgerichtete Signal entnommen werden. Der Eingang des Leistungssensors wird über kleine MIM-Kondensatoren mit der Hochfrequenzleitung verbunden, die auf dem Chip den Leistungsverstärker und die Pads verbindet. Durch den kleinen Kapazitätswert wird eine schwache Ankopplung sichergestellt und die verfügbare Ausgangsleistung nur unwesentlich verringert.

Der Gleichspannungswert der Ausgangsspannung bei fehlendem Eingangssignal hängt aufgrund des verwendeten Gleichrichterverfahrens von der Versorgungsspannung und vom Wert der Basis-Emitter Spannung ab. Diese wiederum hängt von der Temperatur und von der Fläche des Basis-Emitter-Übergangs ab. Um Messfehler durch die Spannungs- und Temperaturabhängigkeit und durch Fertigungstoleranzen möglichst gering zu halten, verfügt der Leistungssensor über einen Referenzweig. Dieser ist identisch aufgebaut wie der Gleichrichter, ist aber nicht an das Messsignal angekoppelt (Abbildung V.10). Als Ausgangsgröße des Sensors dient die Differenzspannung zwischen Gleichrichterausgang und Referenz Ausgang. Diese Ausgangsgröße ist daher weitestgehend unabhängig von Änderungen der Versorgungsspannung und Temperatur und von Prozessschwankungen.

### Integrierter Empfängerbaustein mit rauscharem Vorverstärker und Quadraturmischer

In diesem Abschnitt wird ein integrierter Empfängerbaustein beschrieben, der aus einem rauscharmen Vorverstärker (Low-noise Amplifier, LNA) und einem Quadraturmischer besteht (Abbildung V.11). Beim Entwurf des Radarempfängers gilt es, einen Kompromiss zwischen Rauschzahl, Verstärkung und Großsignalfestigkeit zu finden. Eine geringe Empfängerrauschzahl ist Voraussetzung für eine hohe Empfindlichkeit des Radarsensors. Zur Verringerung der Rauschzahl können rauscharme Vorverstärker verwendet werden, die zwischen der Empfangsantenne und Mischstufe geschaltet sind. Bei Radarsystemen, die dieselbe Antenne zum Senden

und Empfangen verwenden, ist der Einsatz eines Vorverstärkers allerdings kritisch. Aufgrund des Übersprechens des Sendesignals muss der Empfänger in diesem Fall eine hohe Großsignalfestigkeit aufweisen, die den Verzicht auf einen Vorverstärker erforderlich macht. In diesem Fall wird die Empfängerrauschzahl durch die Rauschzahl der Mischstufe bestimmt.

Die in diesem Abschnitt beschriebene Schaltung ist für den Einsatz in Systemen mit getrennten Sende- und Empfangsantennen ausgelegt. Daher wurde ein rauscharmer Vorverstärker vorgesehen, der dem Quadraturmischer vorgeschaltet ist.

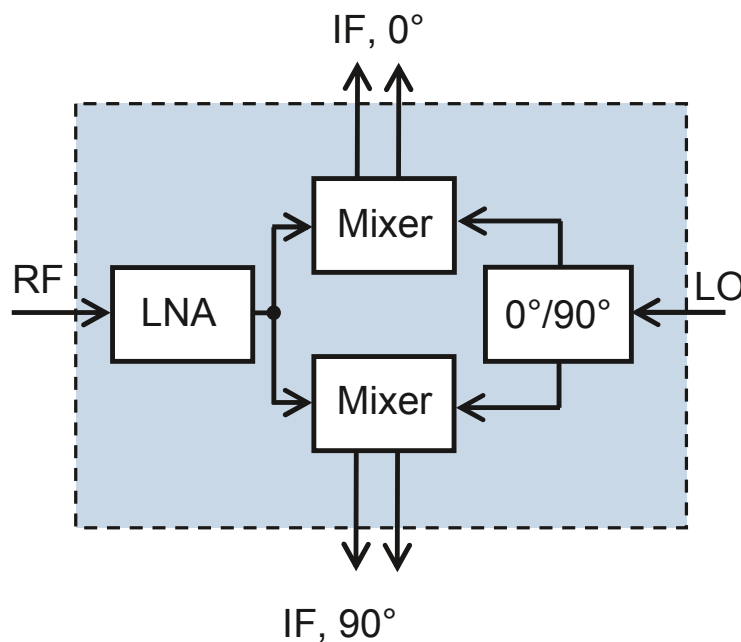


Abbildung V.11: Blockschaltbild des integrierten Empfängerbausteins

### Schaltungsdesign

Der rauscharme Vorverstärker ist dreistufig aufgebaut und verwendet Stufen in Emitter-schaltung. Zwischen diesen Stufen befinden sich Anpassnetzwerke, die aus Mikrostreifen-leitungen und MIM-Kondensatoren bestehen. Die Basisvorspannung der ersten Stufe und die Kollektorspannung der letzten Stufe werden über Leitungen mit einer Länge von  $\lambda/4$  zugeführt, die an ihrem Ende durch MIM-Kondensatoren hochfrequenzmäßig kurzgeschlossen sind. Da die Mikrostreifenleitung in Siliziumoxid mit einer Dielektrizitätskonstante von etwa vier eingebettet ist, ergibt sich eine Leitungslänge von etwas unter  $500 \mu\text{m}$ , die leicht auf der integrierten Schaltung untergebracht werden kann.

Für die Dimensionierung des Anpassnetzwerks am Eingang der Schaltung wurde ein Kompro-miss zwischen Leistungsanpassung und Rauschanpassung gewählt. Die Rückflussdämpfung ist

besser als 10 dB, während sich die Rauschzahl gegenüber der Dimensionierung für optimale Rauschanpassung nur um 0,5 dB verschlechtert.

Ein auf einem ähnlichen Schaltungskonzept beruhender Vorverstärker wurde als eigenständige Testschaltung entworfen [Dehlink 2005]. Damit konnte eine Rauschzahl von 5 dB bei 77 GHz erreicht werden.

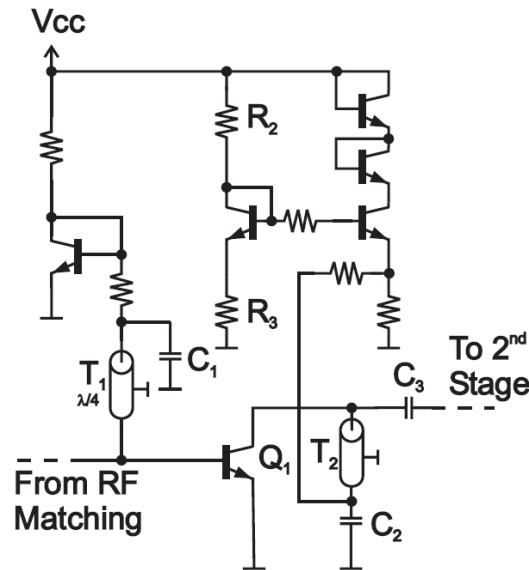


Abbildung V.12: Schaltbild der ersten Stufe des rauscharmen Vorverstärkers

Am Ausgang des Vorverstärkers folgt ein Leistungsteiler, der das Signal zu gleichen Teilen den beiden Inphase- und Quadratur-Mischern zuführt (Abbildung V.13). Die Mischer sind als aktive Vierquadrantenmischer (Gilbert-Zelle) ausgeführt und für eine direkte Umsetzung des Empfangssignals in das Basisband ausgelegt. Die für die Quadraturmischung erforderlichen um  $90^\circ$  phasenverschobenen Oszillatorsignale werden mit Hilfe eines auf dem Chip integrierten Hybridkopplers bereitgestellt. Der Hybridkoppler besteht aus vier Mikrostreifenleitungen, die jeweils eine Länge von  $\lambda/4$  besitzen. Um die benötigte Chipfläche gering zu halten, sind die Leitungssegmente gefaltet.

Die verwendeten aktiven Mischer sind sowohl am RF- als auch am LO-Eingang für differenzielle Signale ausgelegt. Da der rauscharme Vorverstärker wie auch der Hybridkoppler nur einphasige Signale bereitstellen, sind an den Mischereingängen Symmetrierglieder (Baluns) vorgesehen. Die Symmetrierglieder beruhen auf einer LC-Brückenschaltung, wie sie bei tieferen Frequenzen häufig verwendet wird. Bei 77 GHz ist es möglich, die Induktivitäten durch Mikrostreifenleitungen zu ersetzen (Abbildung V.14).



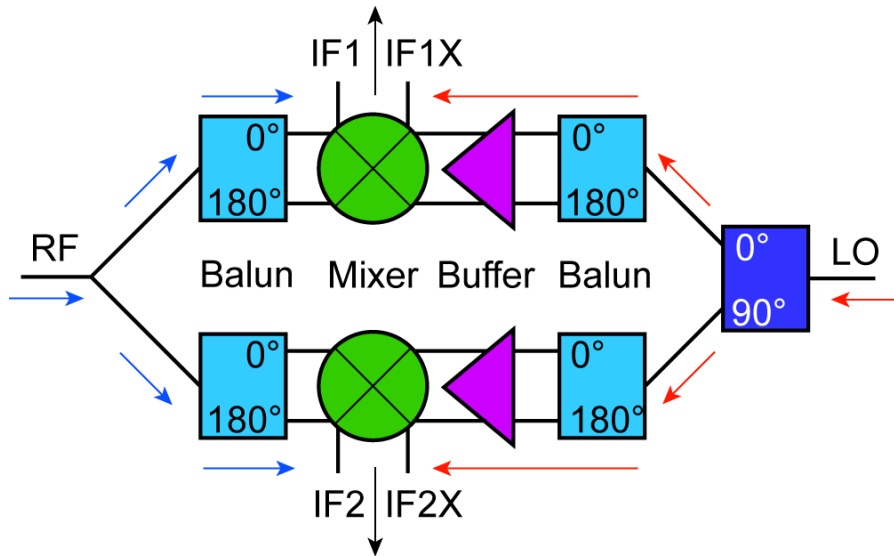


Abbildung V.13: Blockschaltbild des Quadraturmischers

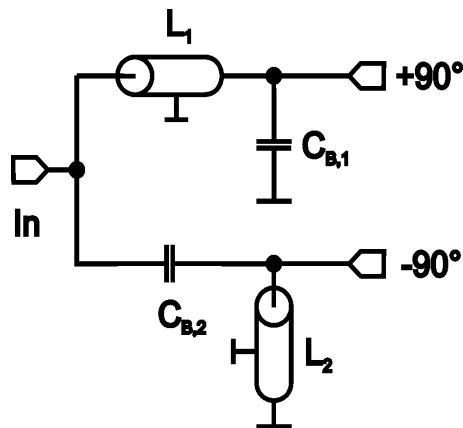


Abbildung V.14: LC-Brückenschaltung zur Umwandlung eines einphasigen in ein differenzielles Signal

Abbildung V.15 zeigt ein Chipfoto des Empfängerbausteins. Die Abmessungen betragen  $1,1 \times 1,0 \text{ mm}^2$ . An der linken und rechten Chipkante sind die einphasigen RF- bzw. LO-Eingänge zu erkennen, während sich die differentiellen Inphase- und Quadratur-Basisbandausgänge auf der oberen bzw. unteren Chipseite befinden.

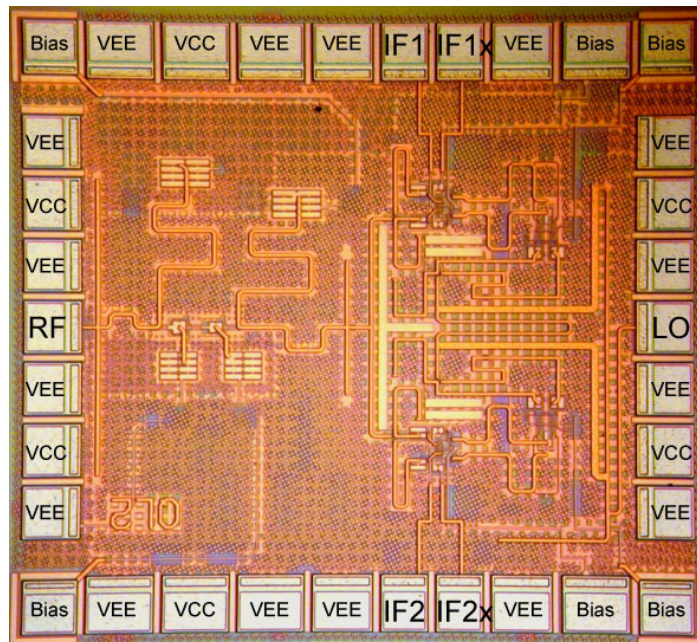


Abbildung V.15: Chipfoto des integrierten Empfängerbausteins

## Messergebnisse

Die Charakterisierung des integrierten Empfängerbausteins erfolgte auf dem Wafer. Die Signale wurden mit Hohlleiter-Messspitzen (Ground-Signal-Ground, GSG) zugeführt. Die Amplitude des extern zugeführten Oszillatorsignals betrug 1 dBm. Die Ausgänge des Quadraturmischers sind für eine hochohmige Lastimpedanz ausgelegt. Um die Messung in einem 50  $\Omega$ -System zu ermöglichen, wurden externe Verstärker als Impedanzwandler eingesetzt.

Die Messung der Rauschzahl und Verstärkung erfolgte mit Hilfe eines Rauschzahlmessgeräts nach der Y-Faktor-Methode. Abbildung V.16 zeigt die gemessenen Werte im Vergleich zu den Simulationsdaten. Die Rauschzahl bei 77 GHz beträgt nur 10 dB und stimmt sehr gut mit dem simulierten Wert überein. Die Verstärkung bei 77 GHz beträgt 32 dB und ist damit etwas geringer als simuliert. Auffällig ist der sehr flache Verlauf der Rauschzahl über der Frequenz, so dass sich die Schaltung sowohl für Longrange-Anwendungen (76 – 77 GHz) als auch Shortrange-Anwendungen (77 – 81 GHz) sehr gut eignet. Aufgrund der großen Verstärkung liegt der 1 dB-Kompressionspunkt (bezogen auf den Eingang) bei -19 dBm. Bei Verzicht auf einen Vorverstärker lassen sich in der verwendeten Technologie sehr großsignalfeste Mischer mit einem Eingangs-Kompressionspunkt von 0 dBm realisieren [Dehlink 2006].

Die Anpassung an den RF- und LO-Eingängen des Mischers wurde mit Hilfe von S-Parameter-Messungen im Frequenzbereich von 10 GHz bis 110 GHz ermittelt (Abbildung V.17). Die gemessenen Werte zeigen gute Übereinstimmung mit den Simulationen. Der Reflexionsfaktor am RF-Eingang ist besser als -10 dB im Frequenzbereich von 75 GHz bis 90 GHz. Am LO-Eingang bleibt der Reflexionsfaktor sogar im Frequenzbereich von 50 GHz bis 90 GHz kleiner als -10 dB.

Der gemessene Phasenfehler zwischen Inphase- und Quadraturzweig bleibt im Frequenzbereich von 75 GHz bis 88 GHz kleiner als  $\pm 8^\circ$ .

Tabelle V.1 gibt eine Zusammenfassung der wichtigsten Daten des integrierten Empfängerbausteins. Die Schaltung zeichnet sich durch ihre geringe Rauschzahl und die große Bandbreite aus.

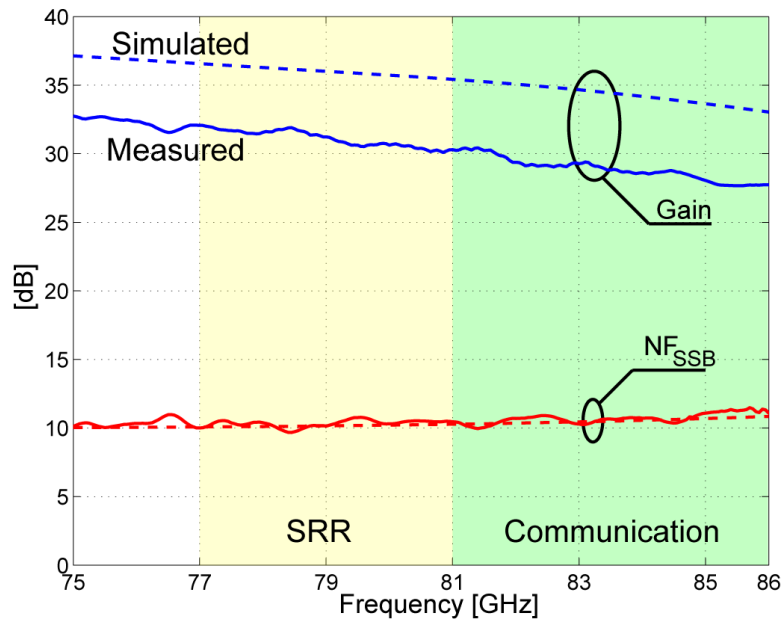


Abbildung V.16: Gemessene Verstärkung und Rauchzahl des integrierten Empfängerbausteins im Vergleich zu den simulierten Werten

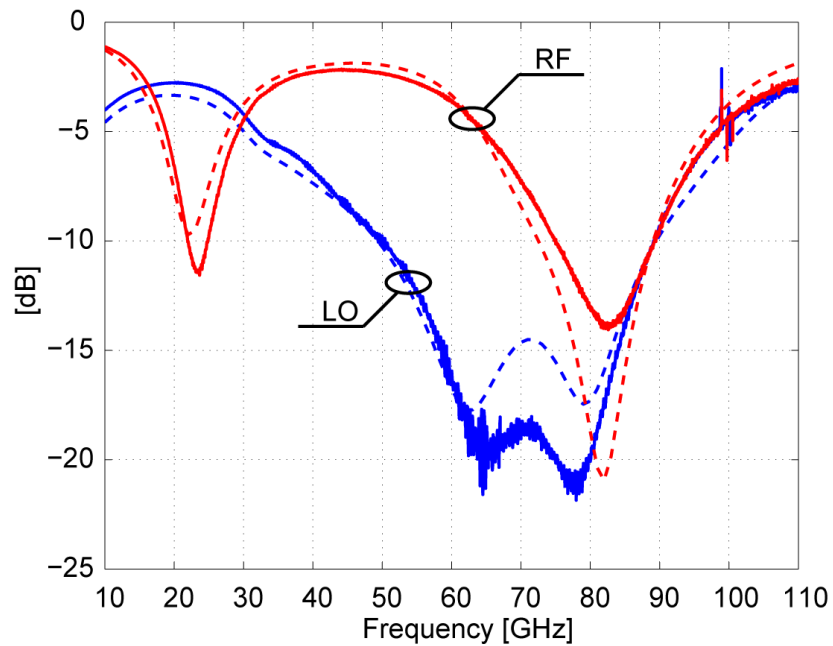


Abbildung V.17: Gemessene und simulierte S-Parameter am RF- und LO-Eingang des integrierten Empfängerbausteins

Frequenzbereich	75 – 86 GHz
Verstärkung	> 28 dB GHz
Einseitenband-Rauschzahl	< 12 dB
1 dB-Kompressionspunkt (Eingang)	-19 dBm
I/Q-Phasenfehler	< 8°
Stromaufnahme (VCC = 5,5 V)	192 mA°
Chipgröße	1,0 x 1,1 mm <sup>2</sup>

Tabelle V.1: Daten des integrierten Empfängerbausteins

## V.4 Vollintegrierter Sendebaustein mit Oszillator, Leistungsverstärker, Frequenzteilern und Detektorfunktionen

In diesem Abschnitt wird die Entwicklung eines integrierter Sendebausteins für Automotive Radar-Anwendungen beschrieben, der von den Projektpartnern Robert Bosch GmbH und Continental Temic erfolgreich in Demonstratoren verwendet wurde.

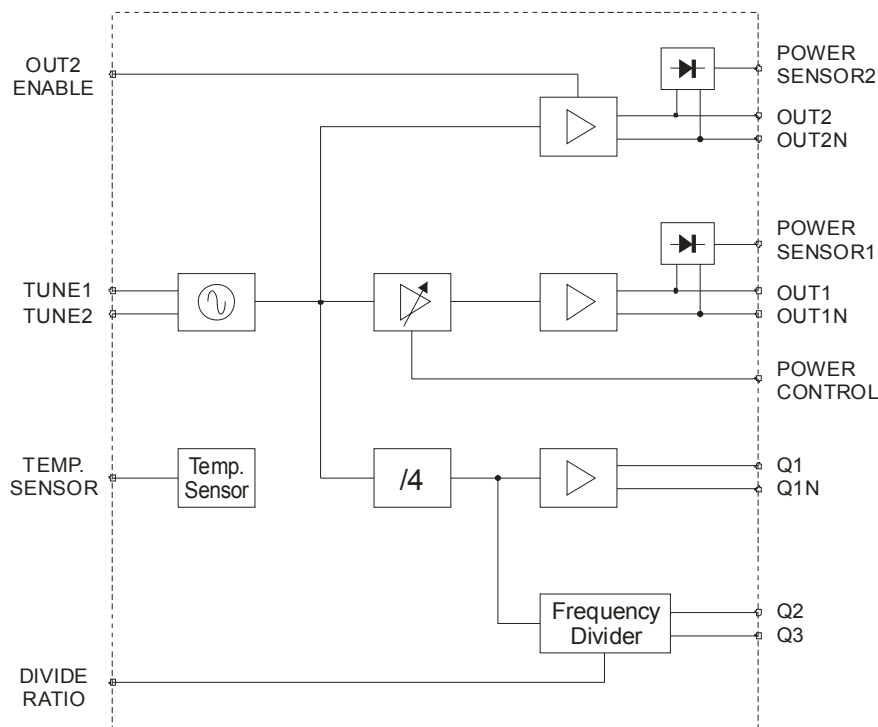


Abbildung V.18: Blockschaltbild des integrierten Sendebausteins

Der Baustein enthält alle Funktionen, die für den Sendepfad eines Automotive Radar Sensors erforderlich sind und darüber hinaus weitere Schaltungsfunktionen, die eine Überwachung der Schaltung während des Betriebs zulassen (Abbildung V.18). Er beruht auf dem Oszillator, Leistungsverstärker, Frequenzteiler und den Sensoren, die in den Abschnitten V.1 bis V.3 beschrieben wurden.

Zur einfachen Realisierung des Radarempfängers verfügt der Baustein über einen 77 GHz-Hilfsausgang, der das Oszillatorsignal für den Empfangsmischer bereitstellen kann. Aufgrund von gesetzlichen Regelungen ist in einigen Ländern während des Stillstands des Fahrzeugs nur eine verminderte Sendeleistung des Radarsensors gestattet. Der integrierte Sendebaustein verfügt daher über einen Steuereingang, mit dem die Sendeleistung um 20 dB abgesenkt werden kann.

Der Baustein verfügt über einen differentiellen Ausgang. Das bietet den großen Vorteil, dass die Ströme in den beiden Bonddrähten, die die Ausgangspads mit der Leiterplatte verbinden, gegenphasig sind und daher kein Anteil des Signalstroms über die Masse-Bonddrähte (VEE) fließt. Da die Bonddrähte bei 77 GHz eine erhebliche Impedanz darstellen, würden Signalströme über die Masse-Bonddrähte dazu führen, dass es einen Unterschied zwischen dem Massepotential auf der Leiterplatte und dem Massepotential auf der integrierten Schaltung gibt.

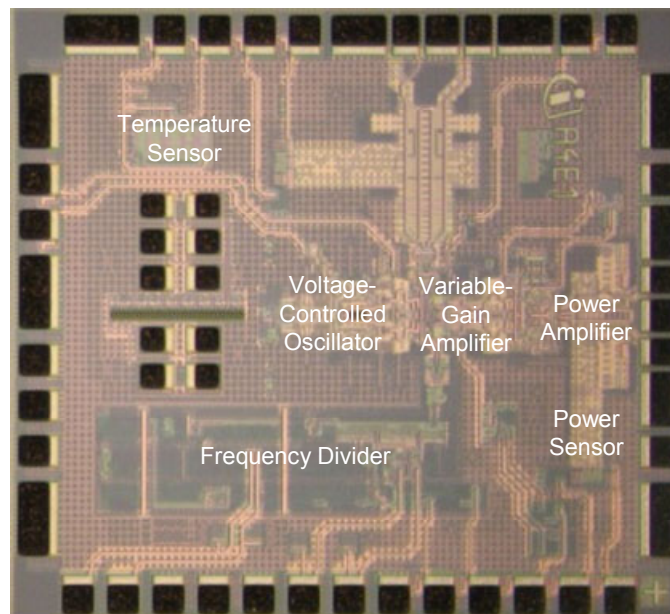


Abbildung V.19: Chipfoto des integrierten Sendebausteins

## Messergebnisse

Die Charakterisierung des integrierten Sendebausteins erfolgte sowohl mit auf Leiterplatten aufgebauten Chips als auch auf dem Wafer. Abbildung V.20 zeigt die gemessene Abstimmcharakteristik des Oszillators. Dargestellt ist die Frequenz in Abhängigkeit von der Abstimmspannung am Fine-Tuning-Eingang bei drei Werten der Coarse-Tuning Spannung. Der gesamte Abstimbereich beträgt ca. 7 GHz; mit Hilfe des Fine-Tuning Eingangs alleine lässt sich ein Frequenzbereich von mehr als 2 GHz abdecken.

Die Temperaturabhängigkeit der Oszillatorfrequenz ist in Abbildung V.21 zu sehen. Im Temperaturbereich von 25°C bis 125°C ändert sich die Oszillatorfrequenz um etwa 1,8 GHz. Dieser Frequenzänderung kann problemlos mit Hilfe des verfügbaren Abstimbereichs ausgeglichen werden.

Das Phasenrauschen des Oszillators wurde mit Hilfe eines Phasenrauschmessplatzes, der auf der Delay-Line Methode basiert, charakterisiert. Da der Messbereich auf  $< 6$  GHz beschränkt ist, erfolgte die Messung am Ausgang des Frequenzteilers /32. Durch den Frequenzteiler wird das Phasenrauschen des Oszillators um  $20 \cdot \log(N)$  verringert. Bei einem Teilerfaktor  $N = 32$  ergibt sich ein Korrekturfaktor von 30,1 dB. Das gemessene Phasenrauschen (Abbildung V.22) in Verbindung mit diesem Korrekturfaktor führt zu einem Wert von -95 dBc/Hz bei 1 MHz Offset bei der Oszillatorfrequenz von 77 GHz. Dies stellt einen ausgezeichneten Wert dar. Das Phasenrauschen zeigt bis zu Frequenzoffsets  $< 100$  kHz einen Anstieg von 20 dB/Dekade. Erst bei Offsets deutlich kleiner als 100 kHz ist der Effekt des  $1/f$ -Rauschens bemerkbar.

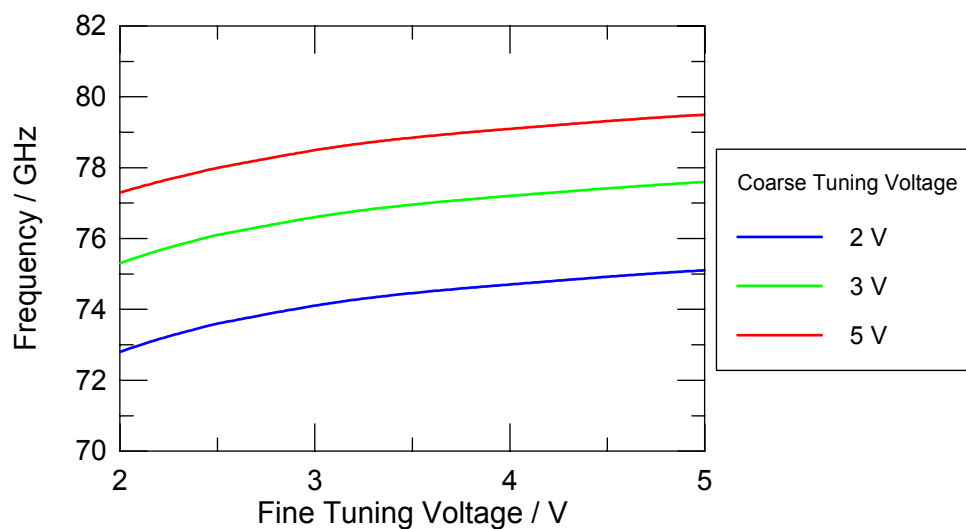


Abbildung V.20: Gemessene Abstimmcharakteristik des 77 GHz Oszillators

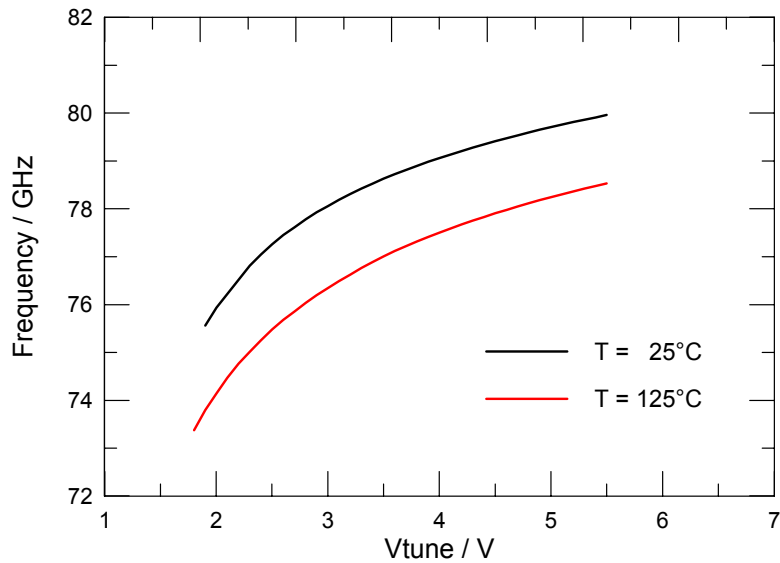


Abbildung V.21: Temperaturabhängigkeit der Oszillatorfrequenz

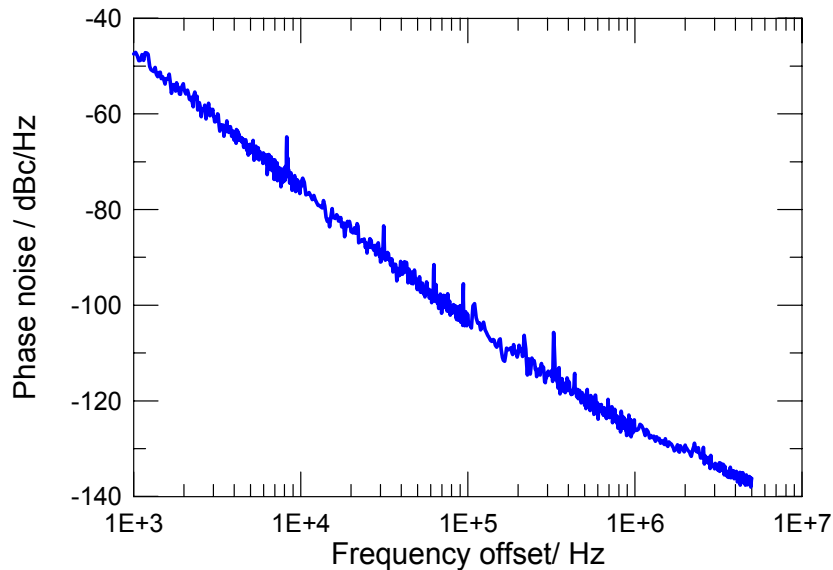


Abbildung V.22: Phasenrauschen des Oszillators gemessen am Ausgang des Frequenzteilers /32. Der Teilerfaktor von 32 entspricht einer Verringerung des Phasenrauschens um 30,1 dB

Die Messung der Ausgangsleistung des Sendebausteins erfolgte auf dem Wafer. Dazu wurden Messspitzen in der Konfiguration GSGSG mit W-Band Hohlleiteranschluss verwendet. Über ein 5 cm langes Hohlleiterstück waren die Messspitzen mit einem W-Band Leistungsmesskopf ver-



bunden. Abbildung V.23 zeigt die gemessene Ausgangsleistung (Summenleistung der beiden differenziellen Ausgänge) über der Frequenz. Die Ausgangsleistung ist größer als 16 dBm und zeigt einen sehr flachen Verlauf über der Frequenz.

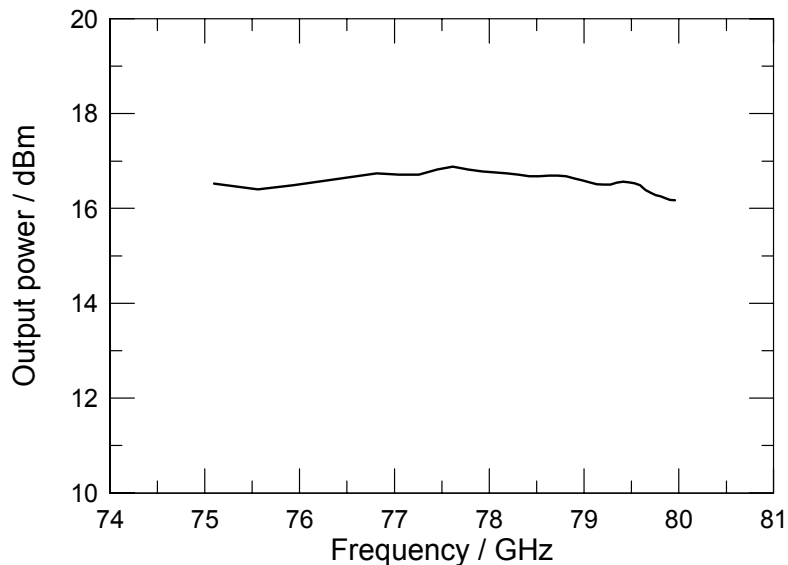


Abbildung V.23: Gemessene Ausgangsleistung (Summenleistung der beiden differenziellen Ausgänge) des 77 GHz Leistungsverstärkers

Die Ausgangssignale des Frequenzteilers wurden sowohl auf dem Wafer als bei auf Leiterplatten aufgebauten Chips gemessen. Die Charakterisierung des hochfrequenten Teilerausgangs (Teilerfaktoren 4 bzw. 32, entsprechend einer Ausgangsfrequenz von ca. 19GHz bzw. 2,4 GHz) erfolgte mit Hilfe eines Spektrumanalysators. Zusätzlich wurden die Ausgangssignale auch mit einem Sampling-Oszilloskop kontrolliert.

Der tieffrequente Teilerausgang wurde mit Hilfe eines digitalen Speicheroszilloskops charakterisiert. Dieser Ausgang enthält zwei getrennte Treiberstufen, die je nach gewähltem Teilerfaktor aktiviert werden. Bei einem Teilerfaktor von 1536 liefert die Treiberstufe ein differentielles Signal von  $> 2 \times 500 \text{ mV}_{pp}$  an einen Lastwiderstand von  $2 \times 200 \Omega$ . Bei einem Lastwiderstand von  $50 \Omega$ , wie er bei der Messung verwendet wurde, verringert sich Spannungshub auf  $2 \times 180 \text{ mV}_{pp}$  (Abbildung V.24).

Bei einem gewählten Teilerfaktor von 1572864 ist ein Ausgangstreiber aktiv, der ein Signal mit einem nominellen Spannungshub von 3,3 V liefert, das direkt von CMOS-Schaltkreisen weiter verarbeitet werden kann. Das gemessene Ausgangssignal bei hochohmiger Belastung ist in Abbildung V.25 dargestellt.

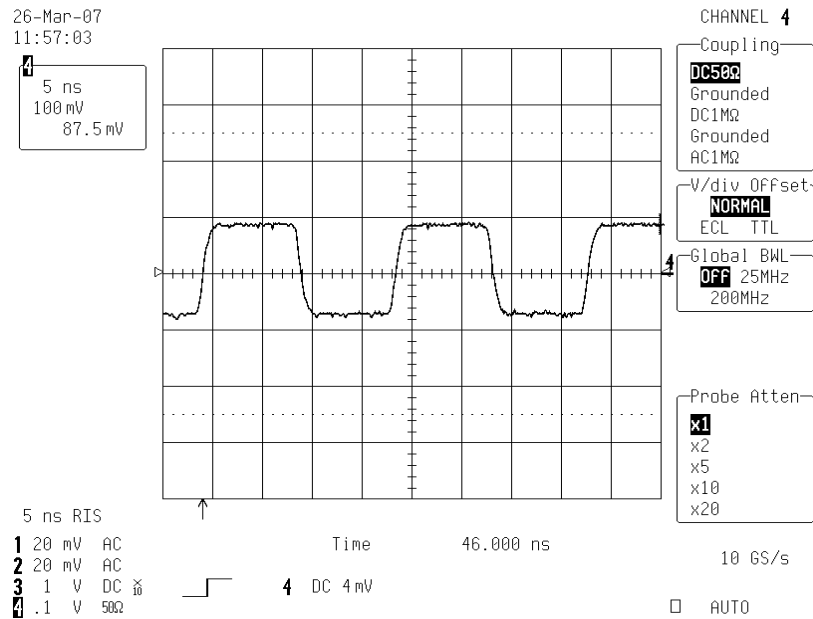


Abbildung V.24: Ausgangsspannung des Frequenzteilers (Teilerfaktor 1536) bei 50  $\Omega$  Lastwiderstand; x-Achse: 5 ns/div; y-Achse: 100 mV/div

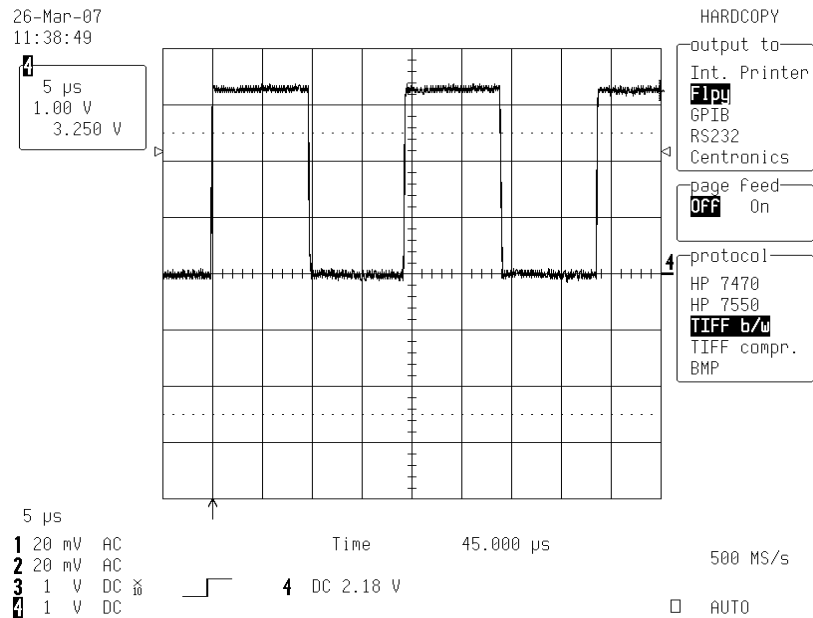


Abbildung V.25: Ausgangsspannung des Frequenzteilers (Teilerfaktor 1572864) bei hochohmiger Last; x-Achse: 5 ns/div; y-Achse: 100 mV/div

Abbildung V.26 zeigt die gemessene Kennlinie des Temperatursensors. Diese zeigt den gewünschten linearen Verlauf, die Steigung beträgt etwa 4 mV/K.

Eine Zusammenfassung der wichtigsten Daten des integrierten Sendebausteins ist in Tabelle V.2 enthalten. Mit einer Ausgangsleistung von 16 dBm, einem Abstimbereich von 7 GHz und einem Phasenrauschen von -95 dBc/Hz erfüllt der Baustein die Anforderungen, die beim Einsatz in Automotive Radar-Sensoren gestellt werden. Aufgabe zukünftiger Weiterentwicklungen wird es vor allem sein, die Verlustleistung zu senken und den Integrationsgrad weiter zu erhöhen.

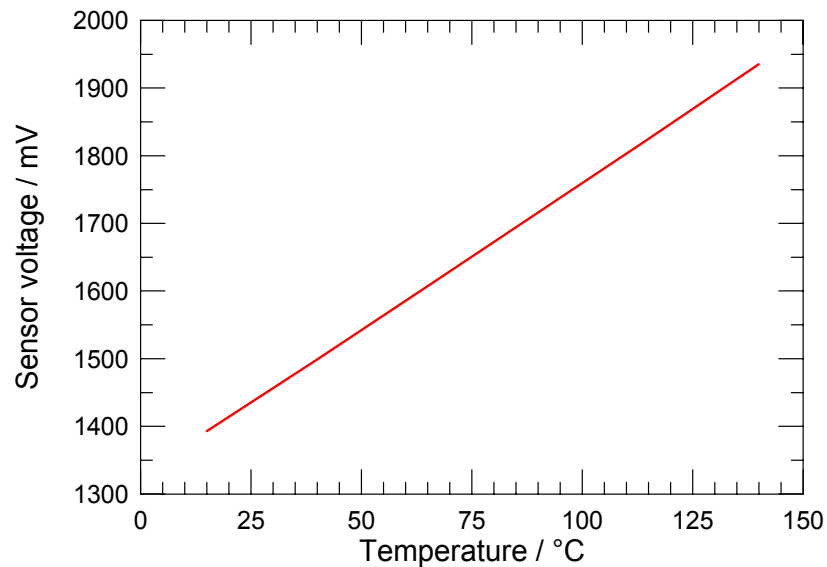


Abbildung V.26: Gemessene Ausgangsspannung des Temperatursensors

Mittenfrequenz	77 GHz
Abstimbereich	7 GHz
Ausgangsleistung	16 dBm
Phasenrauschen bei 1 MHz Offset	-95 dBc/Hz
Frequenzteiler / Teilerfaktoren	4, 32, 1536, 1572864
Stromaufnahme (VCC = 5,5 V)	430 mA
Chipgröße	1,865 x 1,69 mm <sup>2</sup>

Tabelle V.2: Daten des integrierten Sendebausteins

AB_KOKON		März 2008
----------	--	-----------

## VI. Zuverlässigkeitsuntersuchungen

Im Projekt KOKON wurde von Infineon zum ersten Mal eine Höchsthfrequenz-Bipolartechnologie entwickelt, deren wichtigste Anwendung nicht im Kommunikationsbereich wie dem Mobilfunk oder der optoelektronischen Datenübertragung liegt, sondern in der Automobilelektronik. Dieses Anwendungsgebiet stellt bzgl. der geforderten geringen Ausfallraten im Bereich von 1 ppm, des weiten Bereichs von Umgebungstemperaturen von  $-40^{\circ}\text{C}$  bis  $125^{\circ}\text{C}$  und der langen Lebensdauer von typisch 15 Jahren weit höhere Anforderungen an die Zuverlässigkeit der Technologie als Anwendungen in der Kommunikationstechnik. Daher war ein wichtiges Ziel im Projekt KOKON zu erforschen, ob SiGe-Technologien prinzipiell geeignet sind, die hohen Anforderungen bzgl. der Device-Performance und –Zuverlässigkeit zu erfüllen. Von Beginn der Technologieentwicklung an wurden daher begleitende Untersuchungen zur Zuverlässigkeit der aktiven und passiven Bauteile durchgeführt, sowie die Metallisierung auf ihre Ausfallwahrscheinlichkeit hin untersucht. Außerdem treten spezielle Betriebsbedingungen der SiGe HBTs in der Radarapplikation auf (Betrieb über der Kollektor-Emitter-Durchbruchspannung bei offener Basis  $BV_{ce0}$ ), die üblicherweise bei der Untersuchung der Zuverlässigkeit einer Technologie nicht berücksichtigt werden. Dieser Betriebszustand wurde daher ausführlich charakterisiert und seine Auswirkungen auf die DC- und AC-Charakteristiken der Transistoren und den Betrieb von integrierten Schaltungen bewertet.

Um die benötigten Zuverlässigkeitsanforderungen an die Technologie festlegen zu können, wurden zunächst von den Anwendern Bosch und Continental Zeit-Temperatur-Profile zur Verfügung gestellt, die angeben, bei welchen Umgebungstemperaturen die integrierten Schaltungen wie lange über ihre Lebensdauer betrieben werden. Da durch die Eigenerwärmung der Schaltungen im Betrieb die Temperatur der Bauteile (Junction Temperatur  $T_j$ ) höher als die Umgebungstemperatur (Ambient Temperatur  $T_a$ ) ist, wurde dieses Zeit-Temperatur-Profil für die Umgebungstemperatur in ein solches für die Junction Temperatur umgerechnet. Es zeigt sich, dass alle Anwendungen durch ein Anforderungsprofil abgedeckt sind, das einem Betrieb über 15 Jahre bei einer Junction Temperatur von  $125^{\circ}\text{C}$  entspricht. Die maximale Betriebsspannung beträgt dabei 5.775 V. Diese Anforderung wurde daher als Ziel für die gesamte Technologie definiert und den Zuverlässigkeitsuntersuchungen zu Grunde gelegt.

## VI.1 Stabilität der aktiven und passiven Bauteile

Um die Änderung der Eigenschaften der aktiven Bauelemente (npn HBT, vertikaler pnp, Varaktor) und der passiven Elemente (Polysilizium-Widerstände, TaN Widerstand, MIM Kondensator) im Betrieb zu bewerten, müssen Stressbedingungen definiert werden, die in testbaren Zeiträumen (typisch einige 1000 Stunden) Aussagen über die gesamte Betriebsdauer in der Anwendung ermöglichen (15 Jahre). Dazu werden die Bauteile in extremen Zuständen betrieben, die im normalen Einsatz nicht überschritten werden können und die maximal auftretenden Belastungen der Bauteile darstellen. Durch Extrapolation der gemessenen Änderungen mit der Zeit können so Aussagen über die Bauteilstabilität im gesamten Lebensdauerzyklus gemacht werden.

Für die aktiven Bauteile werden folgende Belastungstest durchgeführt:

### HTEO (High Temperature Electrical Operation):

Hier werden die Bauteile bei der maximal zulässigen Umgebungstemperatur von 125°C und der maximal zulässigen Designstromdichte betrieben. Die Kollektor-Emitter-Spannung wird so groß gewählt wie die minimale Spezifikation der Durchbruchspannung  $BV_{ce0}$ . Damit ist sichergestellt, dass unter den Fertigungsschwankungen in der Produktion und allen Einsatzbedingungen keine Transistoren auftreten können, die im normal aktiven Betrieb stärker belastet werden als die hier untersuchten.

### BTS (Bias Temperature Stress):

Hier wird bei maximal zulässiger Umgebungstemperatur die Basis-Kollektor-Sperrspannung angelegt, die die Transistoren nach ihrer Spezifikation mindestens aufweisen. Die Basis-Emitter-Spannung ist 0. Dies stellt damit die maximal auftretende Belastung der Kollektor-Basis-Diode in Sperrichtung dar. Beim Varaktor erfolgt dieser Test analog für die Varaktordiode in Sperrichtung.

### UEB (Reverse Emitter Base Diode Stress):

Hier wird die Emitter-Basis-Diode mit der nach den Design-Regeln maximal zulässigen Sperrspannung betrieben. Der Kollektor ist offen. Bei diesem Betriebszustand treten Schädigungen des Bauteils dadurch auf, dass Ladungsträger (v. a. Elektronen) im elektrischen Feld der Sperrschicht so stark beschleunigt werden, dass sie auf Grund ihrer kinetischen Energie Fehlstellen in Dielektrika erzeugen können, die anschließend als Rekombinationszentren für die Ladungsträger im normal aktiven Betrieb wirken und die Transferkennlinien der Transistoren degradieren. Da die freie Weglänge und damit die Möglichkeit zur Schädigung für die Elektronen bei niedrigen Temperaturen größer werden, ist dieser Degradationsmechanismus bei tiefen Temperaturen stärker ausgeprägt. Daher wird dieser Test bei der minimalen Umgebungstemperatur von - 40°C durchgeführt.

Um die Schädigung der Bauteile durch die Belastungstests zu bewerten, werden Kriterien festgelegt, die nach Extrapolation der Schädigung auf die Lebensdauer von 15 Jahren eine Aussage erlauben, ob die Bauteile noch hinreichend funktionieren. Für die Transistoren wurde festgelegt, dass sich die Stromverstärkung im normal aktiven Betrieb nach 15 Jahren um weniger als 20% ändern darf. Dies ist eine kleine Änderung im Vergleich zu den durch die Fertigungsschwankungen ohnehin auftretenden Variationen dieser Kenngröße. Für den Varaktor wurde festgelegt, dass sich der Sperrstrom im Vergleich zur Fertigungsspezifikation nicht wesentlich ändert und kleiner als 100 nA bleibt, so dass er keine Auswirkungen auf die Schaltungseigenschaften hat.

Um einen im Hinblick auf eine spätere Fertigung repräsentativen Querschnitt an Bauteilen zu charakterisieren wurde jeder Belastungstest mit ca. 60 Bauteilen aus drei verschiedenen Losen zur Waferherstellung durchgeführt.

### nnp Transistoren:

Jeweils für den UHS, HS und HV Transistor wurden HTEO, BTS und UEB Tests durchgeführt. Für den HS Transistor wurden auch verschiedene Transistorgrößen untersucht, um den Einfluss der Bauteilgeometrie auf Degradationseffekte zu untersuchen. Abbildung VI.1.1 zeigt die Änderung der Stromverstärkung von HS Transistoren mit einer Emittergeometrie von  $0.35 \times 2.8 \mu\text{m}^2$  nach HTEO Stress von 5000 Stunden. Extrapoliert auf 15 Jahre tritt eine Änderung der Stromverstärkung von nur wenigen Prozent auf.

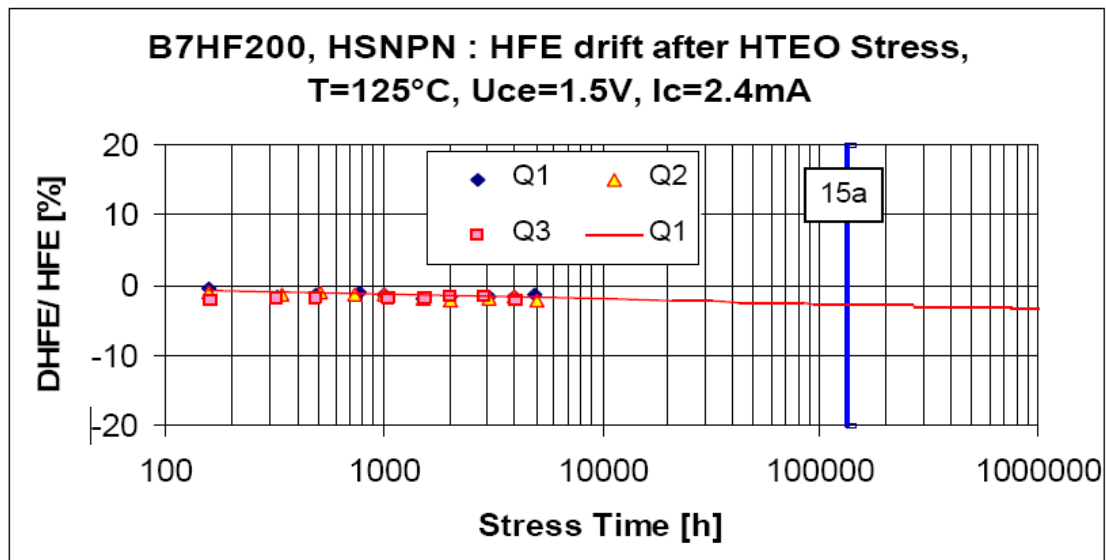


Abbildung VI.1.1: Änderung der Stromverstärkung  $h_{FE}$  von HS npn Transistoren aus drei verschiedenen Losen nach HTEO Stress

Auch nach Bias Temperature Stress tritt keine nennenswerte Änderung der Transistorcharakteristik auf. Abbildung VI.1.2 zeigt dies für den minimalen HS Transistor mit einer Geometrie von  $0.35 \times 1.0 \mu\text{m}^2$ .

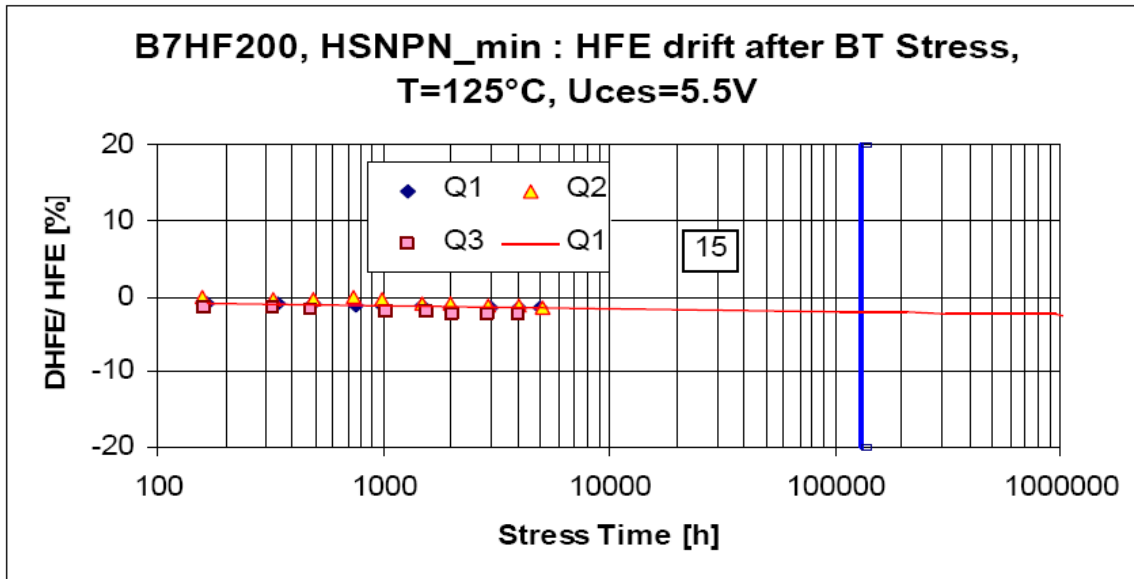


Abbildung VI.1.2: Änderung der Stromverstärkung  $h_{FE}$  von HS npn Transistoren mit minimaler Geometrie aus drei verschiedenen Losen nach BTS Stress

Beim Reverse Emitter Base Diode Stress treten bei der nach Spezifikation maximal zulässigen Sperrspannung von 1.2 V im Rahmen von einigen 1000 Stunden keine messbaren Änderungen der Stromverstärkung auf. Daher wurde dieser Test bei höheren Sperrspannungen im Bereich zwischen 2 und 4 V durchgeführt. Bei verschiedenen Spannungen wurde untersucht, wann sich die Stromverstärkung um 10% ändert und dann auf die Betriebsbedingung bei 1.2 V extrapoliert. Abbildung VI.1.3 zeigt dies anhand des UHS Transistors. Bei 1.2 V ändert sich die Stromverstärkung erst bei um Größenordnungen längeren Zeiträumen als 15 Jahren um 10%.

Für alle Stressbedingungen bei HTEO, BTS und UEB Tests treten also nur Änderungen der Stromverstärkung des npn Transistors auf, die gegen die normalen Herstellungsschwankungen gering sind und damit für die Zuverlässigkeit der Schaltungen nicht kritisch sind.

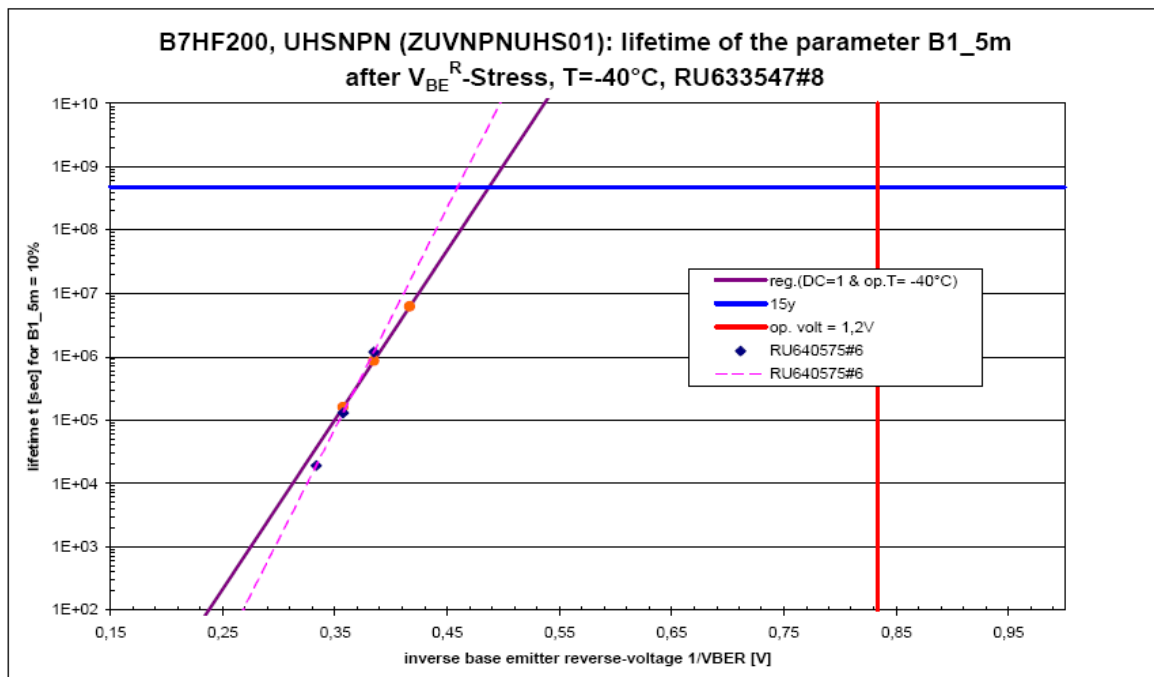


Abbildung VI.1.3: Zeit, nach der sich die Stromverstärkung  $h_{FE}$  um 10% ändert, als Funktion der inversen Emitter-Basis-Spannung bei UHS npn Transistoren aus zwei verschiedenen Losen nach UEB Stress. Für die maximal zulässige Sperrspannung von 1,2 V ändert sich die Stromverstärkung erst nach weit über 15 Jahren um 10%.

### Vertikaler pnp Transistor:

Für den vertikalen pnp wurden HTEO und BTS Stresstests durchgeführt. Ein Reverse Emitter Base Diode Stress wurde hier nicht gemacht, da er aus früheren Erfahrungen bei diesem Bauteil nicht relevant ist. Dies liegt daran, dass der pnp Transistor keinen Oxidspacer zur Emitter-Basis-Isolation verwendet, an dem die Schädigungen durch die schnellen Elektronen beim npn Transistor v. a. entstehen.

Die Abbildung VI.1.4 zeigt Ergebnisse für die Änderung der Stromverstärkung des pnp Transistors nach 4000 h HTEO Belastung. Über die Lebensdauer des Bauteils von 15 Jahren ist mit einer Abnahme der Stromverstärkung bis zu 10% zu rechnen. In Abbildung VI.1.5 ist die Änderung der Stromverstärkung nach 4000 Stunden BTS zu sehen. Nach 15 Jahren nimmt die Stromverstärkung um ca. 5 % ab.

Somit treten auch für den vertikalen pnp Transistor unter den maximal möglichen Betriebsbelastungen keine für die Schaltungszuverlässigkeit relevanten Änderungen der DC-Charakteristik auf.



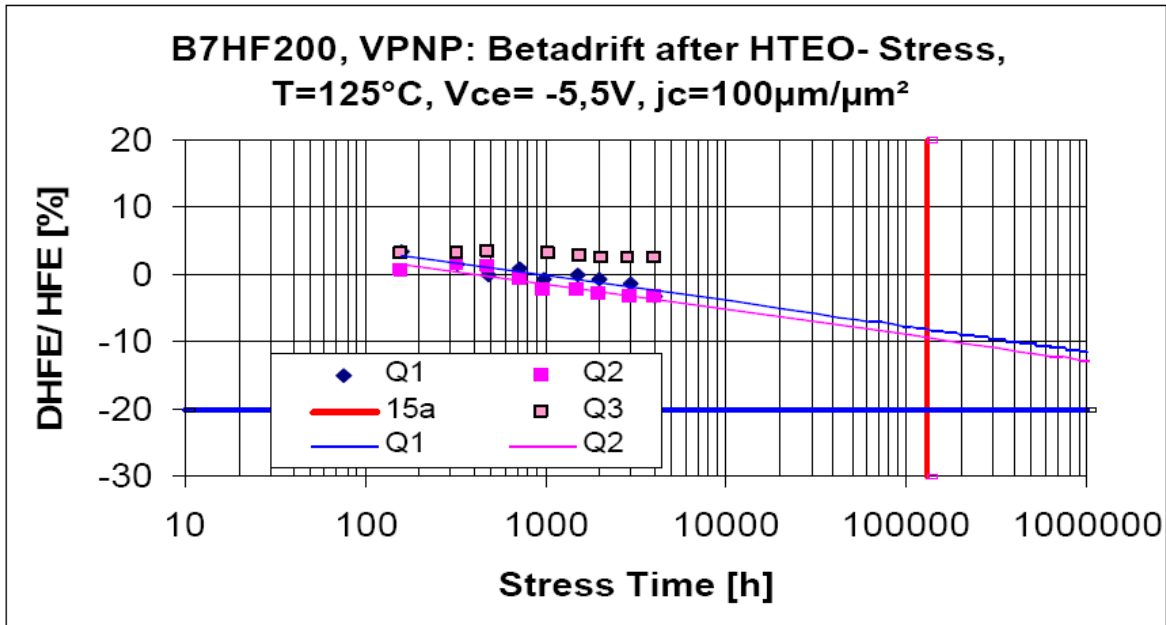


Abbildung VI.1.4: Änderung der Stromverstärkung  $h_{FE}$  von vertikalen pnp Transistoren aus drei verschiedenen Losen nach HTEO Stress

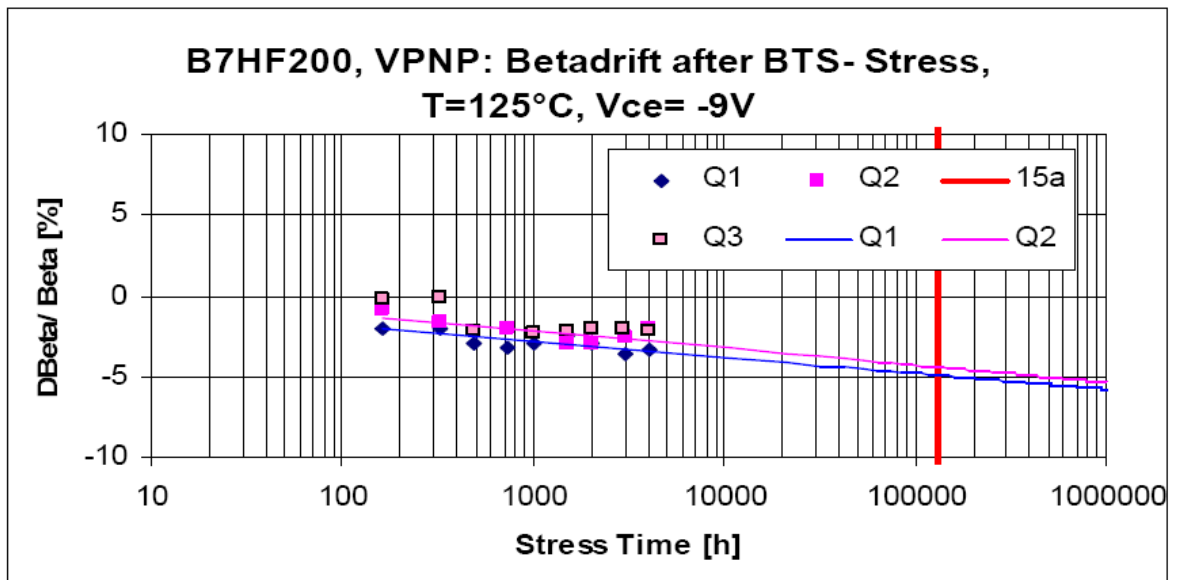


Abbildung VI.1.5: Änderung der Stromverstärkung  $h_{FE}$  von vertikalen pnp Transistoren aus drei verschiedenen Losen nach BTS Stress

### Varaktor:

Da der Varaktor in der Anwendung nicht in Durchlassrichtung betrieben wird, ist für seine Zuverlässigkeit nur der Betrieb bei hohen Sperrspannungen, d. h. der BTS Test relevant. Belastet man den Varaktor mit der maximal zulässigen Sperrspannung, tritt im Rahmen der Messgenauigkeit über 5000 Stunden keine Änderung des Sperrstroms auf (Abbildung VI.1.6).

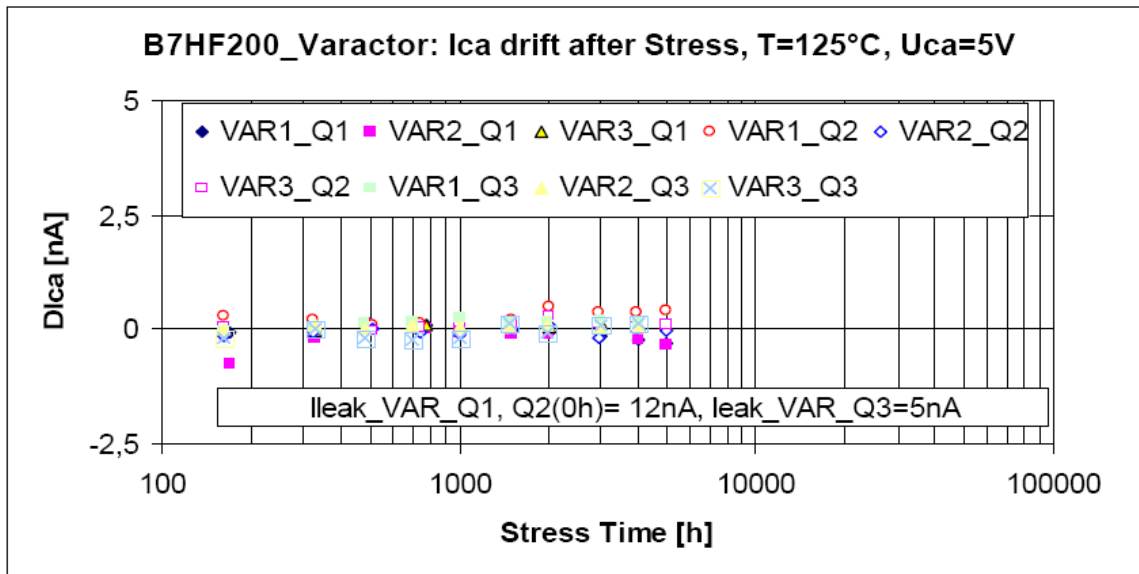


Abbildung VI.1.6: Änderung der Sperrstroms von Varaktoren aus drei verschiedenen Losen nach 5000 Stunden BTS Stress

### Widerstände:

Für die Zuverlässigkeit der Widerstände ist die Änderung der Widerstandswerte bei Belastung mit der maximal zulässigen Designstromdichte und maximaler Umgebungstemperatur, also der HTEO Test, interessant. Die Abbildungen VI.1.7 bis VI.1.9 zeigen die Widerstandsdriften über die Zeit für die Niederohm- und Hochohm-Polysilizium-Widerstände und für den TaN Widerstand. In allen Fällen ändern sich die Widerstände über die maximale Lebensdauer von 15 Jahren weniger als 3 Prozent. Dies ist deutlich weniger als die Herstellungstoleranz der Widerstände und damit für die Zuverlässigkeit der Schaltungen nicht limitierend.

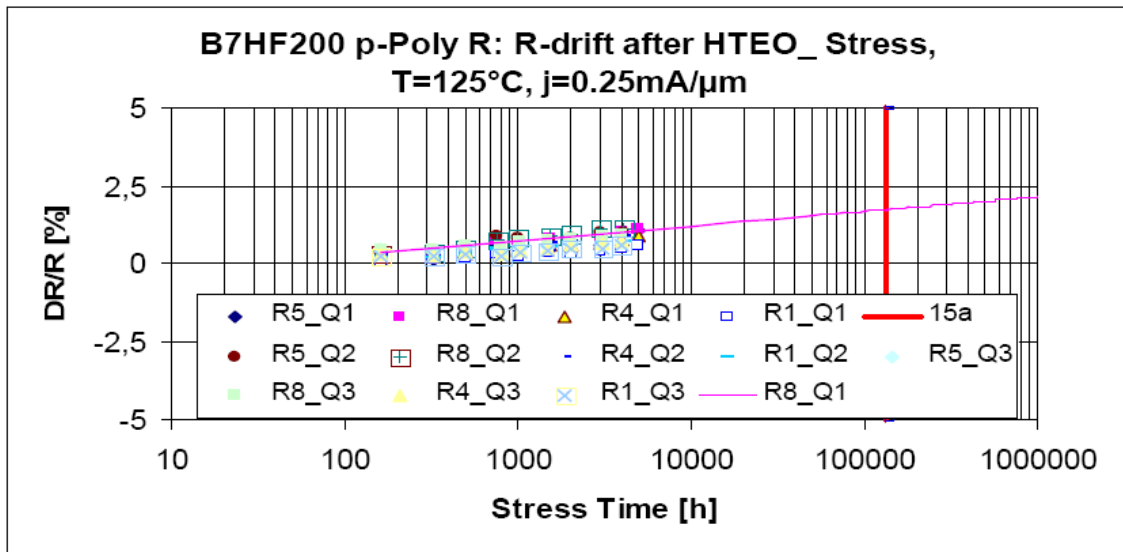


Abbildung VI.1.7: Änderung der Werte von Hochohm-Polysilizium-Widerständen mit vier verschiedenen Abmessungen aus drei verschiedenen Losen nach HTEO Stress

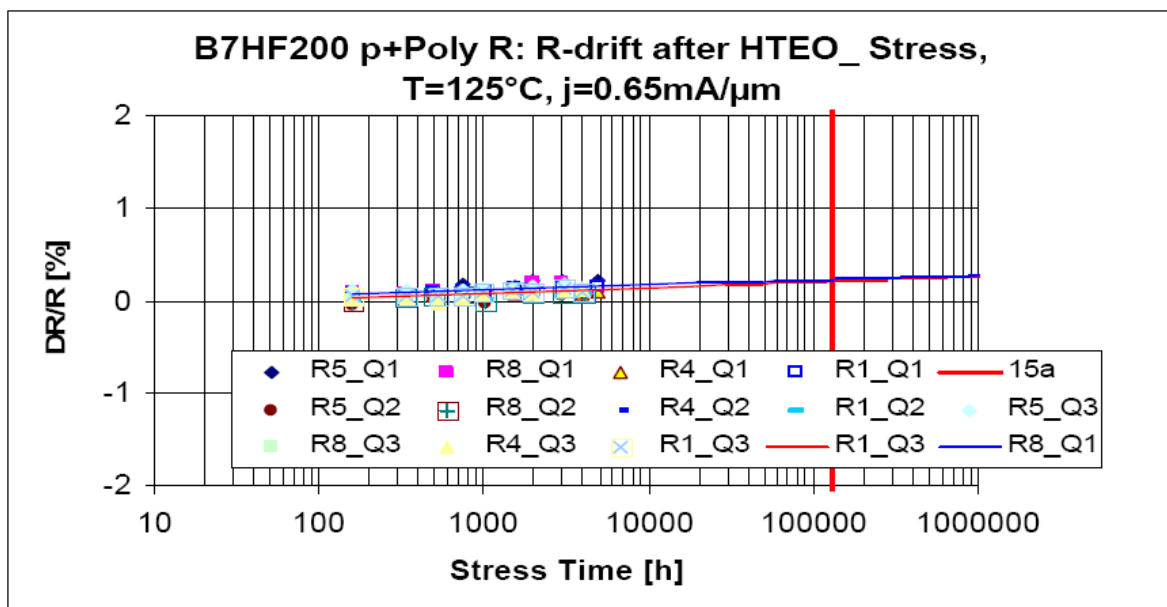


Abbildung VI.1.8: Änderung der Werte von Niederohm-Polysilizium-Widerständen mit vier verschiedenen Abmessungen aus drei verschiedenen Losen nach HTEO Stress

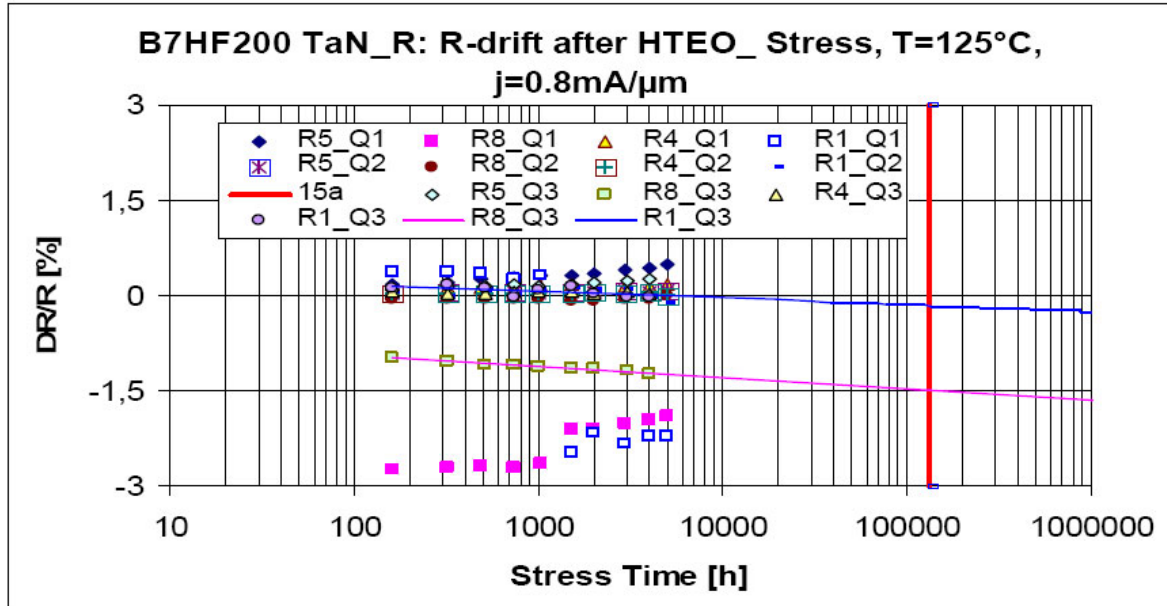


Abbildung VI.1.9: Änderung der Werte von TaN Widerständen mit vier verschiedenen Abmessungen aus drei verschiedenen Losen nach HTEO Stress

### MIM Kondensator:

Da die MIM Kondensatoren mit ihrer intrinsischen Durchbruchspannung von mehr als 40 V bei Betriebsspannungen  $< 6$  V normalerweise keine Änderungen ihrer Eigenschaften zeigen, müssen zur Bewertung der Lebensdauer der MIM Kondensatoren Stresstests weit über den nominalen Betriebsbedingungen durchgeführt werden. Die Schädigung der Kondensatoren kann über die Spannung oder die Temperatur beschleunigt werden. Bestimmt man die Ausfallwahrscheinlichkeit der Kondensatoren als Funktion der Spannung und Temperatur, kann man anschließend auf die Ausfallrate bei den Betriebsbedingungen des Kondensators in einer integrierten Schaltung zurückrechnen. Dazu werden bei erhöhten Temperaturen (typisch  $125^{\circ}\text{C}$  –  $200^{\circ}\text{C}$ ) und hohen Spannungen nahe an die intrinsische Durchbruchspannung (typisch 30 – 40 V) verschiedene MIM Kondensatoren belastet und die Zeit, bis sie zerstört sind, gemessen. Abbildung VI.1.10 zeigt als Beispiel Ausfallwahrscheinlichkeiten von MIM Kondensatoren für verschiedene Spannungen bei  $140^{\circ}\text{C}$  in der Auftragung als sogenannte Weibull-Verteilung. Die Modellparameter zur Lebensdauerbestimmung ergeben sich in dieser Auftragung durch Anpassung der Messdaten an Geraden. In die Ausfallwahrscheinlichkeit geht natürlich auch die Fläche der Kondensatoren ein. Daher wurden die Stresstests an unterschiedlichen Kondensatorgrößen durchgeführt, u. a. den nach den Designregeln minimal und maximal zulässigen Geometrien.

Mit diesem Lebensdauermodell wurden anschließend die integrierten Schaltungen für das Abstandsradar bzgl. ihrer zu erwartenden Ausfallrate durch während des Betriebs ausfallende MIM

Kondensatoren bewertet. Die erwartete Ausfallrate für die von den Anwendern Bosch und Continental gelieferten Anwendungsprofile auf Grund intrinsischer Ausfälle des MIM Kondensators ist z. B. für den 77 GHz Transceiver kleiner als 0.1 ppm. Damit werden also die hohen Anforderungen der Automobilhersteller an die erwarteten geringen Ausfallraten erreicht.

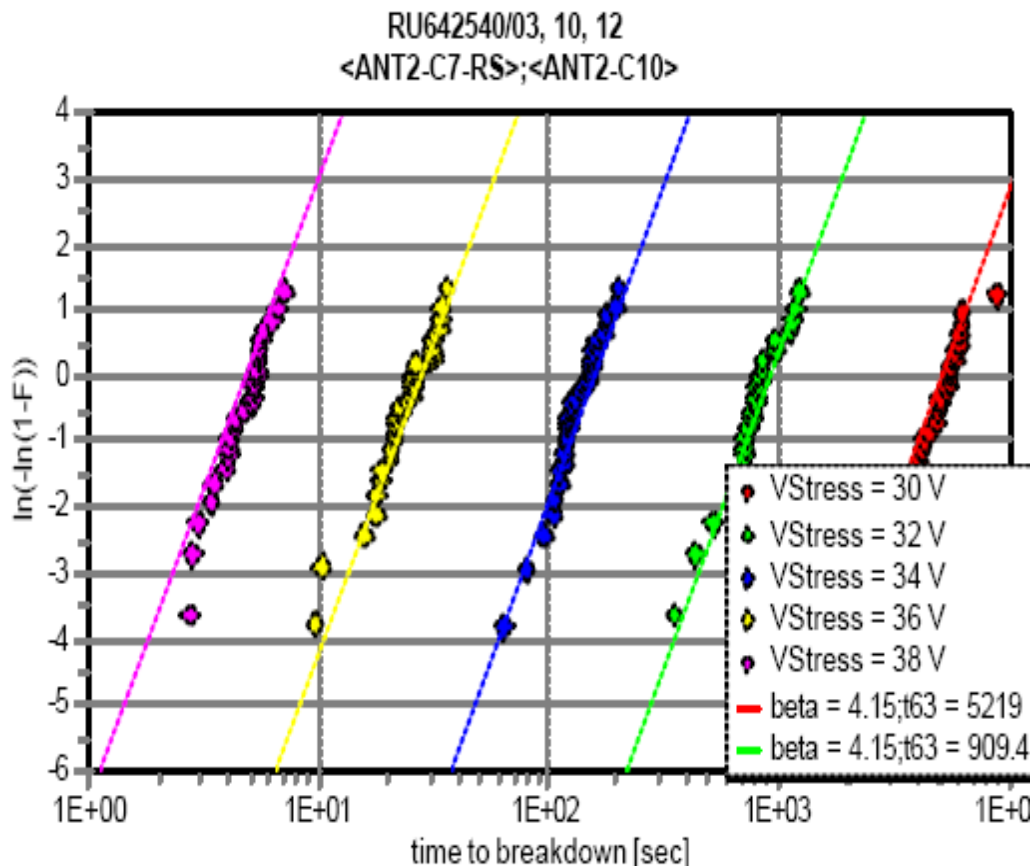


Abbildung VI.1.10: Auftragung der Ausfallwahrscheinlichkeit von MIM Kondensatoren als Weibull-Verteilung für verschiedene Spannungen und 140°C. Durch Auswertung bei verschiedenen Temperaturen und Kondensatorabmessungen und Anpassung der Messdaten an Geraden lassen sich die für die Lebensdauerabschätzung benötigten Modellparameter bestimmen.

## VI.2 Betrieb des SiGe HBT über $BV_{CE0}$

Ein wesentliches Forschungsziel im Rahmen dieses Projekts war zu untersuchen, ob mit Silizium-Technologien die für Radaranwendungen benötigte hohe Sendeleistung bei 77 GHz erreicht werden kann. Die hohe Betriebsfrequenz erfordert die Entwicklung von Transistoren mit hoher Transitfrequenz  $f_T$ . Da das Produkt aus Transitfrequenz und Kollektor-Emitter-Durchbruchspannung bei offener Basis  $BV_{ce0}$  in erster Näherung konstant ist (Johnson-Limit), bedeutet dies, dass diese schnellen Transistoren relativ niedrige Durchbruchspannungen aufweisen müssen. Die Ausgangsleistung des Radarsenders ist im Wesentlichen durch das Produkt aus Kollektorstrom des Ausgangstransistors und dessen Kollektor-Basis-Spannung gegeben. Aufgrund der niedrigen Durchbruchspannung war daher fraglich, ob Siliziumtransistoren prinzipiell für diesen Anwendungsbereich geeignet sind.

Die Kollektor-Emitter-Durchbruchspannung bei offener Basis ist die Kollektor-Emitter-Spannung, bei der der Transistor unabhängig von der Beschaltung der Basis niemals die Durchbruchbedingung erreicht. Abhängig von der Impedanz, die am Basiskontakt anliegt, können aber auch höhere Spannungen im Transistorbetrieb erzielt werden, bei denen der Transistor noch stabil bleibt. Um hohe Ausgangsleistungen für den 77 GHz VCO zu erreichen, müssen die Transistoren im VCO-Kern und im Ausgangsverstärker in diesem Zustand betrieben werden. Abbildung VI.2.1 zeigt den Verlauf des auf die Emitterlänge normierten Kollektorstroms des Ausgangstransistors des VCO-Power-Amplifiers als Funktion der Kollektor-Basis-Spannung. Würde man den Betrieb auf Fälle unter  $BV_{ce0}$  beschränken, könnte man die Transistoren bei einer angenommenen Durchbruchspannung von  $BV_{ce0} = 1.8 \text{ V}$  und einer Emitter-Basis-Spannung von  $0.8 \text{ V}$  nur bis  $V_{cb} = 1 \text{ V}$  betreiben. Damit lassen sich die für die Radaranwendungen benötigten Ausgangsleistungen nicht erzielen.

In Abbildung VI.2.1 sind simulierte Ausgangskennlinien eingezeichnet, die mit einem Durchbruchmodell bestimmt wurden, das im Rahmen des Projekts HiSpeed erarbeitet wurde. Diese Simulationen zeigen, dass die Transistoren weit über  $BV_{ce0}$  betrieben werden können, ohne in den Lawinen-Durchbruch zu gelangen. Diese Betriebsmöglichkeit ist ein entscheidender Schritt, der den Einsatz von Silizium-Technologien für Radaranwendungen erst ermöglicht. Andererseits umfassen die üblichen Zuverlässigkeitsuntersuchungen diesen Betriebszustand nicht. Der Transistorbetrieb wird durch den HTEO Test nur bis  $BV_{ce0}$  abgesichert.

Der Betrieb von Transistoren über  $BV_{ce0}$  bei hohen Stromdichten wird in der Literatur auch als Mixed Mode Stress bezeichnet und ist Gegenstand der aktuellen Forschung, da alle schnellen Bipolartransistoren auf Grund des Johnson-Limits mit diesem Problem konfrontiert sind. Da der Betrieb über  $BV_{ce0}$  eine für die Radaranwendungen unabdingbare Voraussetzung darstellt, wurden umfangreiche Untersuchungen durchgeführt, um entscheiden zu können, ob dieser Betriebszustand im Hinblick auf die Zuverlässigkeitsanforderungen im Automobilbereich tolerierbar ist.

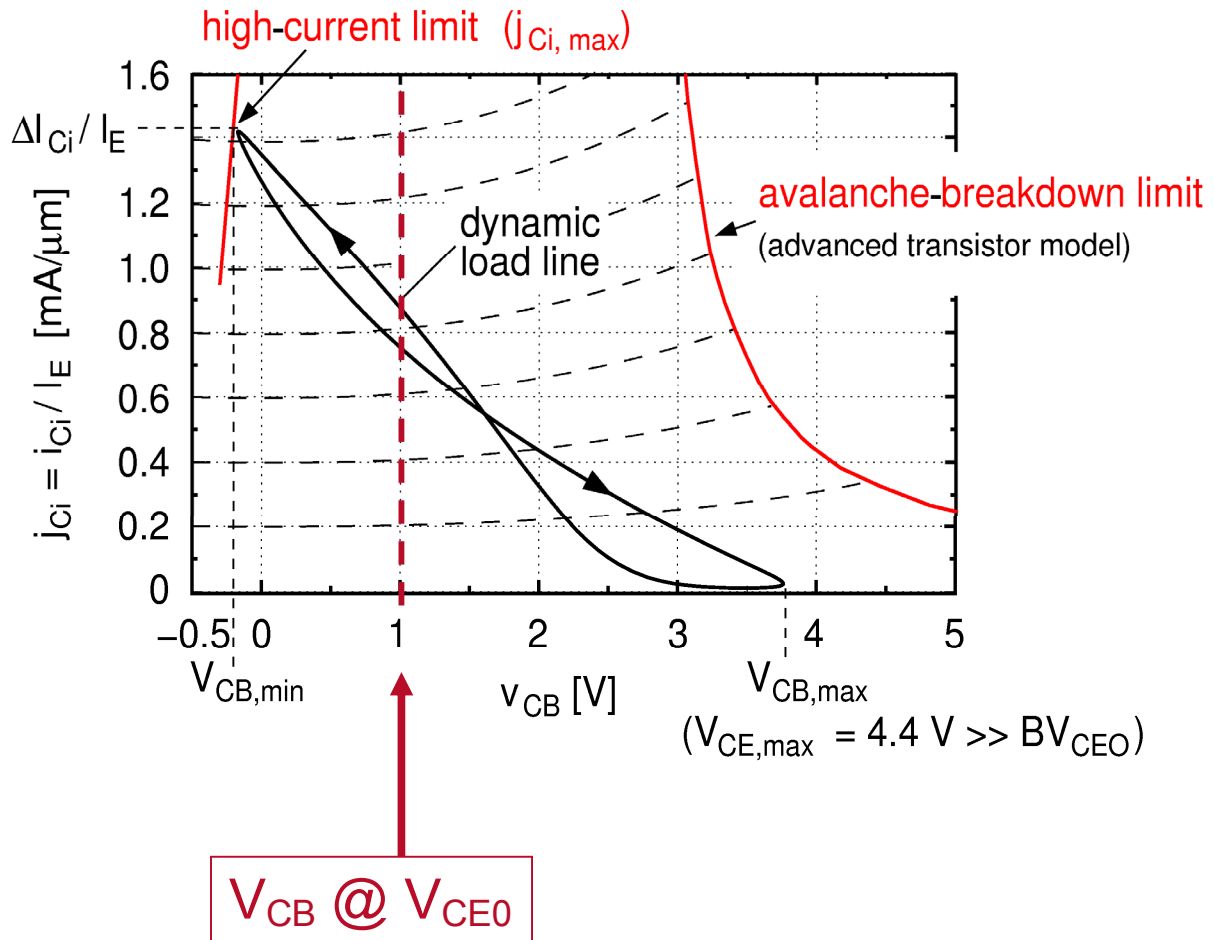


Abbildung VI.2.1: Simulierte Lastkennlinie (auf die Emittlerlänge normierter Kollektorstrom  $I_C/I_E$  als Funktion der Kollektor-Basis-Spannung  $V_{cb}$ ) des Ausgangstransistors im Power Amplifier des 77 GHz VCO und simulierte Ausgangskennlinien, die den Durchbruchbereich des Transistors zeigen. Der Transistor wird teilweise über  $BV_{ce0}$  betrieben.

Durch den Betrieb bei hohen Kollektor-Basis-Spannungen können in der Basis-Kollektor-Raumladungszone schnelle Ladungsträger („heiße Elektronen“) entstehen. Stoßen diese an angrenzende Oxidgebiete (z. B. den Emitter-Basis-Spacer) können diese Ladungsträger dort Defekte erzeugen, die anschließend als Rekombinationszentren wirken (Abbildung VI.2.2). Der Degradationseffekt ist also sehr ähnlich zum Reverse Emitter Base Diode Stress. Da der Transistor in der Anwendung im VCO aber im normal aktiven Betrieb, d. h. also bei relativ hohen Stromdichten betrieben wird, stehen viel mehr Ladungsträger für eine mögliche Schädigung zur Verfügung als beim UEB Stress, bei dem nur der Diodensperrestrom fließt.

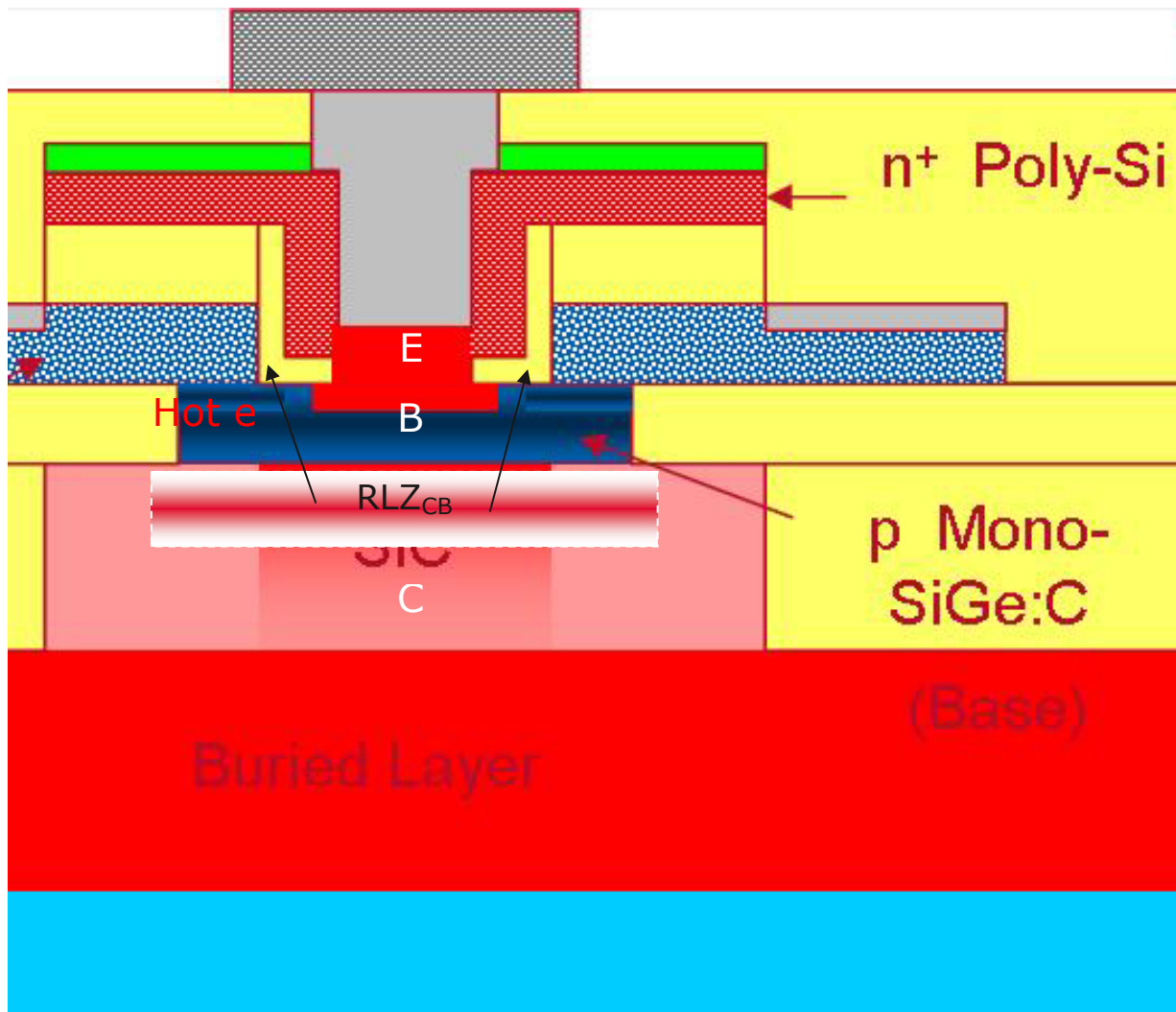


Abbildung VI.2.2: Prinzip der Transistordegradation durch Betrieb der Bauteile über  $BV_{ce0}$ : Auf Grund der hohen Kollektor-Basis-Spannung entstehen hochenergetische Ladungsträger („heiße Elektronen“), die beim Stoß mit Oxidgebieten (z. B. dem Emitter-Basis-Spacer) Schäden erzeugen können.

Die Simulation der Lastkennlinien des Leistungstransistors ist natürlich mit gewissen Unsicherheiten behaftet, die sich aus der Genauigkeit der Transistormodellierung ergeben. Außerdem können die Kennlinien auch auf Grund von Fertigungstoleranzen variieren. Daher wurde zunächst zur Untersuchung der Degradationseffekte der Transistoren im Mixed Mode Betrieb ein Strom-Spannungsbereich festgelegt, der niemals überschritten wird (Abbildung VI.2.3). An den eingezeichneten Grenzpunkten dieser sogenannten „Safe Operation Area“ wurden dann Degradationsexperimente an Transistoren durchgeführt.



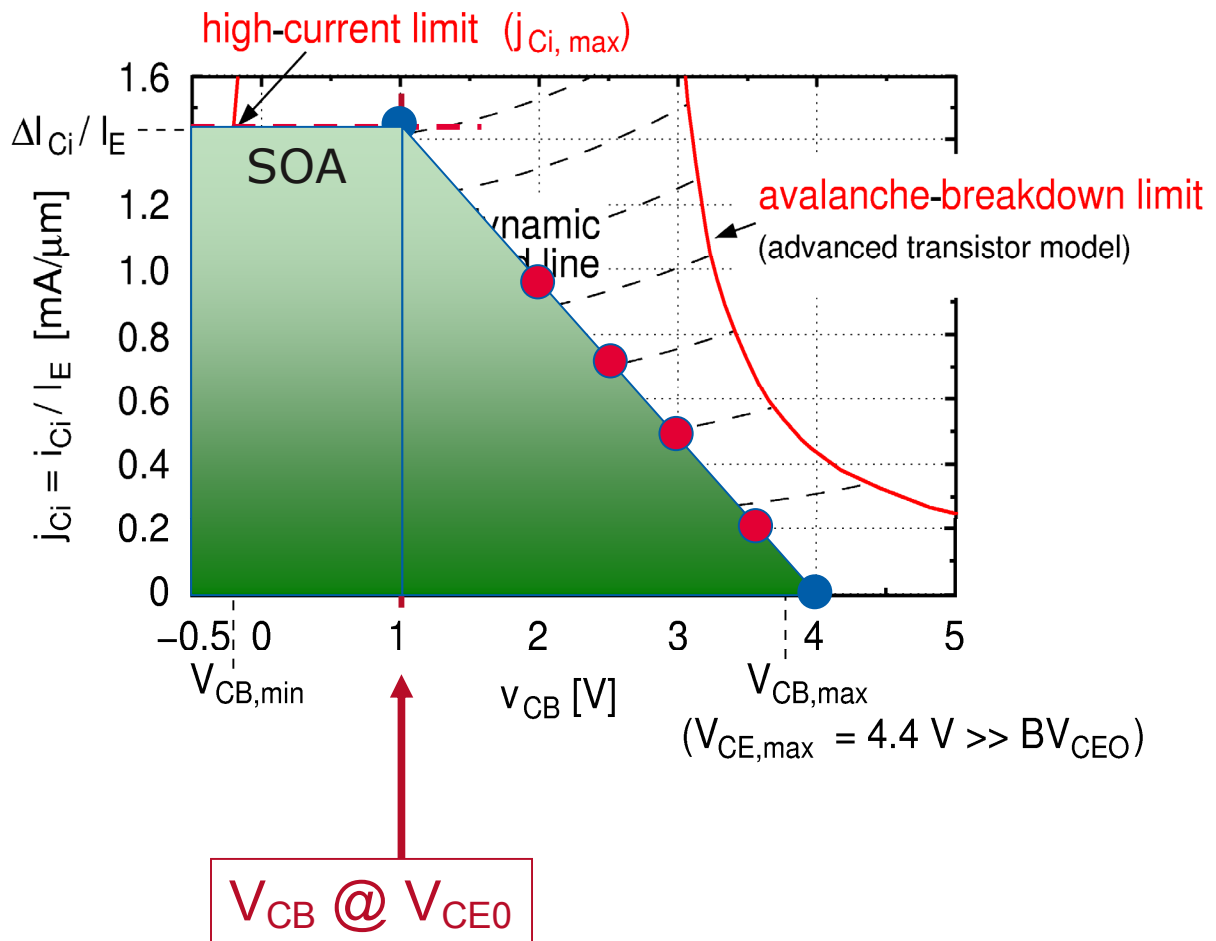


Abbildung VI.2.3: Definition eines Strom-Spannungs-Bereichs, der im Betrieb nie überschritten wird (Safe Operation Area SOA) und von Strom-Spannungs-Punkten, an denen Degradations-experimente zur Absicherung der SOA durchgeführt wurden.

Als Beispiel für eine Degradationsmessung zeigt Abbildung VI.2.4 die Stromverstärkung eines Transistors für verschiedene Zeiten nach Betrieb bei  $V_{cb} = 2 \text{ V}$  und der maximalen Designstromdichte von  $5 \text{ mA}/\mu\text{m}^2$  bei  $25^\circ\text{C}$ . Im Rahmen der Messgenauigkeit tritt bis 1500 Stunden keine Änderung der DC-Charakteristik des Transistors auf.

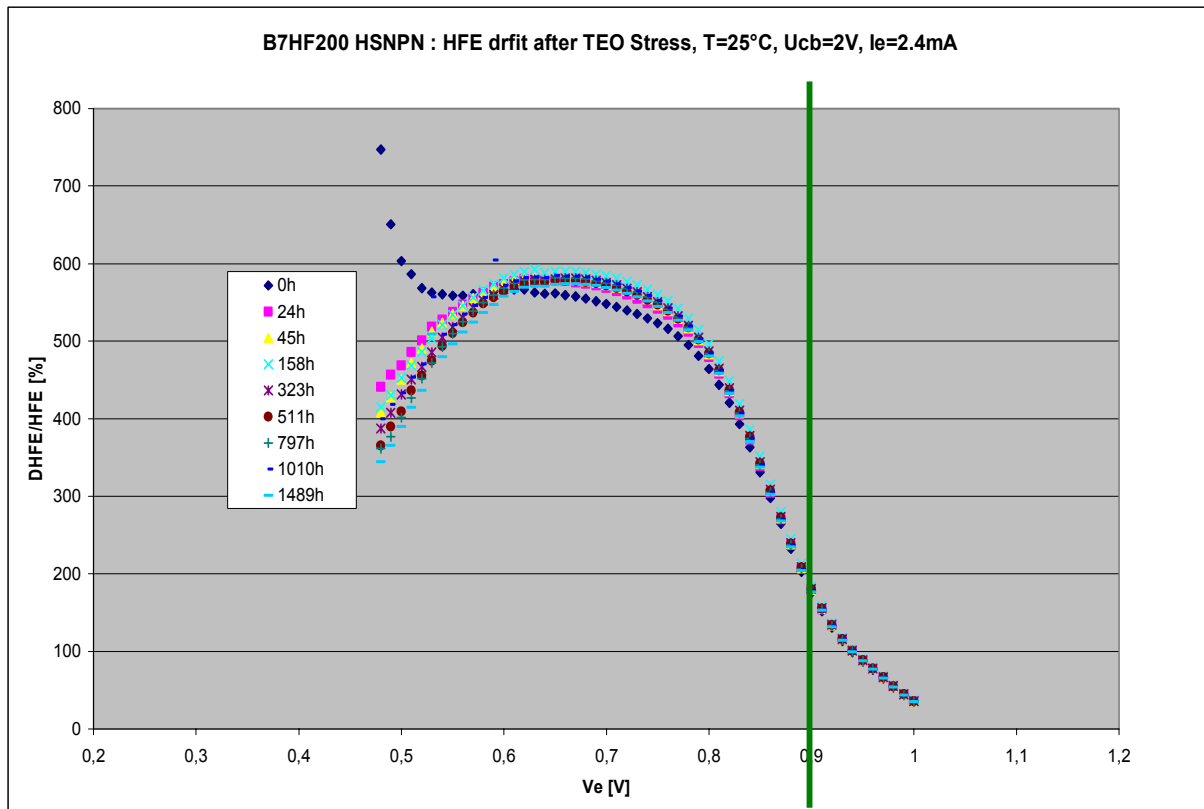


Abbildung VI.2.4: Stromverstärkung eines Transistors für Mixed Mode Stress bis 1500 Stunden bei  $V_{cb}$  2 V und einer Stromdichte von  $5 \text{ mA}/\mu\text{m}^2$  bei  $25^\circ\text{C}$ . Im Rahmen der Messgenauigkeit tritt keine Degradation der Stromverstärkung auf.

Anders ist die Situation für niedrigere Umgebungstemperaturen. In Abbildung VI.2.5 ist das gleiche Experiment für  $-40^\circ\text{C}$  gezeigt. Man sieht nun eine deutliche Abnahme der Stromverstärkung. Dies ist konsistent mit der Modellvorstellung für den Degradationsmechanismus. Bei niedrigen Temperaturen ist die freie Weglänge der Elektronen größer und damit steigt die Wahrscheinlichkeit, dass sie an Oxidgebiete stoßen können, bevor sie ihre Energie durch Stöße mit Siliziumatomen abgeben. Für niedrige Basis-Emitter-Spannungen tritt eine starke Abnahme der Stromverstärkung auf. Beim Maximum der Stromverstärkung beträgt die Reduktion ca. 20%. Für die im aktiven Betrieb des Transistors typische Basis-Emitter-Spannung von 0.9 V tritt aber noch keine Änderung der Stromverstärkung auf.

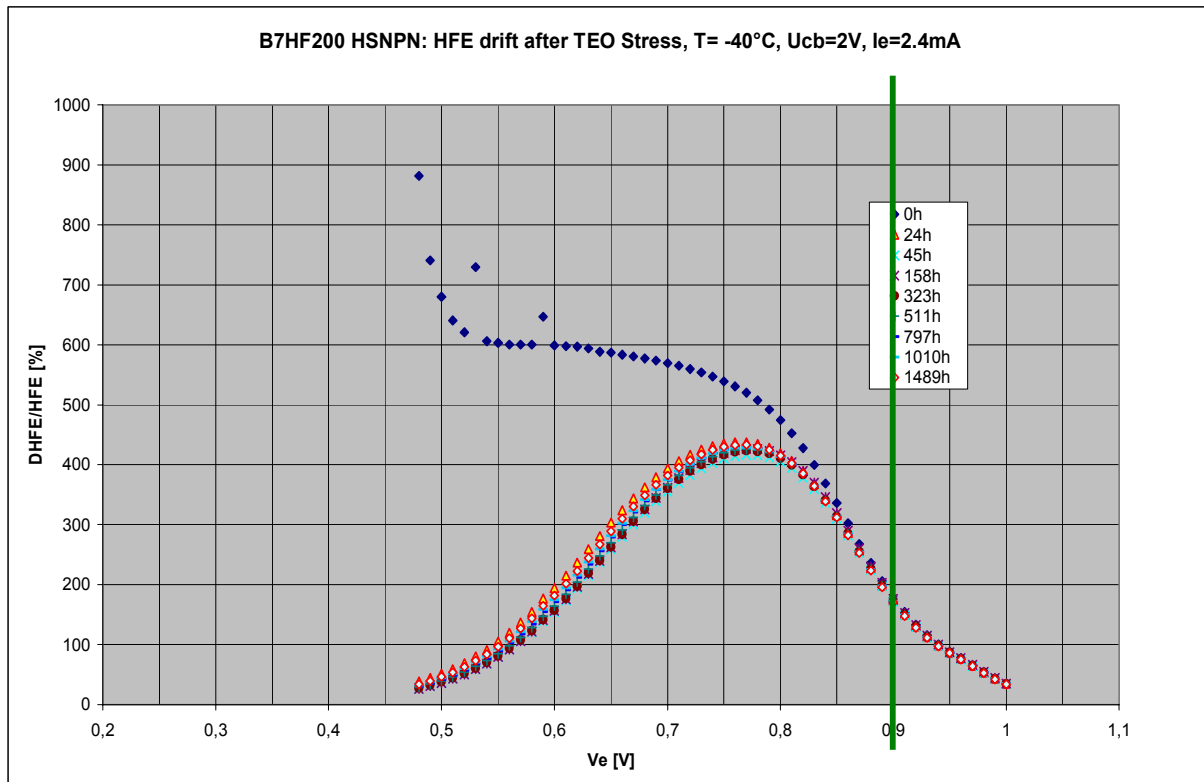


Abbildung VI.2.5: Stromverstärkung eines Transistors für Mixed Mode Stress bis 1500 Stunden bei  $V_{cb}$  2 V und einer Stromdichte von  $5 \text{ mA}/\mu\text{m}^2$  bei  $-40^\circ\text{C}$ . Für niedrige Basis-Emitter-Spannungen tritt eine Abnahme der Stromverstärkung auf. Bei der üblichen Betriebsspannung des Leistungstransistors von 0.9 V ist die Stromverstärkung unverändert.

Noch kritischer wird die Situation für noch größere Kollektor-Basis-Spannungen bei niedrigen Temperaturen. Abbildung VI.2.6 zeigt Degradationsmessungen bei einer Spannung von 3.8 V und einer Stromdichte von  $1 \text{ mA}/\mu\text{m}^2$  bei  $-40^\circ\text{C}$ . Obwohl der Strom im Vergleich zu den vorherigen Messungen einen Faktor 5 niedriger ist, ist die Schädigung des Bauteils deutlich stärker. Die maximale Stromverstärkung sinkt um ca. 35% und auch bei der Betriebsspannung des Transistors von  $V_{be} = 0.9 \text{ V}$  ist nun eine Änderung der Transistoreigenschaften sichtbar.

Insgesamt zeigen diese Untersuchungen also, dass beim Mixed Mode Stress v. a. der Betrieb bei hohen Kollektor-Basis-Spannungen bei niedrigen Temperaturen kritisch ist. Hohe Stromdichten sind für die Schädigung weniger von Bedeutung. Es gibt Spannungsbereiche über  $BV_{ce0}$ , bei denen keine Änderung der Transistoreigenschaften messbar ist. Allerdings gibt es Bereiche in der Lastkennlinie des Leistungstransistors des 77 GHz VCO (hohes  $V_{cb}$  bei niedriger Temperatur), die zu einer Änderung der Transistorkennlinien im Bereich der normalen Betriebsspannungen des Bauteils führen.

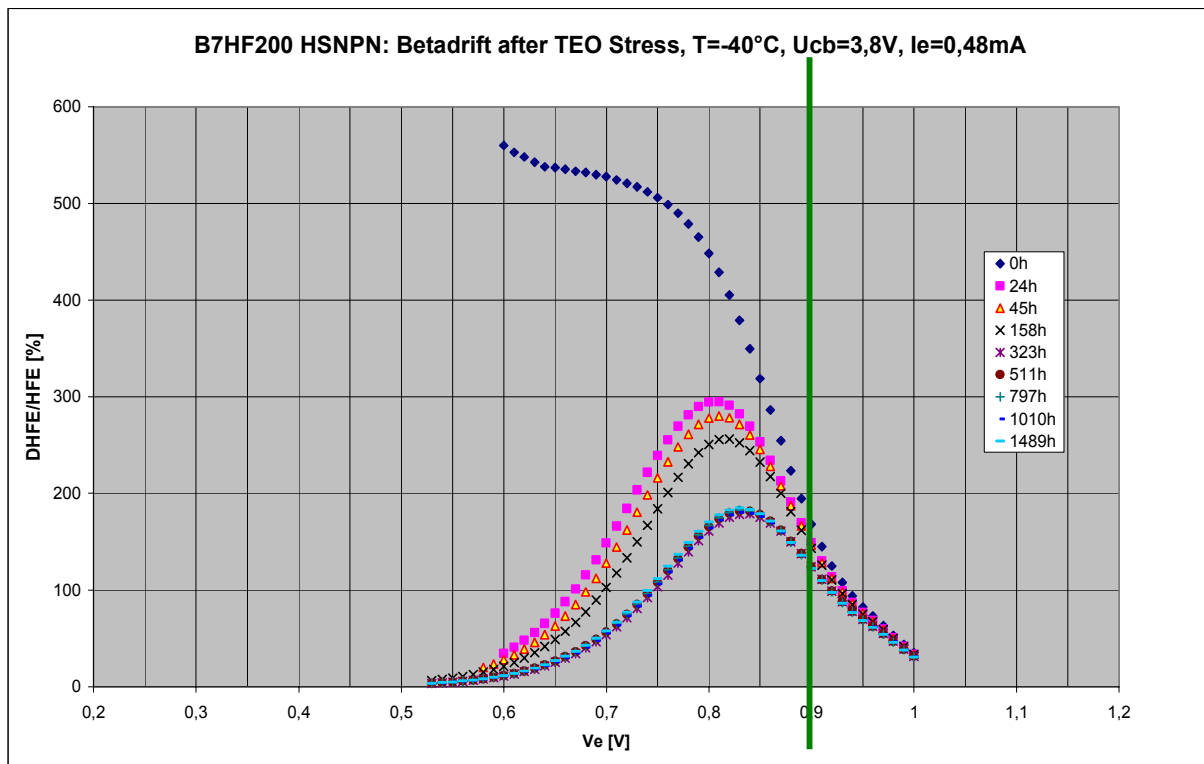


Abbildung VI.2.6: Stromverstärkung eines Transistors für Mixed Mode Stress bis 1500 Stunden bei  $V_{cb} = 3.8 \text{ V}$  und einer Stromdichte von  $1 \text{ mA}/\mu\text{m}^2$  bei  $-40^\circ\text{C}$ . Die maximale Stromverstärkung nimmt um ca. 35% ab. Auch bei der üblichen Betriebsspannung des Leistungstransistors von  $V_{be} = 0.9 \text{ V}$  ist eine Änderung der Transistoreigenschaften sichtbar.

Die Tatsache, dass sich die Stromverstärkung der Transistoren im Betrieb ändern kann, zeigt zwar, dass es prinzipiell Degradationseffekte durch Mixed Mode Stress gibt, muss aber für die Schaltungseigenschaften noch keine Bedeutung haben. So ist z. B. die Stromverstärkung der npn Transistoren in einem weiten Bereich von 100 bis 800 spezifiziert, da der Absolutwert der Stromverstärkung praktisch keinen Einfluss auf die Performance integrierter Schaltungen hat, solange er genügend groß bleibt (z. B.  $> 100$ ). Dies ist auch nach Degradation der Transistoren beim typischen Arbeitspunkt noch der Fall (Abbildung VI.2.6).

Dagegen können selbst kleine Änderungen in den Hochfrequenzeigenschaften der Transistoren schon zum Ausfall der Anwendungsschaltungen führen. Daher wurde untersucht, ob sich die Transitfrequenz der Bauteile durch Mixed Mode Stress ändert. Dazu wurde an einem Transistor, der sehr stark belastet wurde und eine deutliche Änderung der Stromverstärkung zeigt (Abbildung VI.2.7), vor und nach der Belastung die Transitfrequenz gemessen (Abbildung VI.2.8). Man sieht, dass sich die HF-Eigenschaften des SiGe HBT trotz der starken Änderung der DC-Charakteristik nicht verändern.

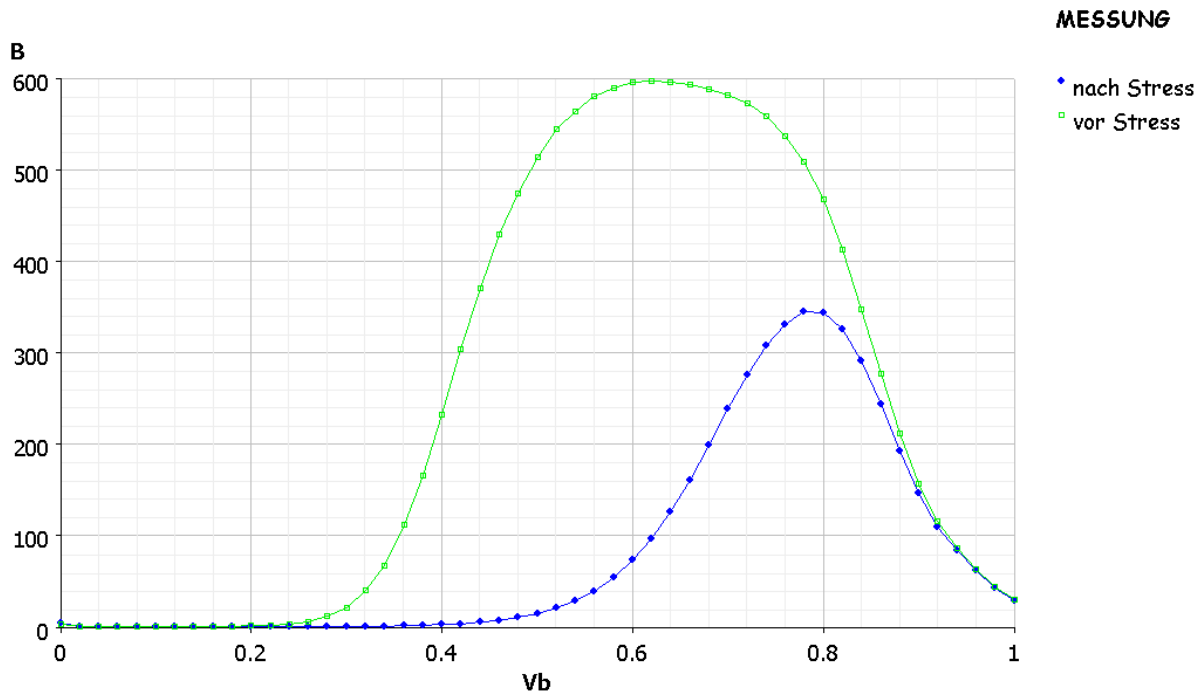


Abbildung VI.2.7: Stromverstärkung eines SiGe HBT als Funktion der Basis-Emitter-Spannung (in V) vor und nach starkem Mixed Mode Stress

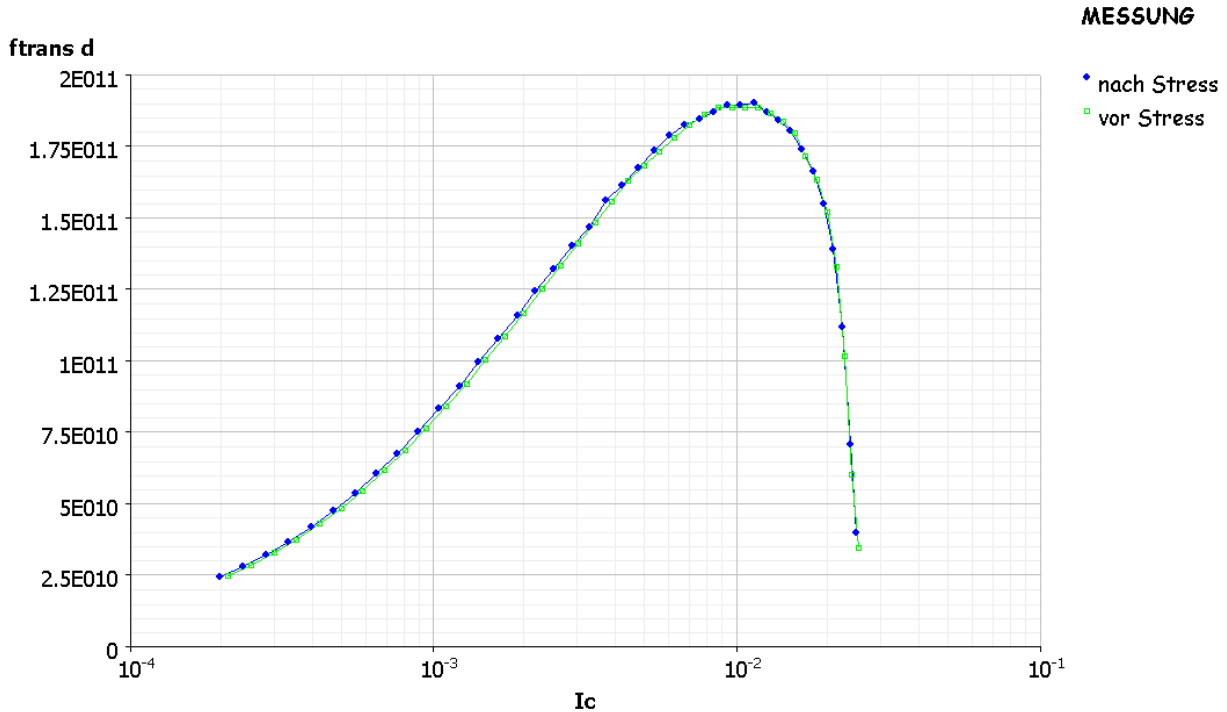


Abbildung VI.2.8: Transistfrequenz (in Hz) des Transistors aus Abbildung VI.2.7 als Funktion des Kollektorstroms (in A) vor und nach starkem Mixed Mode Stress

Abbildung VI.2.9 gibt die Erklärung für diesen Effekt. Selbst eine starke Abnahme der DC-Stromverstärkung führt nur bei kleinen Frequenzen zu einer Änderung der frequenzabhängigen Stromverstärkung  $h_{FE}$ . Da  $h_{FE}$  mit  $1/f$  abfällt, ist  $h_{FE}$  bei der Operationsfrequenz von 77 GHz ohnehin deutlich kleiner als die Gleichstromverstärkung. Solange die Verstärkung durch den Mixed Mode Stress nicht kleiner wird als die ursprüngliche Verstärkung bei der Betriebsfrequenz ist eine Änderung der Transistoreigenschaften in den Hochfrequenz-Charakteristiken nicht zu sehen.

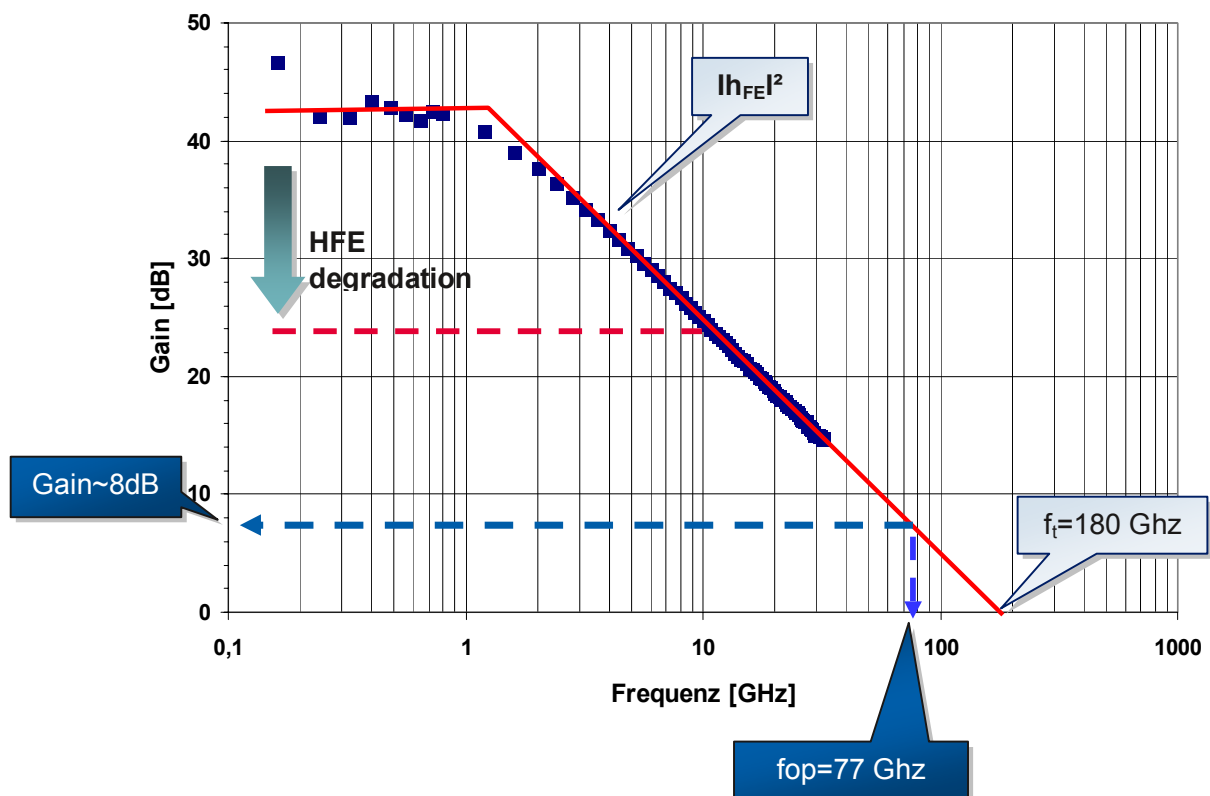


Abbildung VI.2.9: Änderung der frequenzabhängigen Stromverstärkung  $h_{FE}$ . Eine Änderung der Gleichstromverstärkung macht sich bei hohen Operationsfrequenzen nicht bemerkbar.

Trotz Degradation durch Mixed Mode Stress können Transistoren und damit integrierte Schaltungen also bei hohen Frequenzen betrieben werden, ohne dass sich ihre wichtigen Hochfrequenzeigenschaften ändern müssen. Die Transitfrequenz ist natürlich nur ein Beispiel für mögliche Änderungen der HF-Eigenschaften. Applikationsabhängig können andere Größen von Bedeutung sein, die sich durch Degradation ändern können und hier nicht untersucht wurden (z. B. das Rauschverhalten). Daher sind für jede Anwendung gesondert die Änderungen nach Dauerbetrieb über  $BV_{ce0}$  zu charakterisieren und bewerten (s. VI.4).

### VI.3 Stabilität der Metallisierung

Um die schnellen Schaltgeschwindigkeiten zu erreichen, die für Radaranwendungen nötig sind, müssen die npn Transistoren bei relativ hohen Stromdichten von mehreren  $\text{mA}/\mu\text{m}^2$  Emitterfläche betrieben werden. Auf Grund der lateralen Skalierung der Bauteile, die nötig ist um die Kapazitäten und Anschlusswiderstände zu minimieren, können für die Transistorverdrahtung aber nur schmale Zuleitungen mit Breiten von typisch  $0.5 \mu\text{m}$  pro Emitterfinger verwendet werden. Die Metallisierung muss daher robust gegen den Betrieb bei sehr hohen Stromdichten sein. Schon im Projekt HiSpeed wurde gezeigt, dass eine Metallisierung aus Aluminium, das konventionell für die Verdrahtung von integrierten Schaltungen verwendet wird, nicht mehr für Transistoren mit Grenzfrequenzen im Bereich größer als 150 GHz geeignet ist. Doch selbst für die in diesem Projekt entwickelte Metallisierung aus Kupfer, das bzgl. Aluminium signifikant bessere Beständigkeit gegen Elektromigration aufweist, gelangt man auf Grund der hohen Ströme und Betriebstemperaturen schnell an die Grenzen der Zuverlässigkeit, die im Automobilbereich gefordert ist. Daher wurden umfangreiche Untersuchungen zur Stabilität der Metallisierung durchgeführt.

#### Elektromigration:

Unter Elektromigration versteht man den Materialtransport in der Metallisierung, der durch Stöße der Leitungselektronen mit den Atomrümpfen der Metallisierung erfolgt. Durch diesen Materialtransport können Fehlstellen in der Metallisierung entstehen, die zu einer lokalen Erhöhung des Widerstands und schließlich zum Auftrennen der leitenden Verbindung führen können. Kritisch sind dabei vor allem Stellen, an denen kein gleichförmiger Stromfluss auftritt. Dies ist z. B. am Übergang von Leiterbahnen zu Vias oder Kontaktlöchern der Fall.

Um diese Effekte zu untersuchen, wurden Lebensdauerexperimente an Teststrukturen für alle Kontakte, Vias und Leiterbahnen der verschiedenen Ebenen des Metallisierungssystems durchgeführt. Durch Messungen der Widerstandsänderung bei deutlich erhöhten Temperaturen (typisch  $250 - 350^\circ\text{C}$ ) und Stromdichten (typisch 10 Mal mehr als die maximal zulässige Designstromdichte) können so Ausfallraten in relativ kurzen Zeiten (typisch 2000 Stunden) bestimmt werden. Als Kriterium wird dabei eine maximal zulässige Widerstandsänderung von 20% definiert. Anschließend kann über Modellgleichungen auf die Ausfallraten unter den nominellen Betriebsbedingungen zurückgerechnet werden.

Tabelle VI.3.1 zeigt die zulässigen maximalen Designstromdichten für die Kontakte, Vias, Metallbahnen und das Pad, die im Rahmen dieser Untersuchungen überprüft wurden. Es konnte gezeigt werden, dass die Ausfallwahrscheinlichkeit für integrierte Schaltungen mit 10000 kritischen Metallisierungsstrukturen wie z. B. einzelnen Vias oder minimalen Metallbahnen über 15 Jahren bei  $125^\circ\text{C}$  Betriebstemperatur kleiner als 0.1 FIT ist. Damit ist die Kupfer-Metallisierung gegenüber Elektromigration so beständig, dass typische Schaltungen für Radaranwendungen die im Automobilbereich geforderten Ausfallraten im ppm-Bereich auf Grund von Metallisierungsausfällen unterschreiten.

	Maximale Ströme bzw. Stromdichten
Cu 1	3.9 mA / $\mu\text{m}$ Leiterbahnbreite
Cu 2	3.9 mA / $\mu\text{m}$ Leiterbahnbreite
Cu 3	5.2 mA / $\mu\text{m}$ Leiterbahnbreite
Cu 4	10 mA / $\mu\text{m}$ Leiterbahnbreite
Kontakt ( $0.5 \times 0.5 \mu\text{m}^2$ )	1.62 mA
Via 1 ( $0.6 \times 0.6 \mu\text{m}^2$ )	1.8 mA
Via 2 ( $0.8 \times 0.8 \mu\text{m}^2$ )	2.56 mA
Via 3 ( $1.0 \times 1.0 \mu\text{m}^2$ )	3.0 mA
Pad	150 mA

Tabelle VI.3.1: Zulässige maximale Designstromdichten für das Metallisierungssystem der Technologie B7HF200

#### Stressmigration:

Auf Grund der Abscheideprozesse für die verschiedenen Schichten innerhalb des Metallisierungssystems (Oxide, Nitride, Kupfer, Barrieren, Aluminium, ...) bei mehreren hundert °C und der unterschiedlichen thermischen Expansionskoeffizienten der verschiedenen Materialien, treten Zug- oder Druckspannungen im Metallisierungssystem auf. Diese können bei thermischer Aktivierung relaxieren und die Eigenschaften der Metallisierung verändern. So können z. B. Umlagerungen im Kupfer die Kornstruktur und damit den spezifischen Widerstand beeinflussen. Außerdem können Risse in den Dielektrika entstehen, die die Kupferbahnen voneinander isolieren. Anschließende Diffusion von Metallatomen in diese Zwischenräume kann zu unerwünschten Kurzschlüssen führen. Um diese Effekte zu untersuchen, wurden Metallisierungsstrukturen für 2000 Stunden erhöhten Temperaturen von 200 bis 300°C ausgesetzt. Die Zuverlässigkeit wurde dann an Hand der Widerstandsänderung von Metallmäandern und von Kontaktloch- und Via-Ketten bewertet. In allen Fällen betrug die Widerstandsänderung weniger als 20%. Kurzschlüsse zwischen Inter- und Intra-Metallmäandern mit Leckströmen kleiner 1 nA bei 5 V Spannung wurden nicht gefunden.

#### Temperaturzyklen:

Da die Radarschaltungen im Automobil wechselnden Umgebungstemperaturen zwischen – 40 und 125°C ausgesetzt sind, treten durch die unterschiedlichen Ausdehnungskoeffizienten der verschiedenen Schichten in der Metallisierung sich abhängig von der Temperatur ändernde Spannungen auf. Diese können ähnlich wie bei der Stressmigration zu Materialermüdung und damit Kurzschlüssen oder erhöhten Widerständen in der Metallisierung führen. Diese Effekte wurden untersucht, indem die gleichen Proben, die auch zur Charakterisierung der Stressmigration verwendet werden, 2000 Temperaturzyklen unterworfen wurden, bei denen die Proben zwischen – 65°C und 150°C erwärmt bzw. abgekühlt wurden. Auch hier wurden keine Widerstandsänderungen größer als 20% oder unerwünschte Kurzschlüsse beobachtet.



## VI.4 Zuverlässigkeitsuntersuchungen an Schaltungen

Bei den Zuverlässigkeitsuntersuchungen an Bauteilen können immer nur ausgewählte Strom-Spannungs-Punkte angelegt werden und die Auswirkungen auf bestimmte Kenngrößen (z. B. die Stromverstärkung oder Transitfrequenz) charakterisiert werden. Applikationsabhängig können Betriebsbedingungen auftreten, die in Laborexperimenten nicht nachgestellt werden können. Daher müssen für jede Applikation neben der grundsätzlichen Untersuchung der Technologie Zuverlässigkeitsbewertungen durchgeführt werden, die die Erfüllung der Spezifikation auch über lange Lebensdauern der integrierten Schaltungen absichern.

Typische Tests sind z. B. HTEO bei hohen Temperaturen, Zyklen zwischen niedrigen und hohen Temperaturen, Feuchtelagerungen, ESD- und Latch-Up-Tests. An Hand eines 77 GHz VCO wurden solche Stresstests durchgeführt und die Eigenschaften der Schaltung vor und nach Tests charakterisiert. Im Rahmen der Messgenauigkeit wurden dabei keine signifikanten Änderungen der Schaltungseigenschaften festgestellt.

In Abschnitt VI.2 wurde der Betrieb der npn Transistoren über der Kollektor-Emitter-Durchbruchspannung bei offener Basis beschrieben. Dabei zeigt sich, dass bei niedrigen Temperaturen und hohen Kollektor-Basis-Spannungen eine starke Abnahme der Stromverstärkung der Transistoren auftreten kann. Die Tests bezogen sich dabei auf eine konstante Kollektor-Basis-Spannung. In der Anwendung variiert die Spannung dagegen mit der Betriebsfrequenz von 77 GHz. Daher ist nicht klar, ob der Bauteiltest auf die Anwendung übertragbar ist. Eine Abnahme der Stromverstärkung ist zwar wie gezeigt für das Hochfrequenzverhalten der Transistoren nicht relevant, kann aber z. B. das Signal- zu Rausch-Verhältnis in der Applikation verschlechtern, weil sich das 1/f-Rauschen der Transistoren erhöht.

Daher wurde neben dem HTEO Test, der i. a. als kritischer als der Betrieb bei niedrigen Temperaturen eingeschätzt wird, zusätzlich ein Dauerbetrieb des 77 GHz VCO bei niedrigen Temperaturen von  $-40^{\circ}\text{C}$  durchgeführt und das Rauschverhalten der Schaltung vor und nach dem Betrieb untersucht. Abbildung VI.4.1 zeigt das gemessene Phasenrauschen am 1:32 Teiler des 77 GHz VCO vor und nach Betrieb über 2000 Stunden bei  $-40^{\circ}\text{C}$ . Im Rahmen der Messgenauigkeit tritt keine Änderung des Rauschverhaltens auf.

Insgesamt zeigen die im Rahmen dieses Projekts durchgeführten Untersuchungen, dass SiGe Technologien nicht nur die Performance besitzen, um 77 GHz Radaranwendungen zu realisieren, sondern auch die hohen Erwartungen an die Zuverlässigkeit im Automobilbereich erfüllen können.

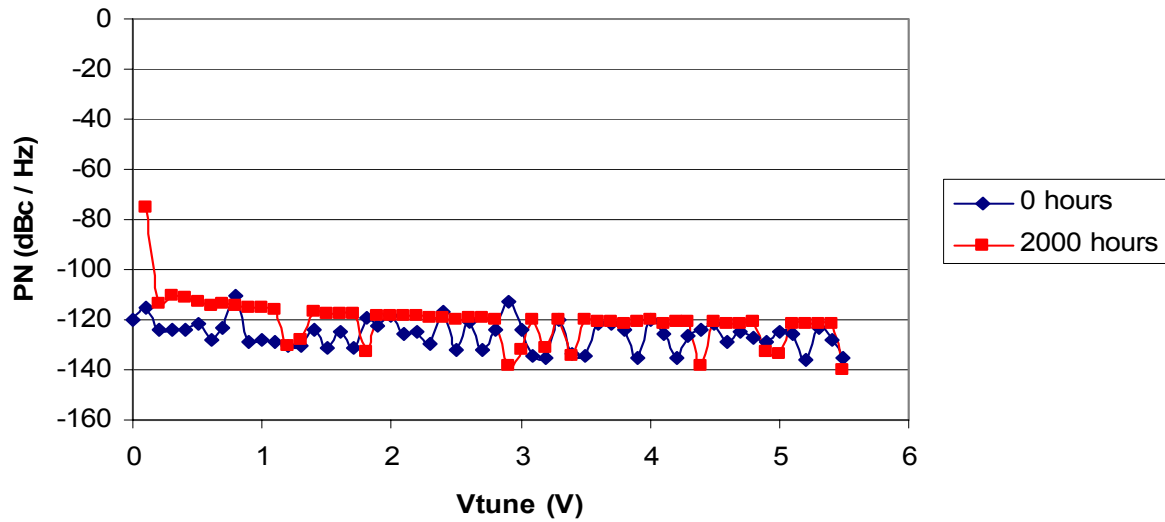
**Phase Noise @ Div32 / 500kHz Offset**

Abbildung VI.4.1: Phasenrauschen des 77 GHz VCO gemessen am Ausgang des 1:32 Frequenzteilers bei 500 kHz Offset als Funktion der Tune-Spannung. Im Rahmen der Messgenauigkeit tritt nach Betrieb bei  $-40^{\circ}\text{C}$  über 2000 Stunden keine Änderung des Rauschverhaltens auf.

## VII. Veröffentlichungen im Rahmen des KOKON Projekts

[1] B. Dehlink, H.-D.Wohlmuth, H.P. Forstner, H. Knapp, S. Trotta, K. Aufinger, T.F. Meister, J. Böck, and A.L. Scholtz

**A Highly Linear SiGe Double-Balanced Mixer for 77 GHz Automotive Radar Applications**

IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 235–238, 2006

[2] B. Dehlink, H.-D.Wohlmuth, K. Aufinger, F.Weiss, and A.L. Scholtz

**An 80 GHz SiGe Quadrature Receiver Frontend**

28<sup>th</sup> IEEE Compound Semiconductor IC Symposium, pp. 197–200, 2006

[3] B. Dehlink, H. D. Wohlmuth, K. Aufinger, T. F. Meister, J. Böck, A. L. Scholtz

**A low-noise amplifier at 77 GHz in SiGe:C bipolar technology**

Proceedings IEEE Compound Semiconductor Integrated Circuit Symposium, pp. 287-290, 2005

[4] M. Hartmann, C. Wagner, K. Seemann, J. Platz, H. Jäger, R. Weigel

**A Low-Power Micromixer with High Linearity for Automotive Radar at 77 GHz in Silicon-Germanium Bipolar Technology**

Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 237-240, 2007

[5] H. Knapp, B. Dehlink, H. P. Forstner, E. Kolmhofer, K. Aufinger, J. Böck, T. F. Meister

**SiGe Circuits for Automotive Radar (invited)**

Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 231-236, 2007

[6] H. Knapp, B. Dehlink, H. P. Forstner, E. Kolmhofer, K. Aufinger, J. Böck, T. F. Meister

**SiGe Circuits for Automotive Radar (invited)**

Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 231-236, 2007

[7] R. Lachner

**Low Cost SiGe Technology for Automotive Radar Sensors in the 76-81 GHz Band**

International Microwave Symposium, Tutorial on Low-Cost Integrated Automotive and Industrial Radar Sensors, pp. 21-46, 2007

[8] R. Lachner

**SiGe Technologie und MMICs für automotive Radaranwendungen im 76-81 GHz Band**

VDE Kongress Innovations für Europe, Aachen, pp. 333-348, 2006

[9] R. Lachner

**ICs für Kfz-Radar auf SiGe-Basis**

GMM Workshop "Hochfrequenz-Halbleitertechnologien für Automobilanwendungen", Neubiberg, 22. – 23. Juni 2006

[10] R. Lachner

**Silicon Based Semiconductor Technologies for Automotive Radar Sensors in the 24 GHz and 76-81 GHz Range**

IWPC Workshop "Driving down Costs of Millimeterwave Automotive Radar Sensors – Towards the \$15 Short Range Sensor", Herdon, USA, September 19-21, 2006

[11] H. Li, H. M. Rein, T. Suttorp, J. Böck

**Fully integrated SiGe VCOs with powerful output buffer for 77-GHz automotive radar systems and applications around 100 GHz**

IEEE Journal of Solid-State Circuits, Vol. 39, No. 10, pp. 1650-1658, 2004

[12] S. Trotta, H. Knapp, D. Dibra, K. Aufinger, T. F. Meister, J. Böck, W. Simbürger, A. L. Scholtz

**A 79 GHz SiGe-Bipolar Spread-Spectrum TX for Automotive Radar**

IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 20-21, 2007

[13] S. Trotta, H. Knapp, T. F. Meister, K. Aufinger, J. Böck, B. Dehlink, W. Simbürger, A. L. Scholtz

**A New Regenerative Divider by Four up to 160 GHz in SiGe Bipolar Technology**

IEEE MTT-S International Microwave Symposium Digest, pp. 1709-1712, 2006

[14] S. Trotta, H. Knapp, K. Aufinger, T. F. Meister, J. Böck, W. Simbürger, A. L. Scholtz

**An 84 GHz Bandwidth and 20 dB Gain Broadband Amplifier in SiGe Bipolar Technology**

28<sup>th</sup> IEEE Compound Semiconductor IC Symposium, pp. 21-24, 2006

[15] R. K. Vytla, T. F. Meister, K. Aufinger, D. Lukashevich, S. Boguth, H. Knapp, J. Böck, H. Schäfer, R. Lachner

**Simultaneous Integration of SiGe High Speed Transistors and High Voltage Transistors**

Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, pp. 61-64, 2006

[16] R. Wanner, R. Lachner, G. R. Olbrich

**A SiGe Monolithically Integrated 75 GHz Push-Push VCO**

Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 375-378, 2006

[17] R. Wanner., R. Lachner, G. R. Olbrich, P. Russer

**A SiGe Monolithically Integrated 278 GHz Push-Push Oscillator**

International Microwave Symposium Digest, pp. 333-336, 2007

[18] R. Ziegler

**Temperaturabhängige Modellierung der Bauelementparameter einer modernen Silizium-Germanium-Höchstfrequenz-Bipolartechnologie**

FH Rosenheim, 2006