Projekt-Name	ANTARES
Förderkennzeichen	13N9673
Zuwendungsempfänger	Qimonda Dresden
Projektleiter	Dr. M. Bender
Berichtszeitraum	01.01.08 – 31.05.09

BMBF-Verbundvorhaben

Optische Lithographie für sub-40nm Speicher- und Logik-Technologien (ANTARES)

Schlussbericht zum Teilvorhaben Qimonda

Innovative Strukturierungsmethoden für sub40nm DRAM-Technologien

Laufzeit: 1.1.2008 - 31.05.2009

Qimonda Dresden GmbH & Co. oHG i. IN.

Inhaltverzeichnis

1 Aufgabenstellung ... 3
2 Voraussetzungen unter denen das Vorhaben durchgeführt wurde ... 4
3 Planung und Ablauf des Vorhabens ... 6
4 Wissenschaftlich und technischer Stand zu Beginn des Projektes ... 7
4.1 Doppelstrukturierung ... 7
4.2 Elektronenstrahllithographie ... 11
5 Zusammenarbeit mit anderen Stellen ... 12
6 Projektergebnisse ... 12
6.1 Gesamtergebnisse ... 12
6.2 Inspektionsprozessentwicklung für sub40 nm Strukturen ... 13
6.3 Resist und Material Entwicklung ... 15
6.3.1 Untersuchung E-Beam empfindlicher Lacke ... 15
6.3.2 Untersuchung leitfähiger Schichten ... 16
6.3.3 Untersuchung von Resist-Materialien für die Hybrid-Lithographie ... 18
6.4 Entwurfsmethoden, -prüfungen und Layouts für die Doppelstrukturierung (DP) ... 21
6.5 Erforschung eines lithographischen Gesamtprozesses mit Doppelstrukturierung für sub40nm DRAM Strukturen ... 26
6.5.1 Resistsystem für Doppelstrukturierung ... 26
6.5.2 Basisuntersuchungen zur Doppelstrukturierung ... 31
6.5.3 Erforschung der Anwendung der Doppelstrukturierung auf kritische DRAM-Ebenen ... 36
6.6 Literatur ... 46

1 Aufgabenstellung

Ziel des Projektes ist innovative Strukturierungsmethoden für sub40nm DRAM Speichertechnologien zu erforschen. Dazu werden neben der Strukturierung mittels herkömmlicher DUV-Lithographie auch Themen zur Elektronenlithographie betrachtet.

Im Bereich der herkömmlichen Lithographie wird die Methode der **Doppelstrukturierung** untersucht. Ziel dieses Projektteiles ist es, die verschiedenen Methoden bzw. Prozessfolgen der Doppelstrukturierung für die kritischen DRAM-Ebenen hinsichtlich der Anforderungen der 36nm Technologie zu untersuchen. Es werden die Einflussparameter innerhalb der Prozesskette der Doppelstrukturierungsmethoden auf die finale Linienbreite, Linienbreiten-Uniformität und Linienrauhigkeiten identifiziert und ihre Auswirkungen erforscht. Im Mittelpunkt stehen hier der Lithographieprozess und der Übertrag der Strukturen durch Ätzung in das Material. Dabei muss besonders das Zusammenspiel von Lithographiegerät, Maske und Resist betrachtet werden. Vielfach sind die chemischen oder physikalischen Wirkprinzipien nicht bekannt bzw. nicht verstanden, so dass deren funktionaler Zusammenhang erst zu identifizieren ist und an die spezielle Anforderung der Doppelstrukturierungsprozesse angepasst werden muss. Insbesondere wird der Zusammenhang von Prozessparametern und finale CD/ CDU, Übertrag der LER in der Prozesskette der Doppelstrukturierung erforscht.

Die gewonnen Erkenntnisse (lithographische Performanz und Toleranzen, kritische Defekte) werden zur Erforschung und Verifizierung der Maskentechnologie des AMTCs genutzt, so dass eine zeitgerechte Bereitstellung der Maskentechnik mit den geforderten Anforderungen für den 36nm DRAM Technologieknoten gewährleistet wird. Es werden Methoden zur Realisierung eines doppelstrukturierungskompatiblen Layouts untersucht und neue OPC/ RET-Modelle entwickelt und in die Programmumgebung integriert und experimentell verifiziert. Neuartige Lacksysteme werden auf die Anforderungen der Doppelstrukturierung hin untersucht.

Im Bereich der **Elektronenstrahllithographie** Unterscheiden sich der benötigten Resist Prozess für die Strukturierung von Wafern (E-Beam Direktschreiben) nur wenig von der Strukturierung von Masken (Maskenschreiben). Deshalb existiert eine Reihe von Synergien bei der Prozessevaluierung für Qimonda und für das AMTC, die im vorliegenden Projektteil ausgenutzt werden sollen. Bisher wurden diese Prozesse, wie in Abbildung 1 dargestellt, parallel und individuell am IMS Chips in Stuttgart entwickelt und anschließend an die entsprechenden Endnutzer transferiert. Eine Spezifizierung des Prozesses auf die Anforderungen des Endnutzers AMTC oder Qimonda geschieht dabei in der Regel vor Ort.

Anhand dieser Synergien werden gemeinsame Resistanforderungen erstellt, gemeinsame Grundlagenuntersuchungen durchgeführt, kritische Parameter wie CDU und LER erforscht und hinsichtlich der Anforderungen des Prozesses optimiert, wobei bei Qimonda insbesondere ein Prozess zur Erzeugung von 22nm Strukturen im Mittelpunkt der Arbeiten steht. Teil-

themen, wie die Untersuchung von leitfähigen Resistschichten als „Topcoat“ und der Hybridlithographie werden dabei allein oder in Teilkooperationen vertieft untersucht.

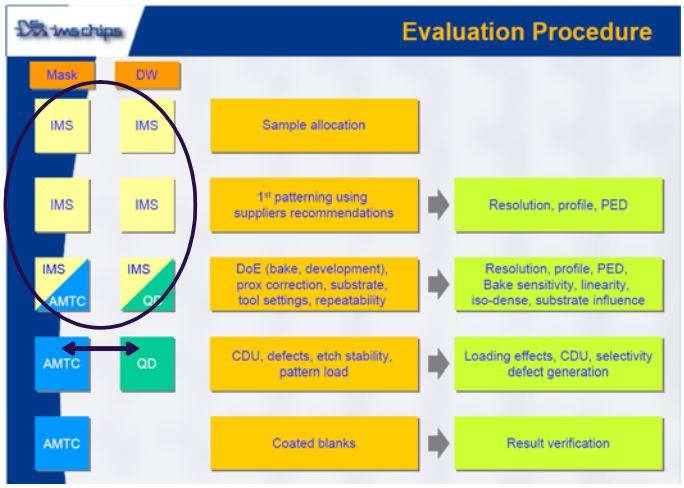


Abbildung 1: Bisherige und geplante (Pfeil) Zusammenarbeit von IMS, AMTC und QD hinsichtlich der Untersuchungen von elektronenempfindlichen Lacken für die Maskenherstellung bzw. für das Direktschreiben.

2 Voraussetzungen unter denen das Vorhaben durchgeführt wurde

Die **Qimonda Dresden GmbH & Co. OHG** ist eine 100% Tochter der Qimonda AG, ehemals der Speicherbereich der Qimonda/Infineon Technologies. Mit der Gründung der Infineon Technologies Dresden GmbH & Co OHG 1994, ehemals Siemens Microelectronics Center Dresden GmbH & Co OHG, und dem Aufbau einer 200 mm Fertigungslinie für DRAM Speicherbausteine in einer 450 nm Technologie, begannen die Aktivitäten am Standort Dresden. Parallel zu den Entwicklungs- und Fertigungsaktivitäten auf 200 mm Siliziumwafern hat Infineon zusammen mit Motorola die 300mm-Fertigungstechnologie in Dresden entwickelt und betreibt seit 2001 jetzt in der Qimonda Dresden GmbH & Co. OHG ehemals Infineon Technologies SC300 GmbH & Co OHG, die weltweit erste 300mm-Fertigung für Speicherbausteine.
Insbesondere besitzt Qimonda Dresden auf dem Gebiet der optischen Lithographie durch die vielfältigen Grundlagenarbeiten an den Standorten München, Erlangen und Dresden ein umfassendes technisches Wissen. Angesichts dieser Erfahrungen und dem uneingeschränkten Zugriff auf das technologische Know-how der gesamten Qimonda AG hat sich inzwischen aufgrund der hier in Dresden erlangten Pilotlinienerfahrungen der Dresdner Standort zum weltweiten Entwicklungs-, Referenz- und Leitstandort für Halbleiterspeicher und verwandte Produkte entwickelt. Sowohl der technische Entwicklungsstand als auch die Ausstattung in Dresden können daher in jeder Hinsicht als „leading edge“ betrachtet werden.

Seit 2005 besteht auf dem Gelände von Qimonda Dresden das Fraunhofer-Center Nanoelektronische Technologien (CNT). In Zusammenarbeit von Fraunhofer Gesellschaft, AMD und Qimonda werden im CNT Schlüsselprozesse für zukünftige Technologien entwickelt. Als weitere Entwicklungskooperation steht Qimonda Dresden das derzeit im Aufbau befindliche Nanoelectronics Materials Lab (NaMLab) einem Joint Ventures zwischen der TU Dresden und der Qimonda Dresden zur Untersuchung an Materialen und Materialsystemen für den zukünftigen Einsatz im Bereich Nanoelektronik zur Verfügung. Zusätzlich hat Qimonda Dresden über die Mitgliedschaft seiner Muttergesellschaft Infineon AG im Forschungscenter der Interuniversity Micro-Electronics Center (IMEC) in Leuven, Belgien Zugang zu den dort gewonnenen Erkenntnissen. Die Ergebnisse dieser Arbeiten stehen in Dresden für die erfolgreiche Bearbeitung des Projektes voll zur Verfügung.

Qimonda Dresden betrieb seit ca. 2 Jahren ein Kompetenzzentrum Elektronenstrahllithographie (CoC E-Beam). Unter Verwendung der Infrastruktur des Fraunhofer CNT mit dem E-Beam Cluster bestehend aus Resist Track und Elektronenstrahlschreiber wurde dort Technologieentwicklung für derzeitige und zukünftige Knoten betrieben. Zu Beginn des Projektes wurden beispielsweise Layoutverifikationen und Prozessentwicklung im Vorfeld der optischen Lithographie durchgeführt. d.h., verschiedene Chip Designs oder Prozesse wurden bereits durch die E-Beam Lithographie bereitgestellt bevor die optischen Belichtungsgeräte zur Verfügung stehen. Dadurch gewinnt man im Rahmen der fortschreitenden Strukturverkleinerung einen wichtigen Zeitvorteil.

Qimonda Dresden war und ist Partner zahlreicher Forschungs- und Entwicklungsprojekte mit folgenden Schwerpunkten im Bereich der Lithographie:

- Untersuchung von Abbildungsprozessen für sub 45nm Speicherbausteintechnologien
- Entwicklung von sub 90nm Abbildungs- und Prozessstrategien für Speicherstrukturen höchster Dichte für DRAM und Flash-Anwendungen
- Entwicklung von E-Beam Direktschreibprozessen bis zu 32nm Strukturauflösung
- Bewertung und Untersuchung alternativer Lithographielösungen
- Untersuchungen zu Grundlagen der EUV-Lithographie hinsichtlich Masken- und Resisttechnologie

Diese Arbeiten sind und waren teilweiser Bestandteil z.B. folgender BMBF-Förderprojekte:

- Grundlagen der EUV-Lithographie (FKZ 01 M 3064 A)
- ABBILD (FKZ 01M 3154 D)
- ABBILD-Anschluss (FKZ 01M 3154 U)
- LITHO 45/32 (FKZ 01M3162)
- SOhar (FKZ 01M 3171A)

und europäischer Medea-Projekte:
EXTUMASK (T404), EXCITE (T406), LIQUID (2T304), MUSCLE (2T302), FANTASTIC (2T305).

3 Planung und Ablauf des Vorhabens

Um die optische Auflösungsgrenze weiter zu kleineren Strukturgrößen zu schieben, kann die NA weiter erhöht werden. Dazu können neue Immersionsflüssigkeiten eingeführt werden. Die verlangen wiederum eine Anpassung der Belichteroptik, indem ein neues Material für die letzte Linse verwendet werden muss. Derzeit ist noch nicht klar, ob eine Flüssigkeit mit den Anforderungen und das Material im industriellen Verfahren erzeugt werden kann. Diese Technologie wird frühestens 2010 erhältlich sein.

Eine andere Lösung das Auflösungsvermögen zu verbessern, ist die Reduzierung der Wellenlänge. In der EUV-Lithographie wird die Wellenlänge auf 13,5nm reduziert. In der EUV-Lithographie sind in den letzten Jahren große Fortschritte gemacht worden. Allerdings war die Infrastruktur insbesondere die Quellenleistung der ersten Alpha-Belichter nicht ausgereift genug, um für die Entwicklung von sub40nm Strukturen genutzt zu werden und wird ebenfalls frühestens 2010 zur Verfügung stehen.

Damit müssen neue lithographische Lösungen gefunden werden, die die physikalisch optische Grenze für die jetzt nötige Erforschung neuester Technologieknoten mit sub40nm Strukturen überbrückt. Die Doppelstrukturierung ist eine Lösung, um die physikalisch optischen Grenzen derzeitiger Lithographie zu überwinden. Unter Verwendung der heute erhältlichen Lithographiebelichter lassen sich mit der Doppelstrukturierung finale Strukturen im sub40nm Bereich herstellen. Dabei werden zwei grundsätzliche Techniken unterschieden:

a) Zerlegung der Strukturen auf 2 Masken, die sequentiell abgebildet werden (Doppellithographie).

b) Zerlegung der Strukturen auf eine Maske, die direkt abgebildet wird, gefolgt von integrativen Schritten um elektrisch isolierte komplementäre Strukturen herzustellen, die in Randgebieten, durch eine spezielle Hilfsmaske limitiert werden („Pitch-Fragmentation“).

Die verschiedenen Methoden bzw. Prozessfolgen der Doppelstrukturierung werden für die kritischen DRAM-Ebenen bei Qimonda untersucht und hinsichtlich der Anforderungen des Technologieknotens bewertet werden. Insbesondere müssen Linienrauhigkeiten, CD-Uniformitäten und Methoden zur Realisierung eines zur doppelstrukturierungskompatiblen Layouts betrachtet werden. Dabei muss besonders das Zusammenspiel von Lithographiegerät, Maske und Resist betrachtet werden und die Übertragung der Resiststrukturen in das Silizium. Vielfach sind die chemischen oder physikalischen Wirkprinzipien nicht bekannt bzw. nicht verstanden, so dass deren funktionaler Zusammenhang erst zu identifizieren ist. Insbesondere müssen die Einzelprozesse dann in den Gesamtprozess integriert und ihre Wechselbeziehung empirisch ermittelt werden. Weiterhin dient das Projekt zur Entwicklung und Verifizierung der Maskentechnologie des AMTC, so dass eine zeitgerechte Bereitstellung der Maskentechnik mit den geforderten Spezifikationen gewährleistet wird.

Im Bereich der herkömmlichen Lithographie wurde die Methode der **Doppelstrukturierung** untersucht. Ziel hierbei ist es, die verschiedenen Methoden bzw. Prozessfolgen der Doppelstrukturierung für die kritischen DRAM-Ebenen hinsichtlich der Anforderungen der sub40 nm Technologie zu untersuchen. Es werden die Einflussparameter innerhalb der Prozesskette der Doppelstrukturierungsmethoden identifiziert und ihre Auswirkungen erforscht. Im Mittelpunkt stehen hier der Lithographieprozess und der Übertrag der Strukturen durch Ätzung in das Material. Die gewonnen Erkenntnisse (lithographische Performanz und Toleranzen, kritische Defekte) werden zur Entwicklung und Verifizierung der Maskentechnologie des AMTCs genutzt, so dass eine zeitgerechte Bereitstellung der Maskentechnik mit den geforderten Anforderungen für den sub40nm DRAM Technologieknoten gewährleistet wird. Dazu wird ebenfalls die layouttechnische Zerlegung hinsichtlich eines doppelstrukturierungskompatiblen Layouts untersucht.

Im Bereich der **Elektronenstrahllithographie** unterscheiden sich die benötigten Resist Prozess für die Strukturierung von Wafern (E-Beam Direktschreiben) nur wenig von der Strukturierung von Masken (Maskenschreiben). Deshalb existiert eine Reihe von Synergien bei der Prozessevaluierung für Qimonda und für das AMTC, die im vorliegenden Projektteil ausgenutzt werden sollen. Bisher wurden diese Prozesse parallel und individuell am IMS Chips in Stuttgart entwickelt und anschließend an die entsprechenden Endnutzer transferiert. Eine Spezifizierung des Prozesses auf die Anforderungen des Endnutzers AMTC oder Qimonda geschieht dabei in der Regel vor Ort.

Entsprechend der Anforderungen von Qimonda und AMD entwickelt das AMTC innerhalb des Projektes die notwendigen Maskenprozesstechnologien, um Masken mit den geforderten Eigenschaften und Qualität bereitstellen zu können. In den ersten 2 Jahren des 3-jährigen Projektes soll die so genannte ANTARES Plattform zunächst für relaxierte Zielspezifikationen entwickelt werden. Im dritten Projektjahr (1.1.2010 – 31.12.2010) soll durch weitere Arbeiten an den Einzelprozessen (AP1-7) die Plattform für eine weitere Generation von Mikrochips tauglich gemacht werden.

4 Wissenschaftlich und technischer Stand zu Beginn des Projektes

Qimonda Dresden fertigte zu Beginn des Projektes am Standort Dresden DRAM-Speicher- und kombinierte Speicher-Logik-Produkte bis zu einer minimalen Strukturgröße von 80 nm. Die 70nm Technologie befand sich gerade im „Ramp-up“.

4.1 Doppelstrukturierung

Mit der fortschreitenden Miniaturisierung der Strukturgrößen zur Erzeugung von Speicherbauelementen mit immer höheren Integrationsdichten gelangt man immer mehr an die physi-

kalische Auflösungsgrenze der optischen Lithographie bei einer Wellenlänge von 193nm. Diese Grenze konnte durch die Einführung der Immersionslithographie nochmals hin zu kleineren Strukturen verschoben werden, so dass derzeit mit der neuesten Generation der Immersionsbelichter Strukturgrößen (Linien/Gräben im Verhältnis 1:1) im Bereich 40nm erzeugt werden können.

Um die optische Auflösungsgrenze weiter zu kleineren Strukturgrößen zu schieben kann die NA weiter erhöht werden. Dazu können neue Immersionsflüssigkeiten eingeführt werden. Diese verlangen wiederum eine Anpassung der Belichteroptik indem ein neues Material für die letzte Linse verwendet werden muss. Derzeit ist noch nicht klar, ob eine Flüssigkeit mit den Anforderungen und das Material im industriellen Verfahren erzeugt werden kann. Diese Technologie würde dann frühestens 2010 erhältlich sein.

Als wahrscheinlichste Lösung zur Überwindung der zu Projektbeginn bekannten physikalisch optischen Auflösungsgrenze und dem Einsatz in der Hochvolumenfertigung wurde ein Wechsel der Wellenlänge in den extremen ultravioletten (EUV) Wellenlängenbereich zu 13.5nm als notwendig angesehen. Allerdings war diese Technologie nicht ausgereift genug, um zur Entwicklung von sub40nm Strukturen zur Verfügung zu stehen. Ebenso war die Verfügbarkeit der Immersionslithographie mit hochbrechenden Flüssigkeiten nicht gesichert bzw. wurde ebenfalls nicht als rechtzeitig zur Verfügung stehend angesehen. Daher waren neue innovative Ansätze notwendig, um für zukünftige Technologieknoten Strukturen von sub40nm zu realisieren.

Als aussichtsreichster Kandidat galt die Doppelstrukturierung („Double Patterning“ (DP)). Über vielfältige integrative Ansätze – z.B. mehrere Lithographie- und Ätzschritte für eine kritische Ebene - wird das Rastermaß dabei halbiert. Innovative Prozessfolgen ermöglichen so Strukturen, die deutlich unter der physikalischen optischen Auflösungsgrenze liegen, ohne die Auflösungsgrenze der optischen Lithographie zu verändern. Abbildung 2 zeigt zwei unterschiedliche Ansätze.

- *Doppellithographie („Brute Force“):*

  Bei dieser Methode werden die kritischen dichten Strukturen durch zwei Lithographieschritten mit jeweils anschließender Ätzung erzeugt. Dabei wird zunächst eine Belichtung von Strukturen mit doppelten Ziel-Pitch durchgeführt.

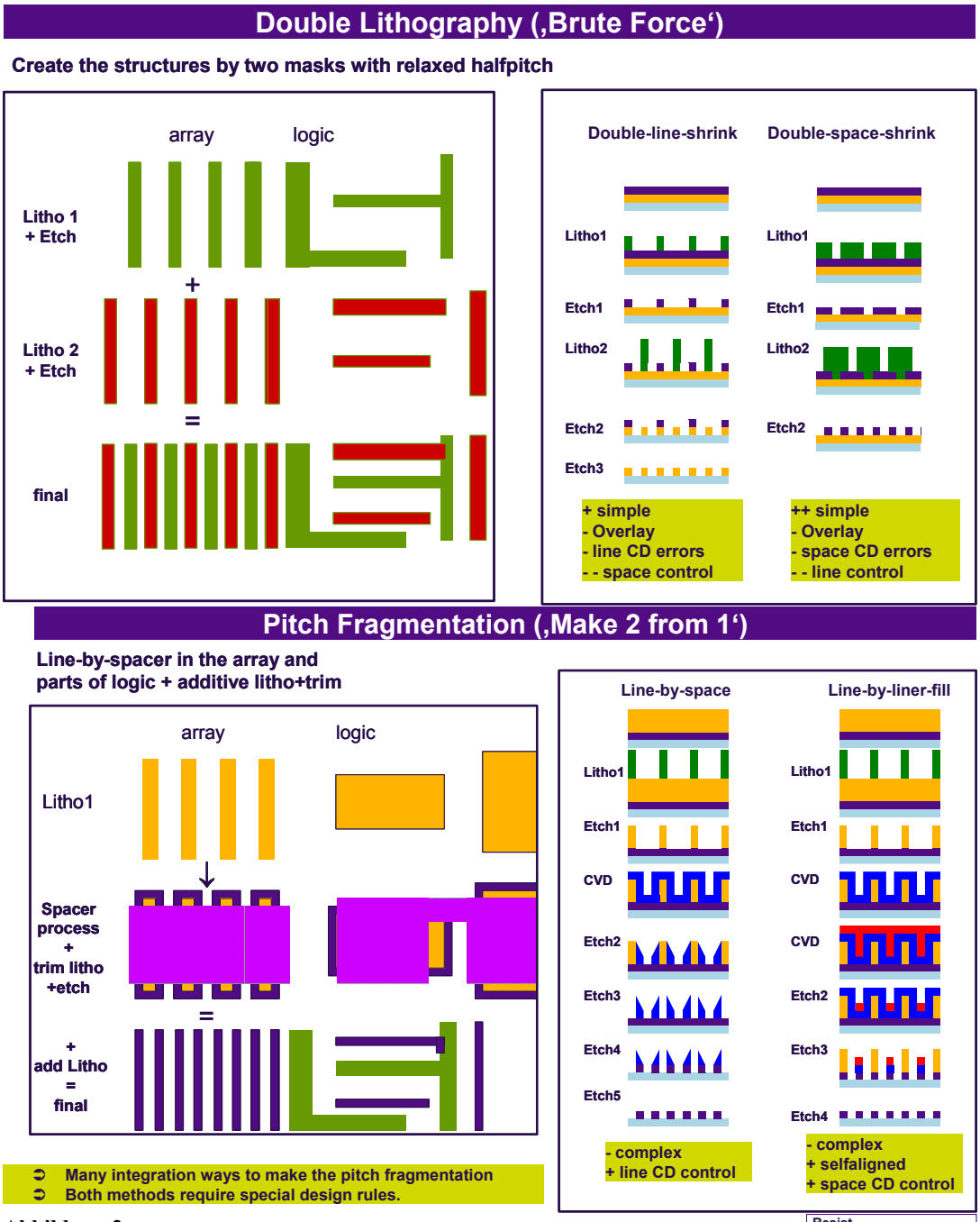


Abbildung 2:
Darstellung unterschiedlicher Doppelstrukturierungstechniken. Links ist jeweils eine Aufsicht dargestellt, während die rechte Seite einen Querschnitt mit den unterschiedlichen Prozessschritten zeigt.

Anschließend werden die erzeugten Strukturen durch eine Ätzung in das Silizium übertragen. Mit einer zweiten Maske werden Strukturen, die um einen halben Pitch verschoben sind erzeugt. In der Überlagerung der Schritte erhält man ein „auf dem kritischen Pitch" befindliches dichtes Linienfeld („Array"). Zusätzlich müssen die Logikstrukturen des Arrays auf dem Chip entsprechend dem Zieldesign zerlegt werden. Dadurch entsteht für das Maskenhaus neue Anforderungen an die Maske in Bezug auf Registratur (Platzierungsgenauigkeit) der Strukturen auf der Maske und Korrelation der beiden Masken zueinander.

- *Pitch Fragmentation:*

  Bei dieser Methode handelt es sich um einen integrativen Ansatz. Zunächst werden Resiststrukturen auf dem doppelten Rastermass der Zielstrukturen erzeugt. Z.B. für ein Linienfeld in 36nm Technologie würden 72nm Linien auf einem 144nm Rastermass erzeugt werden. Durch einen Trimm-Prozess werden die Lackstrukturen in die Nähe der Zielgröße von 36nm geschrumpft. Der anschließende Ätzprozess überträgt die Strukturen in das Silizium. Hierbei werden die Strukturen dann über einen weiteren Ätztrimm-Prozess auf die Zielgröße von 36nm gebracht.

  Danach wird in einem nächsten Schritt mittels eines Abscheidungsprozesses („**c**hemical **v**apor **d**eposition") ein Distanzhalter („Spacer") aufgebracht. Die Lage des „Spacers" wird durch die Kanten der Linien definiert und dient im nächsten Schritt als Hartmaske, um die dichten Strukturen mit dem gewünschten Pitch zu erzeugen. Über einen sogenannten Litho-Trimm-Prozess werden durch den Spacer-Prozess zusätzlich erzeugte, aber nicht benötigte Strukturen entfernt, so dass man mit dem nachfolgenden Ätzprozess das Array mit den kritischen Strukturgrößen erhält. Zur Vervollständigung der Logikbereiche ist ein zusätzlicher Lithographieschritt notwendig. Die Pitch-Fragmentation kann mit unterschiedlichen Prozessschritten realisiert werden, wovon zwei Beispiele in der Abbildung 2 dargestellt sind. Ebenfalls liegt hier wiederum die Herausforderung darin, das Zieldesign in die entsprechenden Prozessschritte zu zerlegen und die Überlagerung der einzelnen Lithographieschritte zu gewährleisten.

Die Verwendung der Doppelstrukturierung bedeutet eine Steigerung der Komplexität zur Erzeugung einer kritischen Ebene und damit eine Erhöhung des Fehler- bzw. Defektrisikos. Beim Verfahren der Doppelstrukturierung bestehen die technischen Herausforderungen vor allem in der Bereitstellung der Platzierungsgenauigkeit der beiden Lithographieschritte zueinander. Es müssen neue, erheblich höhere Anforderungen in der Lithographie an Überdeckungsgenauigkeit, erlaubte Linienbreitenschwankungen, Linienkantenrauhigkeiten und Anforderungen an den Resist, erfüllt werden. Insbesondere steigen damit die Anforderungen an die Lithographiemaske und ihren Herstellungsprozess. Das Layout der kritischen Ebenen muss an den Doppelstrukturierungs-Prozess angepasst und die entsprechenden neuen OPC-Modelle bereitgestellt werden.

Erste Machbarkeitsstudien zur Doppelstrukturierung warn bereits durch das IMEC durchgeführt worden. Das belgische Mikrostruktur-Forschungszentrum IMEC führte einen Entwick-

lungsverbund, der an einem großserientauglichen Fertigungsverfahren für Halbleiterbauelemente mit 32-Nanometer-Strukturen arbeitet. Es waren dabei die fünf größten DRAM- und Flash-Speicherchiphersteller, wie Hynix, Elpida, Micron, Qimonda und Samsung in der Kooperation vertreten, ebenso wie andere Chipfirmen und Auftragsfertiger, zu denen Infineon, Intel, NXP, Panasonic, STMicroelectronics, Texas Instruments und TSMC gehörten.

4.2 Elektronenstrahllithographie

In der Elektronenstrahl-Lithographie werden Nanostrukturen durch das „scannen" eines modulierten sehr feinen Strahls aus beschleunigter Elektronen über ein elektronensensitives Resistmaterial hergestellt. Das Abtasten des Elektronenstrahls wird über elektrostatische und magnetische Linsen kontrolliert. Die Interaktion zwischen Elektronen und der Polymermatrix des Resists führt zu einer Löslichkeitsmodifikation des Lackes. In dem nachfolgenden Entwicklungsschritt in einer spezifischen Lösung wird somit die belichtete Lackoberfläche strukturiert. Zur Fortführung des Herstellungsprozesses können Ätz- oder Abscheidungsprozesse angewandt werden. Die Elektronenstrahl-Lithographie ist ein sehr flexibles Verfahren zur Herstellung beliebiger Strukturen mit Auflösungen von bis zu wenigen nm bei speziellen chemisch nicht verstärkten Lacken. Eingesetzt wird die Technologie sowohl für das Schreiben von Lithographiemasken, Nanoimprint-Masken und Templates als auch für effizientes direktes Schreiben auf Wafern, sowie für das Prototyping von Nanostrukturen. Aufgrund der sequentiellen Belichtung ist der Durchsatz jedoch limitiert, welches insbesondere bei großen Strukturdichten der Fall ist.

Durch konsequente Weiterentwicklung der „Shaped-Beam" Elektronenstrahl Technologie konnte die minimale Strukturauflösung weiter reduziert werden. Der „Shaped-Beam" Elektronenstrahl besitzt gegenüber dem Gausschen-Elektronenstrahl insbesondere für Manhattan Strukturen einen Vorteil im Durchsatz. Durch eine spezielle „E-Beam Shot" Generation (z.B. Dreiecke, Rechtecke) können typische Strukturen effektiver erzeugt werden. Mit Hilfe dieser Technologie, die zum einen für Maskenherstellung wie auch für Direktschreiben für die Halbleiterindustrie verwendet wird, kann inzwischen eine Auflösung erzielt werden, die für den 32nm und teilweise für den 22nm Knoten ausreichend ist. Dies wurde z.B. mit neuen Elektronensäulen unter Zuhilfenahme nicht chemisch verstärkter Elektronenstrahl-Lacke gezeigt. Eine kontinuierliche Überprüfung der Weiterentwicklungen von chemisch verstärkten Lacken, die wegen des nötigen Durchsatzes notwendigerweise zum Einsatz kommen müssen, ist vonnöten. Zudem zeigten sich verstärkt Wechselwirkungen zwischen Prozess, Maschinenparametern und Resist, die für Erreichen der Hochauflösung verstanden und kontrolliert werden müssen. Weitergehende Maßnahmen zur Auflösungssteigerung, z.B. Top-Coats etc., ware identifiziert und mußten umfangreich erforscht und weiterentwickelt werden.

5 Zusammenarbeit mit anderen Stellen

Qimonda Dresden arbeitet im Rahmen des Projektes intensiv mit dem Fraunhofer CNT zusammen. „Der Sprung von der Mikro- zur Nanoelektronik ist eine große Herausforderung für die Halbleiterindustrie. Am Fraunhofer-Center Nanoelektronische Technologien CNT in Dresden entwickeln Wissenschaft und Wirtschaft in Public-Private-Partnership gemeinsam neue Prozesstechnologien für die Nanoelektronik. Am 31. Mai 2005 fand die feierliche Eröffnung mit Gästen von Bundesregierung, dem Freistaat Sachsen, der Wissenschaft und Wirtschaft statt. Im August 2004 hatten die Partner - die Fraunhofer-Gesellschaft, Infineon Technologies AG und Advanced Micro Devices Inc. (AMD) - die Absichtserklärung zur Gründung des Fraunhofer Center CNT unterschrieben.“[1]

Für das CNT stehen auf dem Dresdner Gelände von Qimonda Dresden 800 m^2 Reinraumfläche, sowie eine Infrastruktur, die Industriestandard entspricht, zur Verfügung. Der Freistaat Sachsen und das Bundesministerium für Bildung und Forschung über die Fraunhofer-Gesellschaft unterstützen die neue Fraunhofer- Einrichtung in den nächsten fünf Jahren mit Zuschüssen von insgesamt 80 Mio. Euro für die Anlagen-Erstausstattung. Diese Ausstattung wird dem „leading egde“ entsprechen und zum Teil von Anlagenherstellern noch im CNT weiterentwickelt werden.

6 Projektergebnisse

6.1 Gesamtergebnisse

Die beiden Themenschwerpunkt des Forschungsvorhabens Antares: Doppelstrukturierung und Elektronenstrahllithographie konnten erfolgreich bearbeitet werden.

Gemeinsam mit dem AMTC wurden Inspektionsprozesse zur Ermittlung des Einflusses von Defekten auf den Masken für den Wafer-Belichtungsprozess erforscht und entwickelt. An ausgewählten Designs konnten alle kritischen Defekte zufriedenstellende detektiert werden. Mit ersten Ergebnissen konnten auch die Grenzen der Detektierbarkeit und Inspezierbarkeit ermittelt werden.

Mit dem IMS-Chips und dem AMTC wurden neue E-Beam empfindliche Lacke, leitfähige „Topcoats“ und Resist-Materialien für die Hybird-Lithographie bearbeitet.

Für den Doppelstrukturierungsprozess wurden zunächst Entwurfsmethodiken entwickelt. Diese Methoden wurden erfolgreich verifiziert und für die Anwendung bereitgestellt. Im nächsten Schritt wurden entsprechende Resistsystem für die Doppelstrukturierung erforscht und

[1] Wortlaut der gemeinsamen Presseerklärung von Fraunhofer-Gesellschaft, AMD und Infineon Technologies vom 31.Mai. 2005

dann Basisuntersuchungen für den Doppelstrukturierungprozess durchgeführt. Abschließend konnte die erzielten Ergebnisse an ausgewählten kritischen DRAM-Ebenen eingesetzt und erforscht werden.
Aufgrund der wirtschaftlichen Situation von Qimonda mussten die Arbeiten mit den dargestellten Ergebnissen vorzeitig beendet werden. Die Verwertung der Ergebnisse wird wesentlich über die beteiligten Verbundpartner erfolgen.

6.2 Inspektionsprozessentwicklung für sub40 nm Strukturen

Ziel des Arbeitspaketes war es, sowohl den Einfluss von Defekten in Abhängigkeit von Typ, Form und Größe auf den Abbildungsprozess für einen sub40nm Technologieknoten zu erforschen, als auch die Grenzen der Detektierbarkeit von Maskendefekten zu ermitteln. Mit diesen Ergebnissen können zukünftig die Defektspezifikationen für kritischen Maskenebenen definiert werden.

Maskendefektstudie

Für die Untersuchungen des Einflusses von Defekten auf die Abbildung wurde zunächst ein entsprechendes Design für die hierfür benötigte lithographische Maske erstellt. Zielstrukturen waren dabei DRAM typische dichte und semi - isolierte Linien/Gräben mit Strukturgrößen bis 32nm; die Linienbreiten und das Rastermass für die unterschiedlichen Defekttypen, -Formen und –Größen wurden variieren. In das Design wurden auch zusätzliche Defektstrukturen des Verbundpartner AMTC aufgenommen, so dass das Design und die Masken von allen seinen Partnern genutzt werden können.

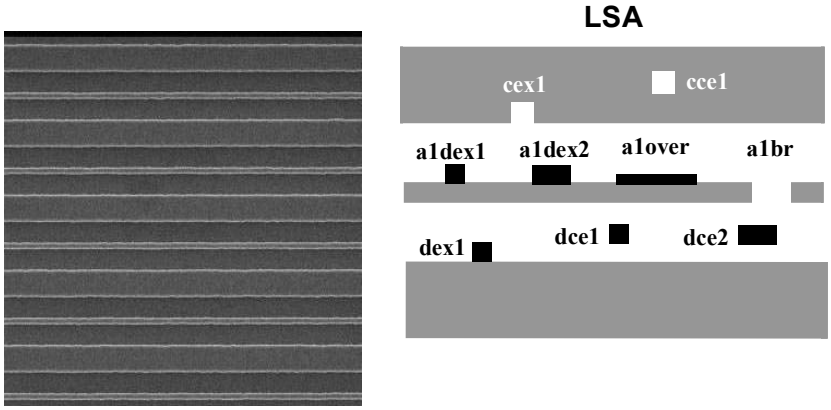


Abbildung 3: M0 Ebene mit Assiststrukturen (links) und Schema der programmierten Defekten (rechts)

Eine erste Maske auf Halbtonmaterial wurde durch das AMTC hergestellt und ausgewählte Strukturen untersucht. Begonnen wurde mit kritischen Strukturen im Supportbereich. Beim Festlegen des Designs für den sub 40 nm Knoten ist es aus wirtschaftlichen Überlegungen wichtig, dass nur möglichst wenige Ebenen eine Doppelstrukturierung benötigen. Damit wer-

den Strukturen, die nicht durch Doppelbelichtung erzeugt werden, lithographisch extrem kritisch, welches sich auch auf das Verhalten der Defekte auswirkt. Dies wurde zum Beispiel an einer M0 Ebene (für eine angenommene 35 nm Technologie) untersucht. Dazu müssen auf Grund der kleinen Prozessfenster Assist Strukturen platziert werden, dieses wurde in der Defektstudie entsprechend berücksichtig wurde (vgl. Abbildung 3).

Betrachtet wurden Defekte an der Hauptstruktur als auch bei den Assist Strukturen. Die Ergebnisse bei den Hauptstrukturen der in enger Zusammenarbeit mit dem AMTC durchgeführten Studie zeigen die Abbildung 4 exemplarisch. Im oberen Teil ist die Detektierbarkeit der verschiedenen Defekttypen (x-Achse) in Abhängigkeit von der Defektgröße (y-Achse) dargestellt. Die Balken stellen die Grenzen der Detektierbarkeit für verschiedene Einstellungen des Masken Inspektionsgerätes dar. Die „Striche“ markieren jeweils die Abbildungsschwelle oder „Printschwelle“ des Defekts. Die Abbildungsschwelle gibt dabei die Defektgröße an, bei der die abgebildete Strukturbreitenschwankung durch den Defekt mehr als 10% beeinflusst wird. Die Balken im unteren Teil zeigen die ermittelten Kriterien für die Beurteilung von kritischen Defekten mit dem AIMS („Aerial Image Inspection“).

Zusammenfassend ergibt sich, dass alle kritischen Defekte an diesem ausgewählten Design von den verfügbaren Maskeninspektionsgeräten der neuesten Generation mit zufriedenstellender Sicherheit detektiert werden können. Die ermittelten AIMS Kriterien ermöglichen es dem Verbundpartner, kritische Defekte zu bewerten und unter anderem damit sicherzustellen, dass nur die Defekte repariert werden, welche die zulässigen Spezifikationen überschreiten.

Nicht durchgeführt wurde die detaillierte Bewertung von Defekten an kritischen Array Strukturen (Linien und Gräben), die mit einem Doppelbelichtungsverfahren zu strukturieren sind.

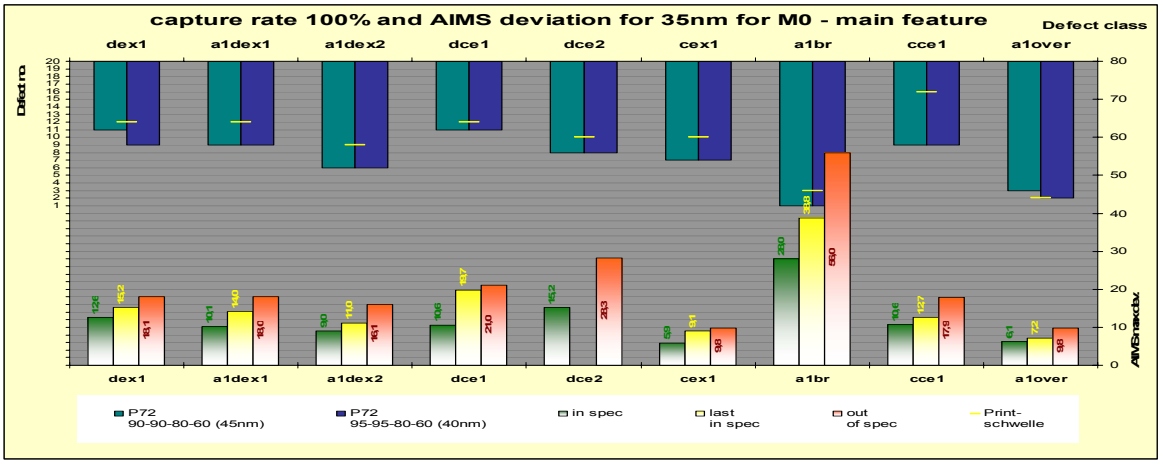


Abbildung 4: Detektierbarkeit von Defekten an Hauptstruktur (M0 Ebene) in Abhängigkeit von Defekttyp und Grösse

Für die Untersuchungen von Defekten an lochartigen Strukturen für die sub 40 nm Technologie wurden die kritischen Strukturen incl. der programmierten Defekte definiert und dazu ein

weiteres Design erzeugt. Auch in dieses Design wurden spezielle Testpattern von für den Verbundpartner integriert, so dass durch die gemeinsame Nutzung viele Synergien möglich sind.

Zur Untersuchung der Grenze der Detektierbarkeit bzw. Inspizierbarkeit von verschiedenen Defekttypen und –größen auf dem Wafer wurden experimentelle Untersuchungen durchgeführt. Als Grundlage diente hier zunächst ein sich derzeit bei Qimonda Dresden in der Entwicklung befindliches 46nm Technologie-Testvehikel. Hierzu wurde die Grenzauflösung eines Wafer Inspektionsgerätes (Wafer - KLA) in Abhängigkeit der Defektgröße, -form und -typ erforscht, um die Möglichkeit der Defektinspektion von Masken auf Wafer-Level in der Wafer Fertigung zu untersuchen. Erste Ergebnisse zeigen, dass das Inspektionsgerät fähig ist, bestimmte kritische Defektgrößen noch bis unterhalb der „Printschwelle“ zu identifizieren. Allerdings hängt dies von Defektgröße und insbesondere vom Defekttyp ab. Hierzu wurden parallel Abbildungsstudien spezieller Teststrukturen mit Defekten durchgeführt.

6.3 Resist und Material Entwicklung

Die Erforschung neuer Materialien insbesondere von Photolacken hinsichtlich ihrer Einsetzbarkeit für zukünftige Technologieplattformen für eine E-Beam Direktschreibanwendung war Aufgabe dieses Arbeitspaketes. Die Arbeiten erfolgen in enger Zusammenarbeit mit dem IMS-Chips bzw. dem Verbundpartner AMTC.

6.3.1 Untersuchung E-Beam empfindlicher Lacke

Ziel dieses Teilpaketes war die gemeinsame Untersuchung und Erforschung der Verbundpartner zu neuer E-Beam Resists hinsichtlich der Nutzbarkeit spezielle bei Qimonda/CNT für zukünftige Technologieplattformen. Dazu wurden zunächst die Anforderungen für den 32nm und 22nm Technologieknoten gemeinsam mit dem AMTC definiert und mit der ITRS (International Technology Roadmap for Semiconductors) korreliert (vgl. Tabelle 1). Damit konnten Übergabeparameter und Transferkonzepte vom IMS an das AMTC bzw. Qimonda definiert werden (Q3/V5). Tabelle 1 zeigt die Anforderungen an Resist-Auflösung und Rauhigkeit wie sie gemeinsam vom AMTC und Qimonda bezüglich des 22nm Knotens definiert wurden.

Die möglichen Einflussparameter auf die Kenngrößen zukünftiger Photolacke wurden untersucht und angepasst, so dass geeignete Materialkandidaten für die Nutzung bei Qimonda ausgewählt wurden. Größere Unterschiede in den Lackprozessen bei AMTC und Qimonda sind insbesondere in der Verwendung unterschiedlicher Substrate zu sehen.

Eine erste Untersuchung verschiedener Resist-Kandidaten wurde am IMS-Chips durchgeführt. Bis zum Ende der Projektmitarbeit von Qimonda standen daher keine Resistproben für die Anwendung des Direktschreibens für den 32nm und 22nm Technologieknoten bei Qimonda/CNT zur Verfügung.

Tabelle 1	65nm Knoten (2008)	22nm Knoten (2012)
Line Edge Roughness (LER)	>5nm 3s	1.2nm 3s
Auflösung in chemisch verstärkten Resists (CARs)	45nm dichte Linien 30nm isolierte Linien	22nm dichte Linien 15nm isolierte Linien
Resist Dicke (limitiert durch Pattern Collapse)	100-130nm	<60nm

6.3.2 Untersuchung leitfähiger Schichten

Ziel dieses Arbeitspaketes war die Untersuchung neuer leitfähiger „Topcoats“ auf E-Beam Resists mit sub50nm Strukturauflösung. Dabei lag der Schwerpunkt der Untersuchungen auf:

- Prozesskompatibilität der „Topcoats“ mit den jeweiligen Resists
- Reduzierung des Platzierungsfehlers (Placementfehler)
- Defektverhalten
- Anpassung des Prozessablaufes.

Parallel zu den Untersuchungen an leitfähigen Topcoats bei IMS Chips wurde bei Qimonda/CNT zunächst als Modell der Einfluss eines optisch wirksamen TARCs (Top Antireflective Coatings, ohne leitfähige Eigenschaft) auf den E-Beam Prozess untersucht. Als Modellverbindung diente der bereits für die optische Lithographie genutzte und intensiv untersuchte TARC NFC440 von JSR auf Wasserbasis, der parallel zu den E-Beam Resists auf dem Resist Track TEL ACT12 installiert wurde. Im Prozessverlauf wird der TARC nach der Belichtung in einem Spülschritt mit DI Wasser direkt vor der TMAH-Entwicklung entfernt. Der Einfluss auf die E-Beam Auflösung, Dosis, Lagerstabilität und das Defektverhalten wurde sowohl auf positiv (pCAR) als auch auf negativ (nCAR) Lack unter Verwendung von 25nm TARC untersucht. Bei beiden Prozessen zeigt sich im optimierten Belackungsprozess eine hervorragende Schichtdickenhomogenität (<1nm 3s) bei geringfügig erhöhtem Dunkelabtrag (11nm). Auch die Partikelbelastung mit 38 hinzugefügten Partikeln („Adder“) >120nm Partikelgröße liegt im vertretbaren Bereich.

Für den pCAR wurde der Einfluss des TARCs auf die Lagestabiliät zwischen Belackung und Belichtung (Post Coat Delay, PCD) bzw. zwischen Belichtung und Entwicklung (Post Exposure Delay, PED) untersucht. Dazu wurden Kontrastmessungen herangezogen. Abbildung 5 zeigt die Schichtdickenänderung in Abhängigkeit von der Dosis für unterschiedliche Prozesseinstellungen. Ohne die Verwendung des TARCs zeigt sich im Vergleich mit dem verzögerungsfreien Standardprozesses (POR) nach 3h PCD und 14h PED eine signifikante Dosiserhöhung um mehr als 2µC/cm² (>20%). Dieser Effekt lässt sich auf eine Kontamination der chemischen Verstärkung nach der Belichtung zurückführen. Mit TARC wird die Dosis be-

dingt durch die etwas höhere Acidität des TARCs geringfügig erniedrigt, ebenso der Kontrast. Allerdings ist hier keinerlei Einfluss von PCD bzw. PED sichtbar.

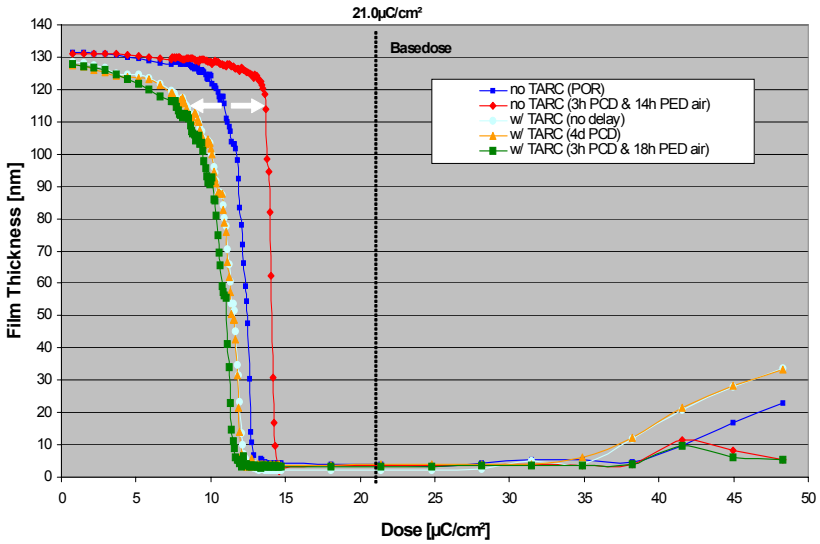


Abbildung 5: Kontrastuntersuchungen des pCAR Prozesses mit und ohne TARC und Einfluss von Standzeit-Effekten vor / nach der Belichtung.

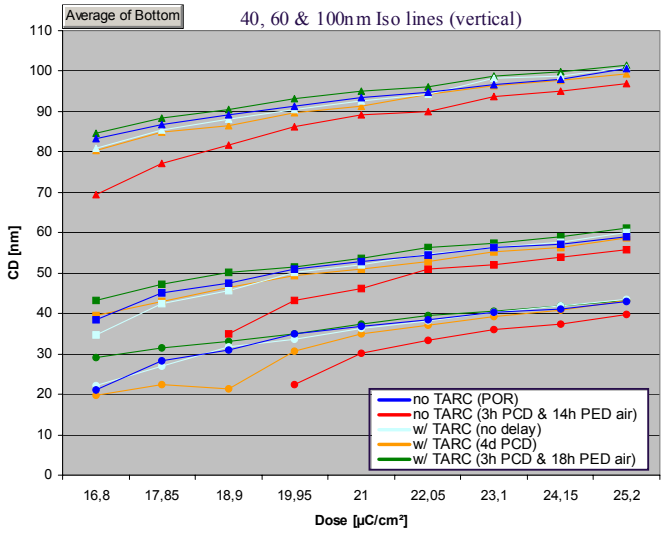


Abbildung 6: Abhängigkeit der CD von der Dosis für isolierte Linien mit unterschiedlichen TARC-Optionen.

Die Ergebnisse der Kontrastuntersuchung wurden durch CD-SEM Messungen verifiziert. Abbildung 6 zeigt die Abhängigkeit der CD von der Dosis für isolierte Linien (Gräben). Während die Verwendung des TARCs weder die CD noch das Prozessfenster (Exposure Dose

Latitude, EDL, ~2nm/µC) wesentlich beeinflusst, zeigt sich ohne TARC nach erhöhter Standzeit eine signifikante CD-Änderung (~5nm) bzw. Auflösungsgrenzen bei 40nm.

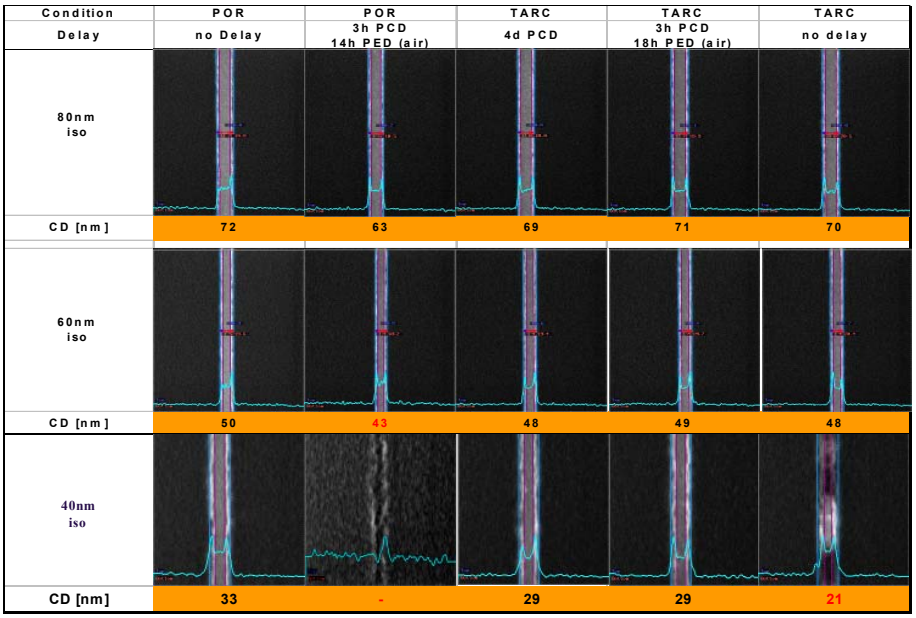


Abbildung 7: CD-SEM Ergebnisse (isolierte Linien) des pCAR Prozesses mit und ohne TARC und Einfluss von Standzeit-Effekten.

Abbildung 7 zeigt diesen Effekt für den Prozess mit und ohne TARC sowie Einfluss von Standzeit-Effekten. Offenbar kann der TARC Prozess als Schutz gegen Kontamination verwendet werden, um Standzeit Einflüsse zu kompensieren.

6.3.3 Untersuchung von Resist-Materialien für die Hybrid-Lithographie

Ziel dieses Arbeitspaketes war die Erforschung neuer optisch- sowie E-Beam sensitiver Resists für eine Anwendung für die Hybridlithographie. Vielfach sind die Zusammenhänge der Einflussparameter und die physikalisch chemischen Wirkprinzipien nicht verstanden. Die Hybridlithographie wurde untersucht und an die Anforderungen hinsichtlich eines zukünftigen Einsatzes in der Entwicklung neuer Technologien erforscht.

Resist \ Litho	ArF	DUV	EB
ArF (auf BARC)	☺	☹	?
DUV (auf BARC)	☹	☺	?
EB	?	?	☺

Tabelle 2: Kombinierten Anwendbarkeit verschiedener Resist Typen für die unterschiedlichen Belichtungsarten.

Einer der größten Nachteile der E-Beam Lithographie im heutzutage verwendeten Direktschreibverfahren ist der geringe Durchsatz bedingt durch die hohe Schreibzeit (>24h pro Wafer, abhängig von der Pattern-Dichte). Ein Lösungsansatz ist die Strukturierung von Wafern mittels zwei direkt aufeinander folgender Lithographieschritte eines einzelnen sogenannten Hybrid-Resists ohne zwischenzeitliche Entwicklung. Größere

wiederholbare Strukturen (z.B. Kontaktlöcher / Linien mit unkritische CD, Füllpattern) könnten so z.B. schnell mit optischer Lithographie bzw. Laser-Direktschreiben belichtet werden, während die variablen Strukturen (Strukturen mit z.B. CD < 50nm, SRAFs) mittels E-Beam Lithographie vorher bzw. anschließend strukturiert werden. Dies erfordert grundlegende Prozessuntersuchungen der kombinierten Anwendbarkeit verschiedener Resist Typen für die unterschiedlichen Belichtungsarten (vgl. Tabelle 2). Insbesondere die Eignung bereits in der Fertigung genutzter optischer Lacke, deren Eigenschaften bekannt sind, für die Elektronenstrahllithographie ist hier von besonderem Interesse. Dazu wurde bekannter optischer (DUV) Resist mit E-Beam belichtet und das Auflösungsvermögen sowie die Vakuumstabilität untersucht. Abbildung 8 zeigt rasterelektronenmikroskopische (REM) Aufnahmen von Linienmustern nach unterschiedlicher Belichtungszeit bzw. Standzeit im Vakuum. Während sich über einen Zeitraum von 5:40h im Vakuum die Empfindlichkeit und das Auflösungsvermögen bis zu 400nm dichten Linien nicht ändern, zeigt sich eine signifikante Zunahme der Linienrauhigkeit bei 400nm dichten Linien. Kleinere Strukturen lassen sich allerdings mit diesem Resist nicht auflösen. Untersuchungen an weiteren in der Fertigung eingesetzten, 193nm Resists zeigten ein ähnlich schlechtes Auflösungsverhalten, was offenbar auf eine hohe Flüchtigkeit der für optische Resists verwendeten Photosäurebildner (PAGs) im Vakuum zurückzuführen ist.

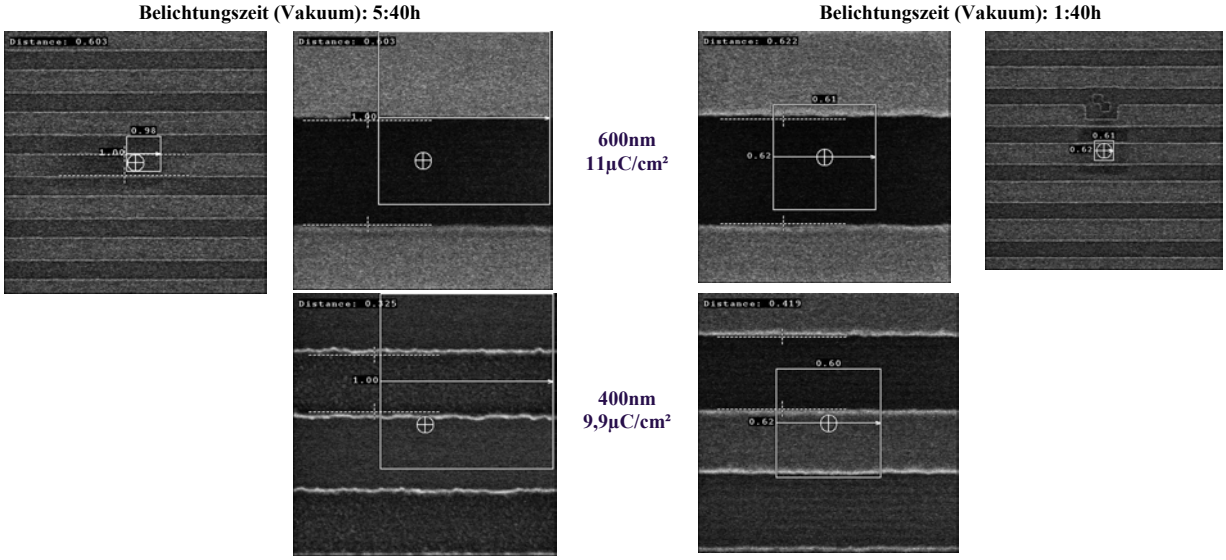


Abbildung 8: REM Aufnahmen von Linienmustern in DUV Resist strukturiert mit E-Beam nach unterschiedlicher Belichtungszeit bzw. Standzeit im Vakuum.

Ein spezieller 193nm Hybridresist (EPIC2340) wurde durch die Firma Rohm&Haas zur Verfügung gestellt und mittels E-Beam sowie 193nm Immersion belichtet. Für die optische Belichtung wurde ein BARC bzw. Topcoat verwendet. In ersten Vorversuchen konnten mit beiden Methoden Auflösungen bis ca. 80nm erreicht werden, wobei die Linien wiederum durch eine hohe Rauhigkeit gekennzeichnet sind. Abbildung 9 zeigt jeweils die Dosis und die CD nach der E-Beam bzw. Immersionslithographie. Die Vakuumstabilität über 13h ist mit einer

CD-Änderung von weniger als 0.4nm/h als hoch anzusehen. Bei der Kombination beider Belichtungsschritte (Mix&Match) auf einem Wafer wurden allerdings deutliche Standzeit-Effekte gefunden, die erheblichen Einfluss auf die Prozessstabilität (CD-Kontrolle) haben.

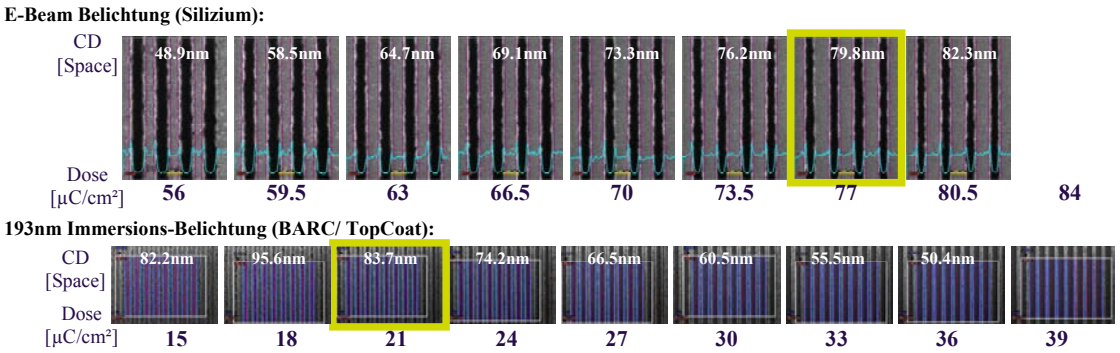


Abbildung 9: REM Aufnahmen von Linienmustern in EPIC2340 strukturiert mit E-Beam bzw. 193nm Immersionslithographie

Bedingt durch den verzögerten Heizschritt nach den einzelnen Belichtungsschritten (PEB, Post Exposure Bake) kommt es zu starken CD-Schwankungen, wobei die E-Beam Strukturen offenbar weniger betroffen sind. Eine Zeitkopplung der Belichtungssequenz ist allerdings fertigungsbedingt schwer zu realisieren.

Als für die Hybridlithographie geeigneter erweisen sich hingegen die bei Qimonda/CNT verwendeten E-Beam Resists mit positiver wie auch negativer Tonalität, die für Höchstauflösung bis 45nm eingesetzt werden. Untersuchungen der Auflösung bzw. des Prozessfensters unter DUV Belichtung zeigten erstaunlich gute Ergebnisse, die in Abbildung 10 exemplarisch zusammengefasst sind. Beispielsweise konnten sowohl Linien- als auch Kontaktlochstrukturen mit Prozessfenstern von nahezu 0.5µm demonstriert werden.

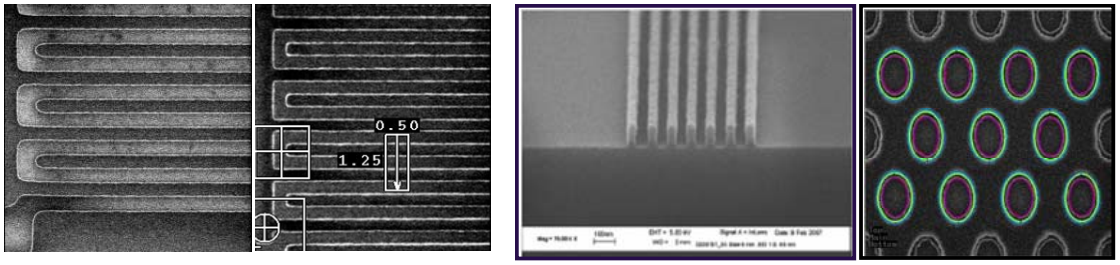


Abbildung 10: REM Aufnahmen von unterschiedlich strukturierten E-Beam Resists (von links nach rechts): 330nm Linienmuster in negativ Resist belichtet mit optischer (DUV) Litho unter Verwendung einer Maske bzw. direkt mit E-Beam Litho; E-Beam Hochauflösung dieses Lackes (50nm 1:1); 170nm Kontaktlöcher in E-Beam positiv Resist belichtet mit DUV Litho.

Für die Belichtung mit 193nm Wellenlänge sind die untersuchten E-Beam Resists allerdings eher ungeeignet, da die enthaltenen Resist-Polymere auf Polyhydroxystyrol-Basis im Bereich

unter 200nm zu stark absorbieren. Damit konnte die prinzipielle Machbarkeit von Hybrid Lithographie demonstriert werden. Weitere Untersuchungen unter Realbedingung und Verbesserung bezüglich der Prozessstabilität sind allerdings für zukünftige Anwendungen notwendig.

6.4 Entwurfsmethoden, -prüfungen und Layouts für die Doppelstrukturierung (DP)

Ausgangspunkt der Arbeiten war der Mangel an zuverlässigen Lösungen für den Schaltungsentwurf für die Doppelstrukturierung. Daher war Qimonda gezwungen, eigene grundlegende Forschungen und Entwicklungen durchzuführen.

Der Fokus der Forschung wurde zunächst auf die Analyse gelegt, wie eine zukünftige Entwurfsumgebung für integrierte Schaltungen aussehen soll und welche Hilfsmittel es ermöglichen, ein Layout effizient und optimal für einen Doppelstrukturierungsansatz aufzubereiten bzw. zu erstellen. Im Rahmen dieser Arbeiten wurden zunächst Ebenenkonzepte sowie Entwurfsverifikationen erforscht und als Basis zur Bereitstellung von Doppelstrukturierung kompatiblen Layouts in einer vorläufigen Entwurfsumgebung genutzt.

Ebenenkonzept

Erstes Ergebnis war die Definition eines neuen Konzepts für die Verwaltung der Layouts (geometrisches Abbild der herzustellenden Silizium-Strukturen im Computer) im Falle von Doppelstrukturierung:

Ebenenklasse	**Beschreibung der Nutzung**
"Finales Wafer-Ziel"	Layout-Strukturen, die zur Verifikation der elektrischen Funktionalität genutzt werden und daher hinreichend nahe den finalen Geometrien auf dem Wafer entsprechen müssen.
"Wafer-Ziel einer Einzelmaske "	Layout-Strukturen, die das Ziel der Abbildung einer einzelnen Maske entsprechen. Das finale Waferziel kann dann aus einer Kombination von Einzelmaskenzielen und integrativen Prozessschritten entstehen
"RET/OPC[2] input"	Layout-Strukturen mit lokalen Veränderungen um automatische RET/OPC-Berechnungen derart zu beeinflussen, dass das Waferziel der Einzelmaske sicher erreicht wird.
"Maskendaten input"	Layout-Strukturen nach der Veränderung durch RET/OPC, die als Input zur Berechnung von Maskendaten benutzt werden.

Neu sind die Einführung von unabhängigen Waferzielen von Einzelmasken sowie die Definition eines finalen Waferziels. Diese Innovation ermöglicht,

[2] RET/OPC: Resolution Enhancement Technique / Optical Proximity Correction

a) die unabhängige Verwaltung und Prüfung von Daten der Strukturen, die man speziell zur Doppelstrukturierung benötigt.
b) die geometrische oder anhand von Simulationen durchgeführte Verifikation, ob das Ergebnis von verschiedenen Einzelmasken unter Berücksichtigung der dazugehörigen Prozessschritte zum erwarteten finalen Waferziel führt.

Das entwickelte Konzept ermöglicht es weiterhin (mittels dem finalen Waferziel) in einigen Teilen die heutige Entwurfsmethodik zu erhalten, da dieses Waferziel wie gewohnt zur Extraktion von elektrischen Kenngrößen aus dem Layout genutzt werden kann. Damit wird erreicht, dass der überwiegende Teil des Entwurfteams sich nicht mit dem komplexen Thema der Doppelstrukturierung auseinandersetzen muss, sondern sich wie gewohnt auf das elektrische Ziellayout konzentriert. Dies erhält in diesen Teilen auch die gewohnte Effizienz im Schaltungsentwurf.

Der neue Ansatz bietet ebenfalls die Möglichkeit, die Zerlegung von finalem Ziellayout in Einzelmaskenlayout durch neuartige Verifikationssoftware abzusichern und im Ausblick mittelfristig zumindest teilweise zu automatisieren.

Ein Beispiel für den Entwurf einer Ebene unter der Verwendung des neuen Ebenenkonzepts zeigt Abbildung 11. Der gepunktete Bereich der gezeigten Einzelmaske ergibt sich erst unter Berücksichtigung der Eigenarten des benutzten Prozesses der Doppelstrukturierung.

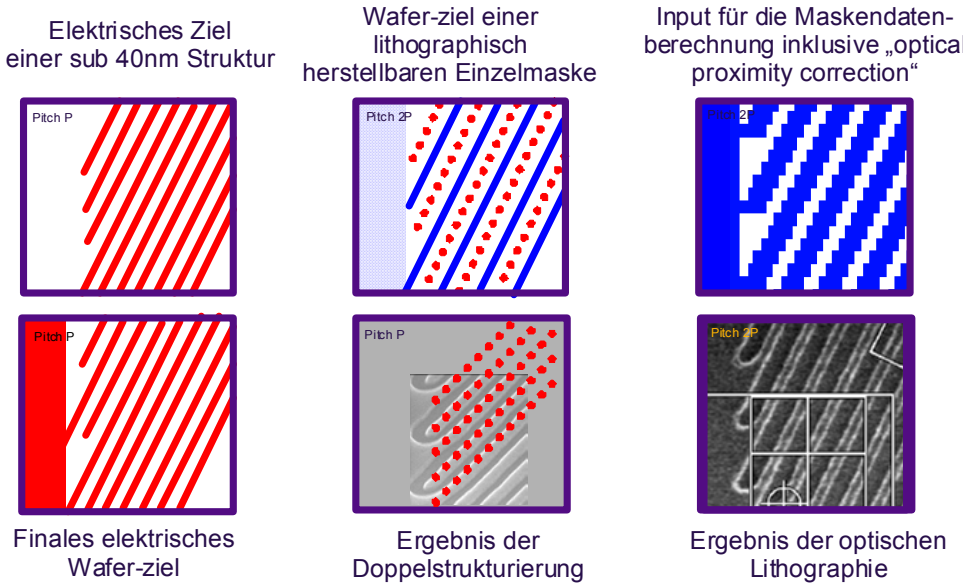


Abbildung 11: Entwurf einer Ebene unter der Verwendung des neuen Ebenenkonzepts.

Entwurfsverifikation

Wie am obigen Beispiel ersichtlich unterscheidet sich das finale Wafer-Ziel erheblich vom Ziel der Einzelmaske. Grund dafür ist, dass nur Teile direkt in den Lack abgebildet werden, andere Teile aber indirekt integrativ erzeugt werden. Damit entsteht der Bedarf neue Programme zu entwickeln, um die zerlegten Muster auf kombinatorische Korrektheit zu prüfen und somit zu gewährleisten, dass am Ende auf dem Wafer wieder die ursprünglich geplante Struktur entsteht. Im Detail bedeutet dies, den wirklichen Herstellungsprozess am Computer hinreichend korrekt nachzuvollziehen, um dem Entwurfsingenieur die Rückmeldung geben zu können, das Einzelmasken-Ziel und finales Wafer-Ziel kompatibel sind.

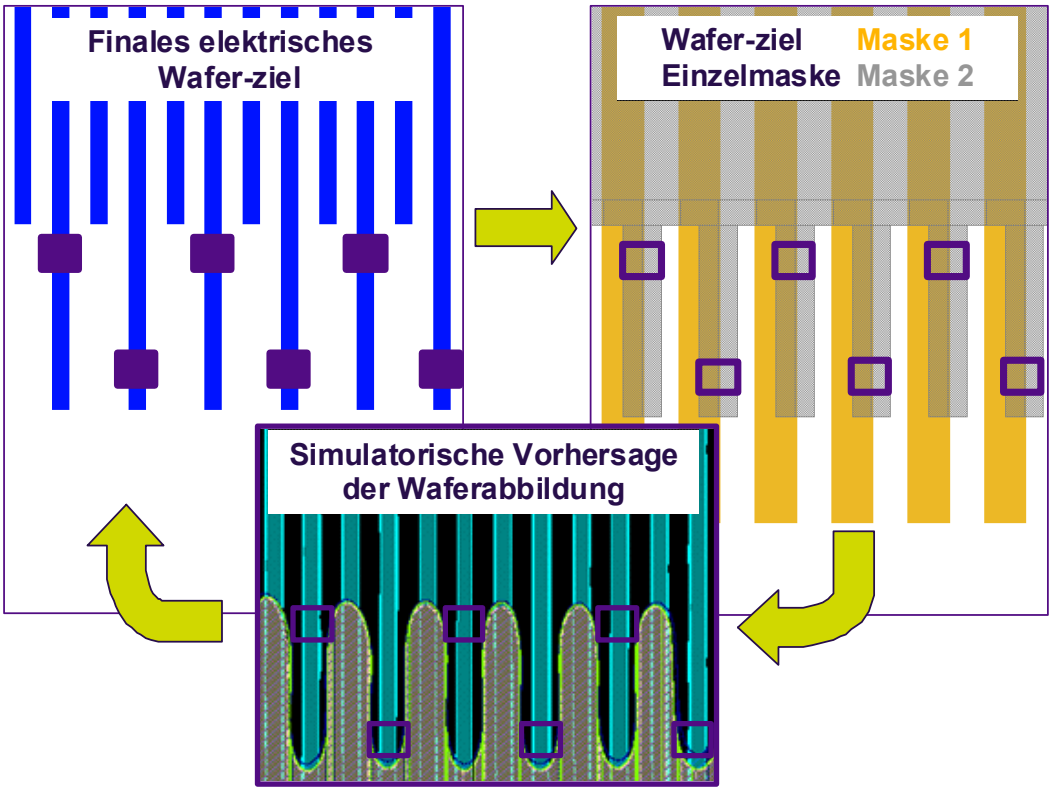


Abbildung 12: Entwurfsverifikation im Designfluss des Doppelstrukturierungsprozess

Ein konkretes Beispiel zeigt Abbildung 12. Maske 1 wird über einen Doppelstrukturierungsprozess in einer Dimension D halbiert. Dazu muss die lithographische Abbildung eines Rasters mit Dimension D simuliert werden. Darauf folgt (über geometrische Veränderungen des Ergebnisses der Lithographie-Simulation) die Vorhersage des Resultates der integrativen Abscheidungsprozesse, welches zum gewünschten Gitter mit D/2 führt (türkise Strukturen in der unteren Abbildung 12). Um das Gitter am unteren Rand im Bereich der Kontakte (lila Rechtecke) auf die gewünschte finale Wafer-Zielstruktur zu bringen, muss eine zweite Maske ein-

gesetzt werden, welche die blauen Leiterbahnen wie gewünscht (über eine geeignete Prozessführung in der Siliziumfertigung) abschneidet.

Das Beispiel verdeutlicht, den überaus komplexen Vorgang das finale Ziel über die Zerlegung und Anpassung von den Einzelmasken 1 und 2 mittels Prozesssimulation in Einklang zu bringen und den Bedarf, die verschieden Ansichten mittels des neuen Ebenenkonzepts zu verwalten.

Bereitstellung von Doppelstrukturierung kompatiblen Layouts

Basierend auf den oben beschriebenen Grundbausteinen wurde im Rahmen dieses Projektes eine vorläufige Entwurfsumgebung für 36nm Designs zur Verfügung gestellt. Innerhalb der Umgebung konnten verschiedene integrierte Ebenen entworfen werden, die dann versehen mit vorläufigen Datenkorrekturen (OPC) in Maskendaten umgerechnet wie geplant zur Verfügung gestellt wurden.

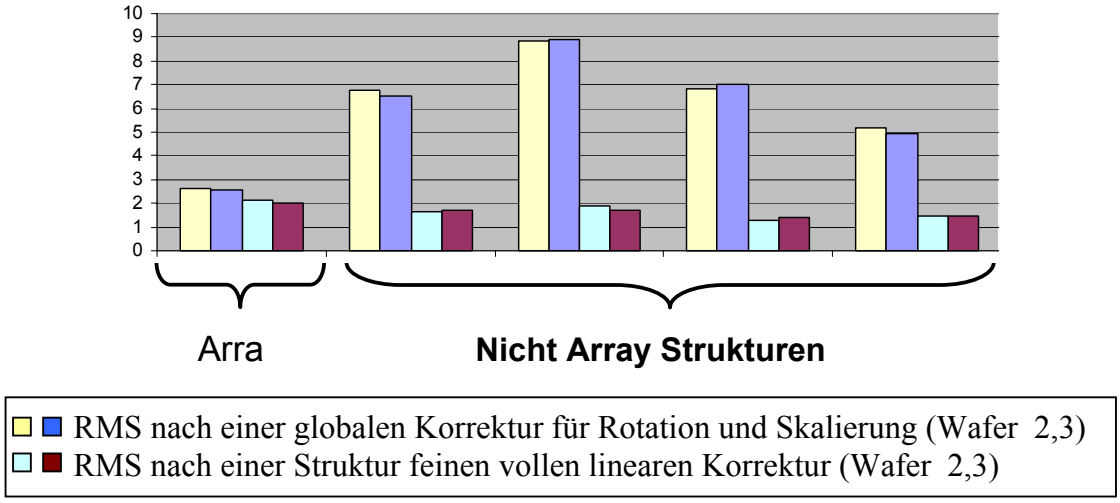


Abbildung 13: RMS Werte für verschiedene Strukturen und Korrekturmodelle

Die bisher durchgeführten Arbeiten sowie die obigen Beispiele belegen den Bedarf an qualitativ hochwertigen Prozess-Modellen, die über derzeit verwendete übliche reine Lithographiemodelle weit hinausgehen. Daher wurde im Folgenden der Schwerpunkt der Untersuchungen zunächst auf die Vorbereitung einer Infrastruktur gelegt, mittels derer man effizient und akkurat 2-dimensionale Modelle zur Beschreibung der Abbildung in den Lack sowie für darauf aufbauende Abscheidungs- und/oder Ätzprozesse kalibrieren kann. Im Fokus stand hier die Modellkalibrierung anhand von Bildern von realen Waferstrukturen, die mit Elektronenstrahlmikroskopie aufgenommen werden. Dieser Ansatz verspricht, die notwendigen Informationen über komplexe zweidimensionale Strukturen liefern zu können. Zunächst wurde dabei eine Methode entwickelt, um aus den SEM Bildern nach der Kompensation von Rota-

tions- und Skalierungsfehlern die Restfehler (RMS Wert) zu bestimmen. Bei den ersten Untersuchungen zeigten sich überraschenderweise eine starke Strukturabhängigkeit (Abbildung 13). Bei Anwendung eines globalen Skalierungs- und Rotationskorrektur auf alle Strukturen, wie es bei einem Maschinen Parameter zu erwarten wäre, ergab sich ein riesiger Wert für nicht Array artige Strukturen.

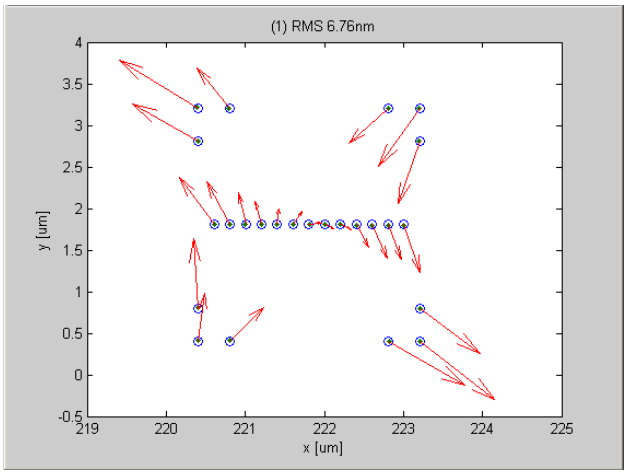


Abbildung 14: RMS Werte für nach Anwendung einer globalen Skalierungs- und Rotationskorrektur auf die Differenz der Strukturschwerpunkte auf Basis der Bildpixel und der optischen Simulation.

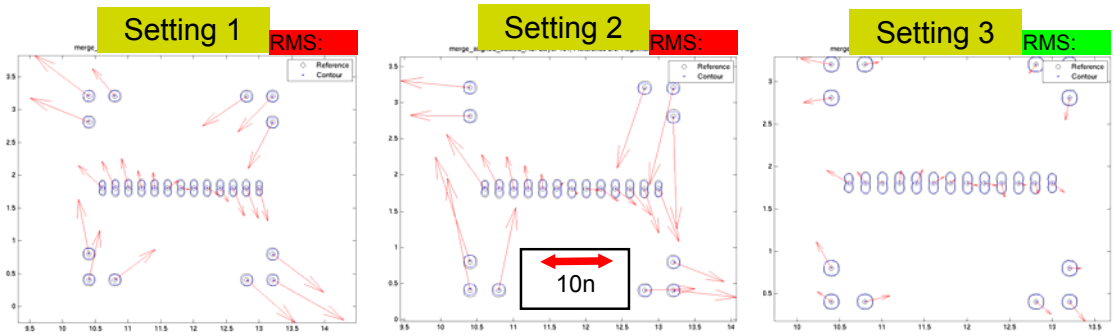


Abbildung 15: RMS Werte für verschiedene Rasterelektronenmikroskop Einstellungen

Um zu verifizieren, dass es sich dabei nicht um einen optisch bedingte Fehler handelt, wurden die auf Basis der Pixel bestimmten Strukturschwerpunkte gegen die sich aus einer optischen Simulation ergebenden verglichen. Ein typisches Ergebnis ist in Abbildung 14 zu sehen. Daraus ist klar ersichtlich, dass der Grund für die hohen Fehler im Rasterelektronenmikroskop zu suchen ist. Daraufhin wurde unter Anwendung der oben beschriebenen Methode das SEM

Rezept weiterentwickelt und ein Parametersatz erarbeitet, bei dem alle Strukturen mit vertretbaren Restfehlern erscheinen (Abbildung 15).

Mit diesem verbesserten Setup wurden dann Daten erhoben und ein erstes „Optical Proximity Correction“ Modell erstellt. Die sich damit ergebenden Korrekturen von Teststrukturen zeigte eine sehr gute qualitative Übereinstimmung mit Printergebnissen auf dem Wafer. Zu einer Bewertung der Performance auf Basis von realen elektrischen Schaltungen ist es auf Grund der zur Verfügung stehenden Zeit nicht mehr gekommen.

6.5 Erforschung eines lithographischen Gesamtprozesses mit Doppelstrukturierung für sub40nm DRAM Strukturen

Ziel des Arbeitspakets war es, spezielle Lacke bzw. Lacksysteme für die Anwendung in der Doppelstrukturierung zu finden. Anforderungen an den Photoresist sind dabei eine gute Performanz bzgl. Linienbreitentreue, Linienrauhigkeiten (LER) und Defekte. Insbesondere sollten diese Eigenschaften im Bereich der Überbelichtung erhalten bleiben, um schon beim Lithographieschritt möglichst schmale Linien zu erzeugen. Innerhalb dieses Arbeitsbereiches wurden spezielle Lacke, die normalerweise zur Herstellung von Logik-Strukturen genutzt werden, untersucht.

Ein weiterer Arbeitsbereich innerhalb dieses Arbeitspaketes beschäftigt sich mit der Untersuchung von neuartigen Lacksystemen, die die Komplexität und Prozesszeit des Doppelstrukturierungsprozesses reduzieren, so dass die Fehleranfälligkeit reduziert und Durchsatz erhöht werden können. Hierbei werden vielversprechende Ansätze experimentell untersucht und bewertet.

6.5.1 Resistsystem für Doppelstrukturierung

Lacke für Logikanwendungen

Es wurden 7 unterschiedliche Lacke, die speziell Anwendung in der Fertigung von Logikbausteinen finden, untersucht. Hier standen vor allem Trimmbarkeit, Linienrauhigkeit und CD-Uniformität im Mittelpunkt der Untersuchungen und deren Abhängigkeit voneinander entlang der Prozesskette - von der Lithographie über den Trimmschritt bis zum Übertrag der Strukturen durch Ätzung in amorphes Silizium (a-Si). Es wurden 1:1 (~ 72nm Linie/ 72nm Graben) Strukturen sowie überbelichtete (~ 56nm Linie/ 90nm Graben) Strukturen als Basis für die Untersuchungen verwendet. Im Fokus der Untersuchungen stand der Einfluss der einzelnen Prozessschritte auf die Linienbreite (CD) und CD-Uniformität, wobei zunächst der Trimmätzschritt hinsichtlich Dauer, Lackabtrag sowie Profil der Strukturen im Detail erforscht wurde. Hier zeigte sich bei den überbelichteten Strukturen ein deutlich erhöhtes Resistrestbudget verglichen zu den 1:1 Strukturen. Dieser Effekt zeigt sich ebenso beim Vergleich von Lacken für Logik- und DRAM-Anwendungen.

Abbildung 16 zeigt als Ergebnis die Linienbreiten (CD) und CD-Uniformität nach den jeweiligen Prozessschritten von der Lithographie über den Trimmschritt bis in den Übertrag der Strukturen in das amorphe Silizium (a-Si) über einen Ätzschritt für die 1:1 Linien. Dabei ist die finale CDU über den Wafer für alle Lackproben vergleichbar. Für die überbelichteten Strukturen ergibt sich eine wenig bessere CDU. Ob dieser Effekt allerdings bedingt wird durch eine unterschiedlichen BARC Öffnungsätzschritt oder durch die Überbelichtung der Strukturen konnte in der gegebenen Zeit nicht weiter untersucht werden.

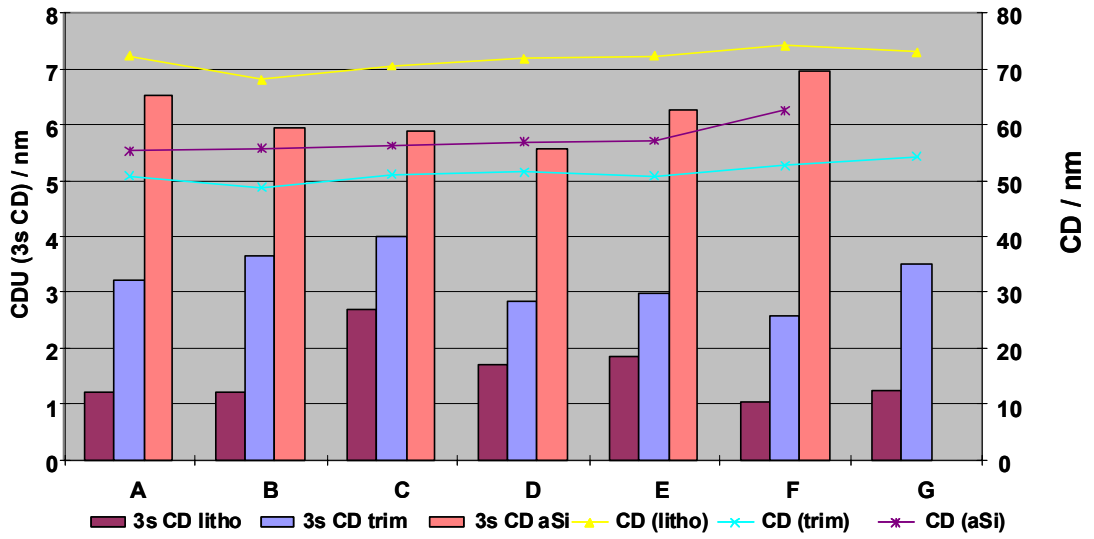


Abbildung 16: Linienbreite (CD) und CD-Uniformität nach den entsprechenden Prozessschritten (Lithographie-Trimmschritt-Ätzprozess) für die unterschiedlichen Resistproben A-G.

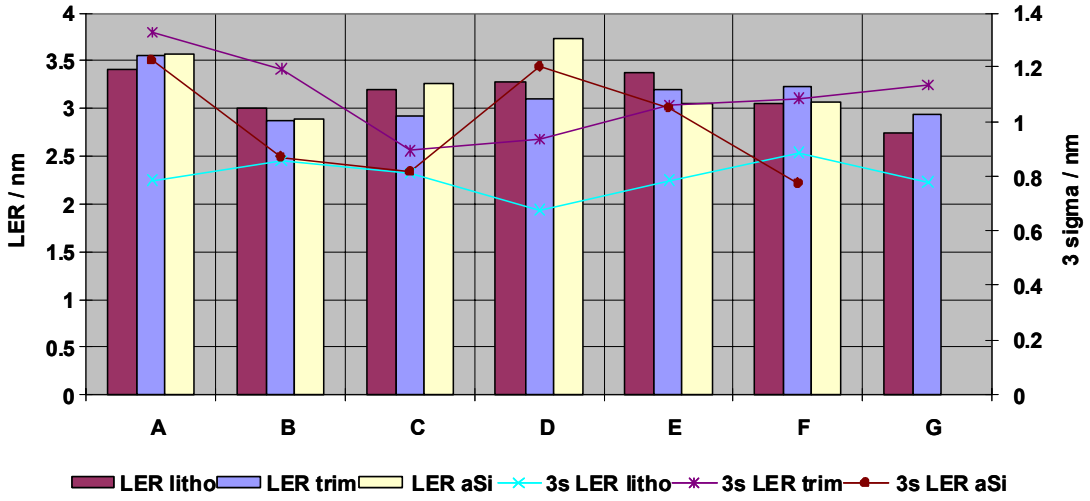


Abbildung 17: Linienrauhigkeiten und deren Variation (3-Sigma) nach den entsprechenden Prozessschritten (Lithographie-Trimmschritt-Ätzprozess) für die unterschiedlichen Resistproben A-G.

Weiterhin wurde der Einfluss auf die Linienrauhigkeit und deren Variation entlang der Prozesskette erforscht. Die Ergebnisse sind in Abbildung 17 dargestellt. Dabei scheint sich die LER nach dem Lithographieschritt während des BARC Öffnungsätzschritt/Trimmätzschritt zu transferieren. Die überbelichteten Strukturen zeigen eine niedrigere LER nach dem finalen Ätzschritt. Aus den untersuchten Proben wurde ein Favorit ausgewählt, der zur weiteren Prozessentwicklung genutzt wurde.

Innovative Resistsysteme/-Techniken für DP

Die Doppelstrukturierungsmethode „Litho-Ätzen-Litho-Ätzen“ ist vor allem durch die hohe Komplexität und den daraus folgenden hohen Prozesskosten nicht für die Hochvolumenproduktion von DRAM-Bausteinen geeignet. Verschiedene Resisthersteller entwickeln jedoch innovative Ansätze, um die Prozesskomplexität zu reduzieren. Im Rahmen dieser Entwicklungen wurde ein vielversprechendes System für die Anwendung bei Qimonda Dresden zur Erzeugung von Lochstrukturen untersucht.

Bei dieser sogenannten „Freeze“-Methode wird die Komplexität durch den Wegfall eines Ätzschrittes reduziert. Abbildung 18 zeigt den Vergleich der beiden Prozessabläufe. Der eigentliche Freezing-Schritt, bei dem die erzeugten Strukturen durch ein spezielles Resist-Freeze-Material und dem nachfolgenden Back-Schritt „konserviert“ werden, so dass der nächste Lithographieschritt bzw. Entwicklungsschritt die zuvor erzeugten Strukturen nicht beeinflusst, findet direkt im Resisttrack statt und reduziert dadurch die Komplexität in der Prozessabfolge.

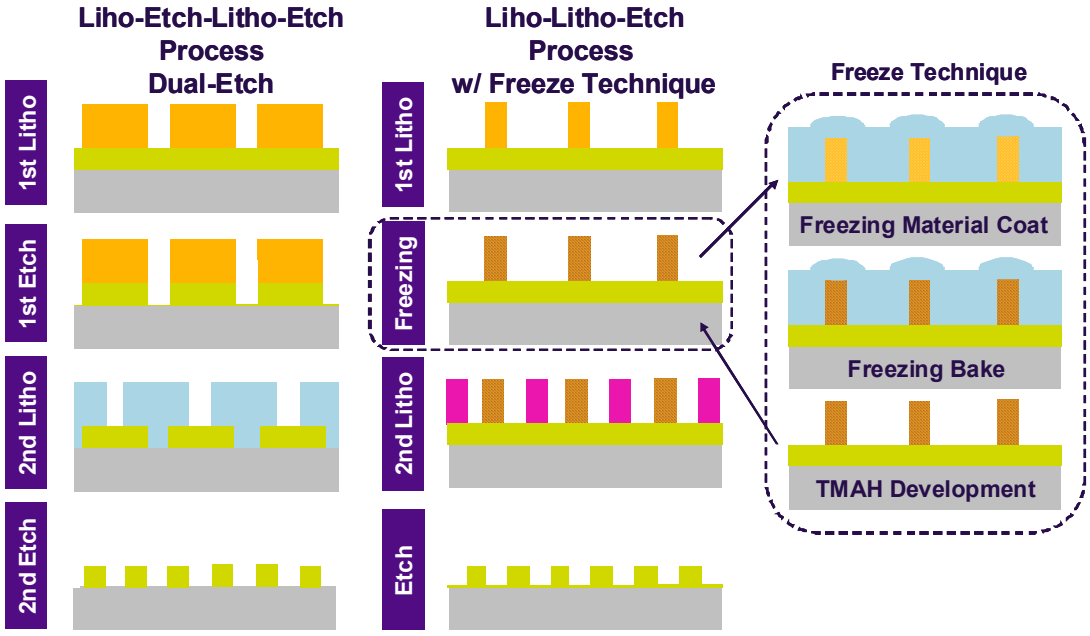


Abbildung 18: Freezing Technique (rechts) im Vergleich zum konventionellen Litho-Ätzen-Litho-Ätzen (links) Doppelstrukturierungsansatz.

Hierzu wurden erste Experimente durchgeführt, wobei zwei unterschiedliche Lacke für die jeweiligen Lithographieschritte genutzt sowie ein Entwicklungsvehikel aus der 45nm Technologie verwendet wurde, um die grundsätzliche Einflussparameter wie Profiländerungen, CDU-Änderungen sowie Prozessfenster über die Prozesskette zu untersuchen. Ziel war es, durch die Erzeugung gekreuzter Linienfelder Kontaktlöcher anhand der in Abbildung 18 dargestellten Freezing-Technik zu realisieren. Die Ergebnisse in Abbildung 19 oben zeigen, dass die Linienbreiten des ersten Lithographieschrittes doch durch die zweite Lithographie beeinflusst wird. Dies kann aber vorgehalten werden. Zudem ändern sich die Profile der Resiststrukturen, was wiederum einen Einfluss auf die Ätzperformanz haben kann.

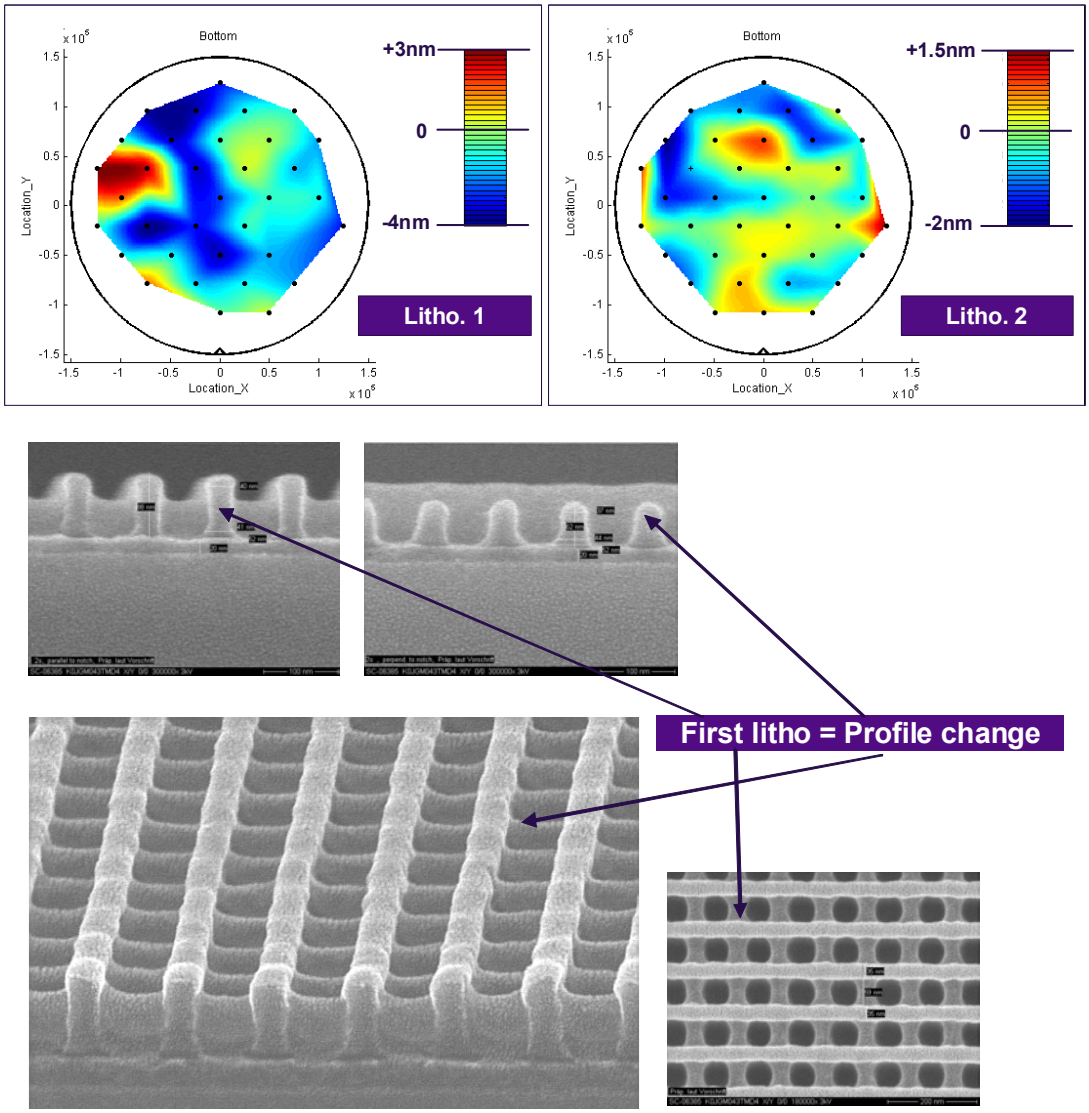


Abbildung 19: CD-Uniformität nach den jeweiligen Lithographieschritten (oben) mit zugehörigen Querschnittsprofilen (unten).

Im Rahmen dieser Untersuchungen wurde weiterhin die Performanz des „Freeze"-Materials hinsichtlich der Erzeugung von Defekten erforscht. Es zeigte sich, dass eine Vielzahl von Defekten nach dem Aufbringen sowie dem PAB und der kompletten Prozessierung des „Freeze"-Materials erzeugt wurden.

Mit dem "Freeze" System wurden dann erste Ätzungen durchgeführt. Zu allererst wurde das Öffnen der Bottom Antireflexschicht entwickelt mit dem Ziel, dabei möglichst viel Lack aus den beiden orthogonalen Belichtungen übrig zu lassen. Die normalen ARC Open Recipes führten auf Grund der verwendeten Lackdicken und –chemien zu keinem verwertbaren Ergebnis. Wie in Abbildung 20 zu sehen konnte erst nach mehren Iterationen ein zufriedenstellendes Ergebnis erreicht werden.

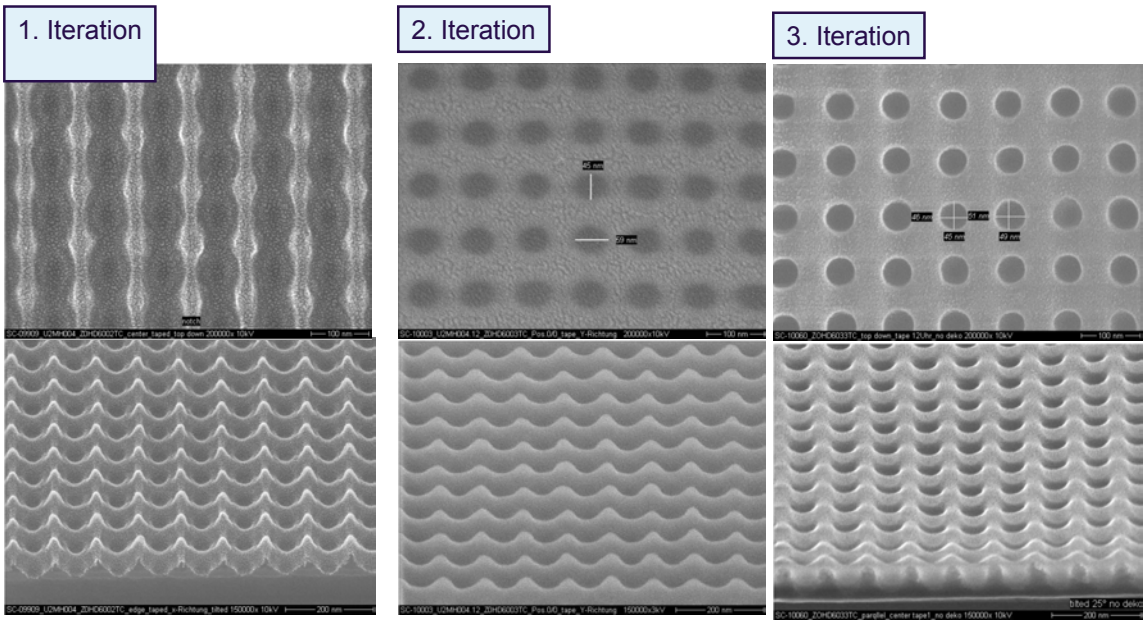


Abbildung 20: Remaining Lack nach den verschiedenen ARC Open Rezepten

Die nachfolgende Ätzung in die für die lithografischen Verhältnisse optimierten Hartmaske zeigte, dass die sich ergebenden Profile nicht ausreichten für die eigentlich Hauptätzung. Zur Lösung dieser Aufgabe wurde dann durch Simulationen ein neuer auf Reflektion abgestimmter Hartmasken Stack bestimmt. Dieser konnte dann aber in der gesetzten Zeit nicht mehr entwickelt werden.

6.5.2 Basisuntersuchungen zur Doppelstrukturierung

Innerhalb des Arbeitpaketes wurden Basisuntersuchungen zur Doppelstrukturierung durchgeführt. Aufbauend auf den ersten Grundlagenuntersuchungen, die außerhalb vor diesem Projekt durchgeführt wurden, sollten Einflussparameter und Anforderungen an den Doppelstrukturierungsprozess erforscht und die Machbarkeit für 36nm Technologieknoten bewertet werden.

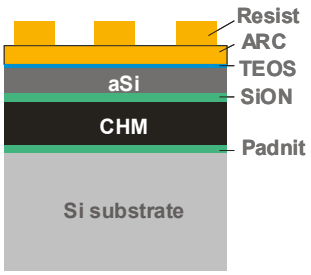
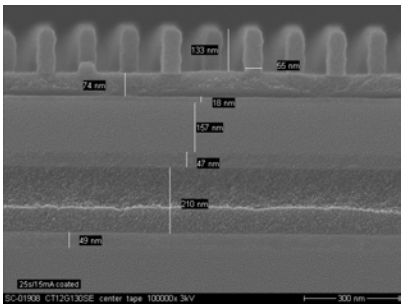


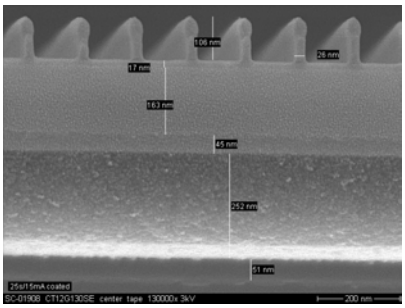
Abbildung 21: Schichtstapelaufbau

Daher wurde zu Projektbeginn zunächst die Strukturierung von 36nm Strukturen in der Doppelstrukturierungstechnik exemplarisch für die „Buried-Worline“ Ebene erforscht. Hierzu wurden zunächst Untersuchungen zum Schichtstapelaufbau durchgeführt und das zu diesem Zeitpunkt bestmögliche Resistsystem aus Lack und darunter liegende Anti-Reflektionsschicht (Bottom-ARC) für die Nutzung bei 193nm Trocken-Lithographie verwendet. Dadurch konnte ein möglichst großes Prozessfenster mit hohem Kontrast bei der Lithographie und dem nachfolgendem Ätzschritt sichergestellt werden. Zusätzlich wurden die Schichtdicken des Schichtstapels (Stack) angepasst, so dass zunächst der in Abbildung 21 gezeigte Stack für die weiteren Untersuchungen genutzt wurde.Im Folgenden werden die Schlüsselergebnisse über die einzelnen Prozessschritte dargestellt.

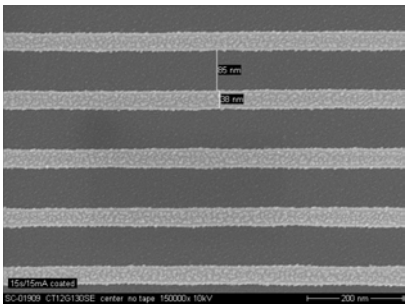
Lithographie:
Ziel war es, für den Lithographieprozess ein Resistsystem zu finden bzw. den entsprechenden Prozess so weiter zu entwickeln, dass mit dessen Hilfe Strukturen bis 30nm auf einem Rastermass von 120nm erzeugt werden können. Dabei flossen die Forschungsergebnisse aus dem vorherigen Arbeitspaket ein. Der dort als vielversprechenster Kandidat hervorgegangene logikartige Lack wurde mit einem darauf abgestimmten Bottom-ARC mit einer zuvor bestimmten optimalen Lackdicke verwendet. Damit konnten mit einer Trockenlithographie Linienstrukturen im Bereich von 50nm erzeugt werden. Mit einem angepassten Trimmätz-Schritt konnten die Strukturen weiter auf die Zielstrukturgröße von 30nm reduziert werden, wobei eine CD-Uniformität über den gesamten Wafer von 1.5nm (3Sigma) erzielt werden konnte. Das verwendete Resist-Budget von 160nm nominal zeigte sich als ausreichend für den nachfolgenden BARC-Öffnungsschritt (BARC-Open). Die Abbildung 22 stellt Querschnittsprofile nach dem Lithographieschritt und dem BARC-Open Schritt dar. Hier zeigt sich deutlich die Änderung der Profilform und CD der Strukturen durch den BARC-Open Schritt. Damit konnten Linienstrukturen im Bereich von 30nm auf einem 120nm Rastermass, die im nachfolgenden Ätzschritt für den Übertrag in das aSi als Maske dienen, erzeugt werden.



Querschnittprofil Resist auf Stack in Seitenansicht



Querschnittprofil nach "BARC-Open"-Schritt mit reduzierter Linienbreite

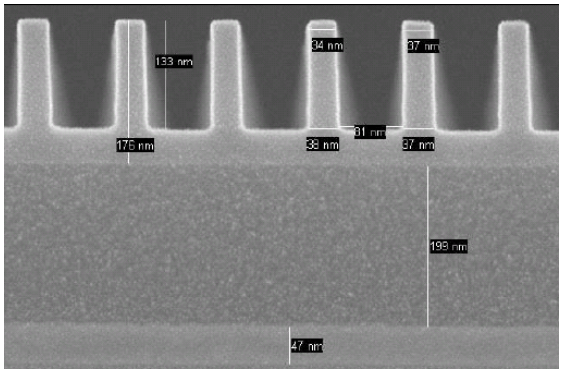


Aufsicht der finalen ~ 30nm Linienstrukturen auf 120nm Pitch.

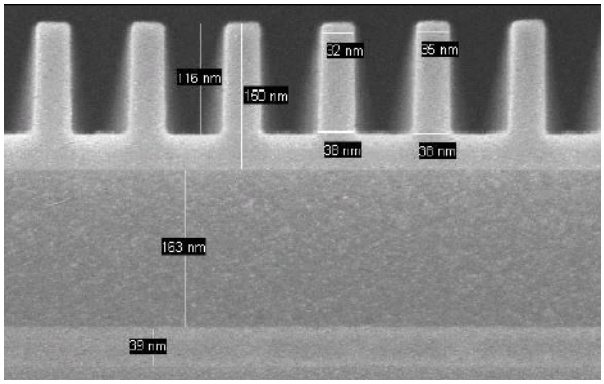
Abbildung 22: Lithographieschritt zur Erzeugung von Linienstrukturen mit ~30nm bei 120nm Rastermass.

Trimm-Ätzung:

Hier standen die Untersuchungen bzgl. des Einflusses der Ätzchemie auf die Profile im Mittelpunkt, um möglichst senkrechte Profile zu erhalten. Ebenso musste sichergestellt werden, dass die CD-Uniformität der Strukturen über die Silizium-Scheibe erhalten bleibt. Zur Untersuchung dieser Abhängigkeiten wurde die Ätzkammer verwendet. Nachdem die Ätzchemie auf HBr/N2 geändert und angepasst wurde, konnten die Profile mittels eines „HBr-Flow" Prozessschrittes verbessert werden. Am Ende stand ein erster Prozess mit einer CD-Signatur <2nm zwischen Waferrand und Zentrum zur Verfügung. Abbildung 23 zeigt jeweils ein Querschnittprofil der ~35nm Strukturen im aSi-Material mit senkrechtem Profil am Waferrand und im Zentrum. Die so erzeugten Strukturen dienen im nächsten Schritt als „Träger" für die zu erzeugenden „Spacer".



Wafer-Zentrum



Wafer-Rand

Abbildung 23: Strukturen nach der Trimm-Ätzung.

„Spacer" Abscheidung

Bei der Spacer-Deponierung beeinflussen Dickenvariationen des „Spacer"-Materials direkt die Linienbreite der Strukturen, da diese im nachfolgenden Prozesschritt als Ätzmaske für den Übertrag der finalen Strukturen dienen. Daher muss ein besonderes Augenmerk auf einen komformalen Abscheideprozess gelegt werden. Abbildung 24 (links) zeigt im Querschnittpro-

fil die abgeschiedene Spacer-Schicht, die konformal über die zuvor erzeugten Strukturen verläuft. Danach werden waagerecht verlaufenen „Space“ entfernt, so dass die in Abbildung 24 (rechts) dargestellten Strukturen entstehen.

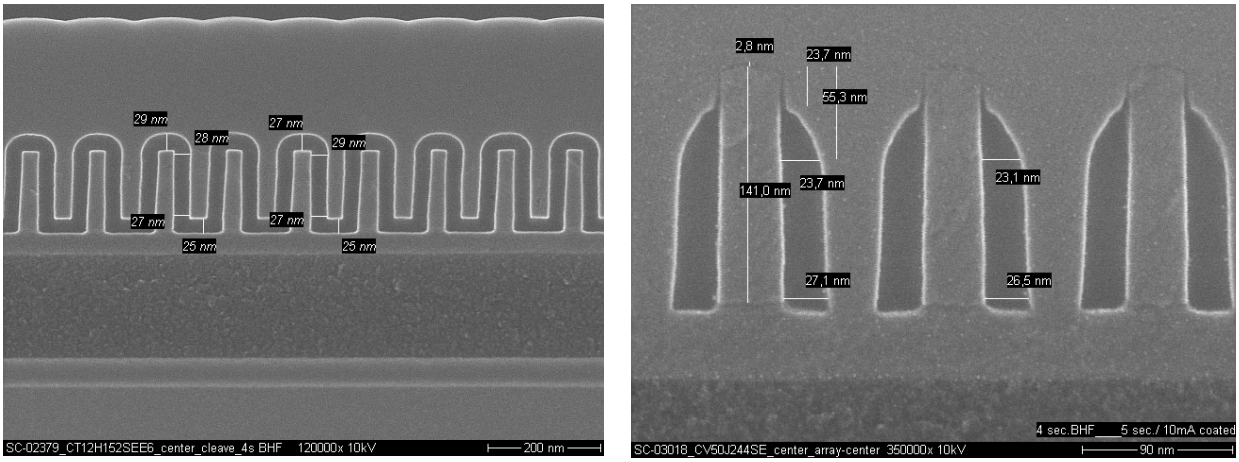


Abbildung 24: Seitenansicht nach Spacer-Deposition (links) und nachfolgender Ätzung (rechts). (Die im linken Bild zu sehende Füllung zwischen den Strukturen dient nur der besseren Präparation)

Dabei trägt die Spacerformierung, also die Abscheidung und die nachfolgende Ätzung massiv zur Gesamt-CD-Uniformität und CD Stabilität des Doppelstrukturierungsprozesses bei. Bei genauerer Untersuchung fiel auf, dass der Startprozess für die Spacer Ätzung nicht optimal war hinsichtlich der Anätzung der unterliegenden SiON-Schicht (roter Kreis in der Abbildung 25 links), als auch hinsichtlich des Abtrages des Spaceroxyds an der Spaceroberkante (blauer Kreis im Abbildung 25 links).

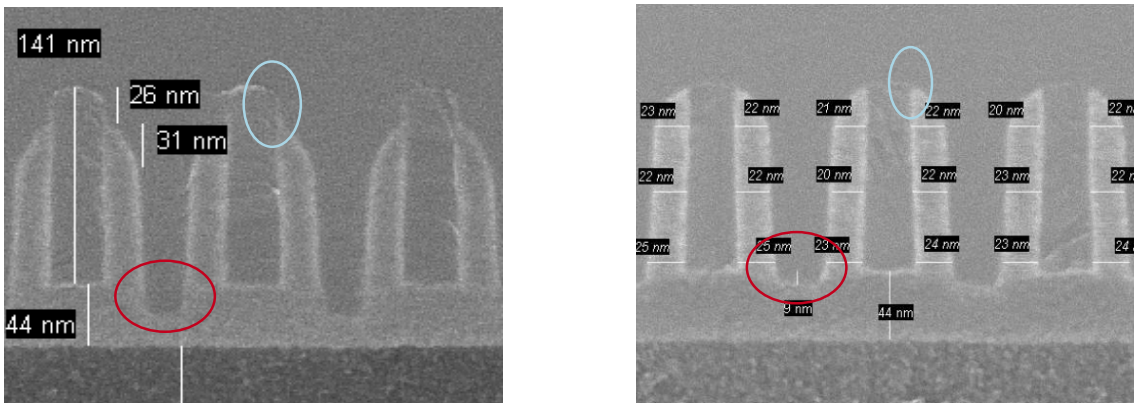
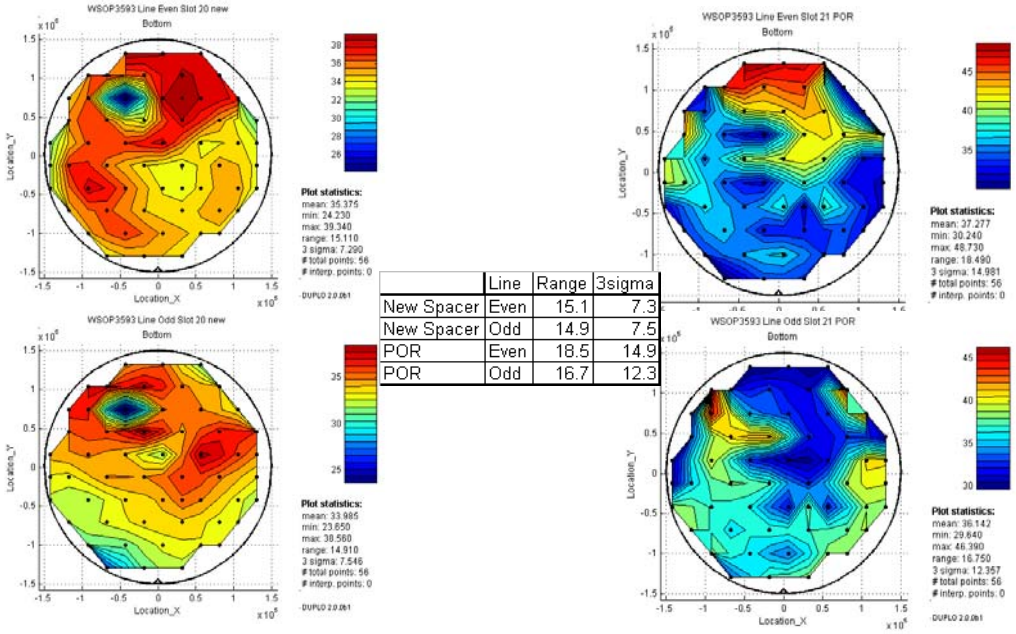


Abbildung 25: Seitenansicht vor (links) und nach (rechts) Optimierung der Spacer Ätzung

Ziel war es nun, nach der Spacerätzung Strukturen mit maximaler Symmetrie zwischen den geraden und ungeraden Spacerbahnen zu erzeugen. Der optimierte Ätzprozess konnte hier

deutliche Vorteile nachweisen (Abbildung 18 rechts). Dieser neue Prozess zeigte auch eine deutlich geringe 3sigma CD Streuung nach der Übertragung in die finalen Strukturen (Abbildung 26).



	Line	Range	3sigma
New Spacer	Even	15.1	7.3
New Spacer	Odd	14.9	7.5
POR	Even	18.5	14.9
POR	Odd	16.7	12.3

Abbildung 26: CD Uniformity für die Even/Odd Strukturen vor (links, „POR“) und nach (rechts, „New Spacer“) der Optimierung der Spacer Ätzung

Als nächstes werden die „Spacer“-Strukturen als Ätzmaske zum Übertrag in das darunterliegende SiON verwendet. Hierzu wurde ein aSi-Füllprozess untersucht, der eine angemessene Dicke für den nächsten Ätzschritt bereitstellt und die Anforderungen erfüllt. Dazu wurden unterschiedliche Ätzchemien untersucht und bewertet. Dabei zeigte sich, dass der Wechsel von einer selektiven zu einer nicht-selektiven Ätzchemie einen positiven Einfluss auf die gewünschte senkrechte Profilform hatte, da diese Profilform im aSi maßgeblich die Profilform im nächsten Ätzschritt, dem sogenannten Hartmaskenöffnungschritt (C-HM open) beim Übertrag der finalen Strukturen in eine Kohlenstoffhartmaske beeinflusst. Zusätzlich konnte dadurch die Differenz zwischen den Profilen der „graden“ und „ungraden“ Linien reduziert werden, so dass damit die CD-Uniformität erhöht werden konnte.

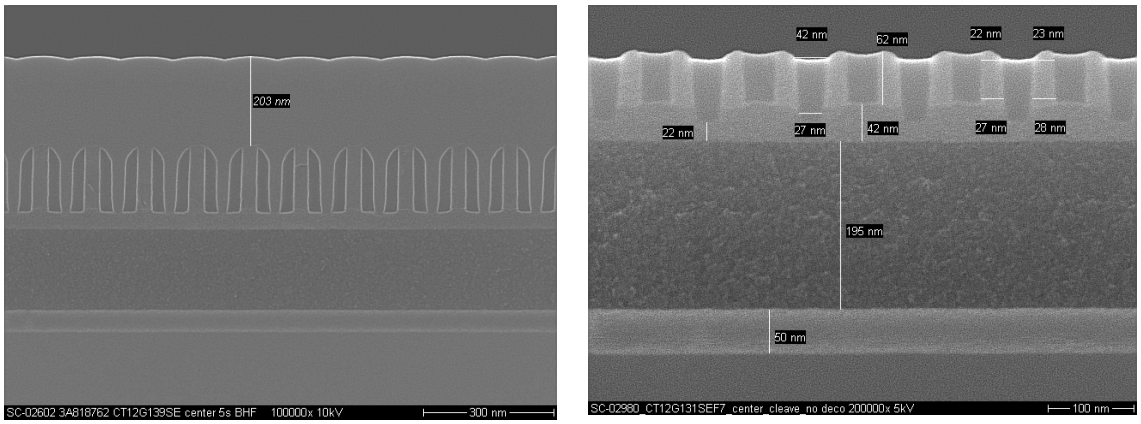


Abbildung 27: Füllung der resultierenden „Spacer"-Strukturen mit aSi (links) und Entfernung der waagerechten „Spacer"-Schicht mit DHF-Ätzung.

Nachfolgend werden diese Strukturen über eine Kohlenstoffhartmaske in das Silizium übertragen, so dass final die in Abbildung 27 dargestellten Strukturen im Bereich von ~35nm auf einem ~70nm Rastermass erzeugt werden konnten.

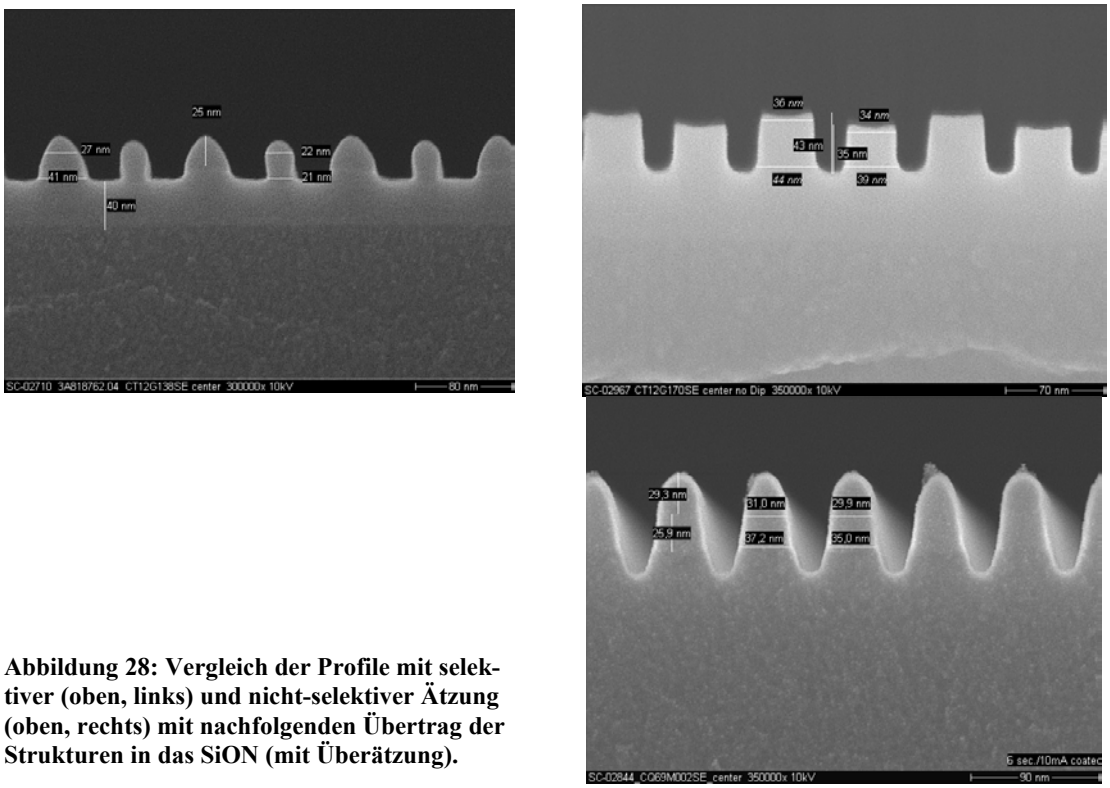


Abbildung 28: Vergleich der Profile mit selektiver (oben, links) und nicht-selektiver Ätzung (oben, rechts) mit nachfolgenden Übertrag der Strukturen in das SiON (mit Überätzung).

Damit konnte die Möglichkeit der Strukturierung im Bereich von ~35nm auf ~70nm Rastermass demonstriert werden und ein Prozess zur Verfügung gestellt werden der für eine erste Erforschung für Technologieknoten mit sub40nm Strukturen genutzt werden kann.

Allerdings sind Schlüsselthemen für die Anwendung der Doppelstrukturierung auf kritische DRAM-Ebenen, wie

- Defekt Charakterisierung und Reduzierung
- Verbesserung der CD-Uniformitäten
- Vereinfachung des DP-Verfahrens
- R2R Implementierung
- Prozesserforschung: insbesondere "Spacer" Ätzung, Stack-Anpassung
- Integration der DP in Gesamt-Prozess

noch zu lösen. Hierzu wurden erste Arbeiten geleistet, die im nächsten Arbeitspaket beschrieben sind.

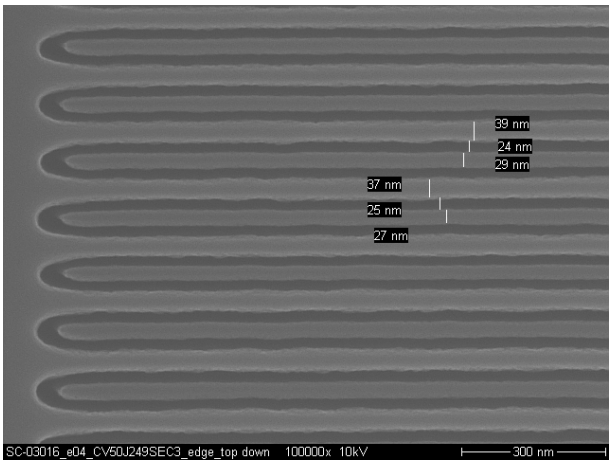


Abbildung 29: Final erzeugte Strukturen im Bereich von ~30nm auf ~60nm Rastermass.

6.5.3 Erforschung der Anwendung der Doppelstrukturierung auf kritische DRAM-Ebenen

Ziel des Arbeitspaketes war die Anwendung der Doppelstrukturierung mit ihren unterschiedlichen Methoden auf die kritischen DRAM-Ebenen hinsichtlich der Erforschung der Anforderungen der 36nm Technologie.

Im Mittelpunkt steht hierbei die „Pitch-Fragmentation" Methode aus dem vorherigen Kapitel. Der Doppelstrukturierungsprozess muss auf die Anforderungen der jeweiligen kritischen Ebene mit den speziellen Strukturen abgestimmt werden. Dabei muss beachtet werden ob z.B. eine erhabene Struktur (Linie, Kontaktfeld) geeignet ist, um die nächste kritische Ebene darauf zu platzieren. Hierzu wurden unterschiedliche Lösungsansätze erforscht und experimentell untersucht. Die gesamte Prozesskette der Doppelstrukturierung wurde evaluiert, um die Wechselwirkungen der einzelnen Prozessschritte aufeinander zu bestimmen. Im Mittelpunkt stand dabei die Lithographie. Hier wurde insbesondere das Zusammenspiel von Maske, Belichter und Resist erforscht und Einflussparameter auf den Prozess identifiziert und angepasst, so dass ein möglichst großes Prozessfenster zur Verfügung gestellt werden kann.

Bei den Untersuchungen müssen zusätzlich die unterschiedlichen Anforderungen hinsichtlich der Strukturierung späteren Zellenarchitektur beachtet werden. Die Arbeiten wurden durchge-

führt, auch wenn die spätere Zellenarchitektur noch nicht fest stand. Ein erster struktureller Lernzyklus der Doppelstrukturierungstechnik wurde innerhalb durchgeführt und die Strukturierung in einer 36nm $6F^2$-Technologie demonstriert. Hierzu wurde der im vorherigen Kapitel beschriebene Doppelstrukturierungsprozess für die „Buried-Wordline“ Ebene verwendet, um die benötigten Zielstrukturen zu erzeugen.

Weiterhin wurde die Strukturierung der AS-Ebene, wobei es sich um einen bestimmten Winkel gedrehte Linien zur Erzeugung des aktiven Bereichs mit Hilfe der Doppelstrukturierung erzeugt werden, realisiert und mit einer Einzel-Belichtungsstrategie hinsichtlich der Prozessperformanz verglichen und bewertet. Für eine Demonstration der Anwendung der Doppelstrukturierung in einer 36nm $6F^2$-Technologie waren zusätzliche Anpassungen der einzelnen Ebenen notwendig. Exemplarisch werden hier die Ergebnisse der Anpassung des Array-Randes und eines bestimmten Kerf-Macros zur Prozesskontrolle dargestellt. Die Arbeiten wurden anhand von Simulationen begleitet, wobei auch „Lens-Heating“ Effekt die Betrachtungen mit einbezogen wurden, um im Vorfeld die lithographisch bestmöglichen Prozessparameter für maximale Prozessfenster zu finden.

Im Folgenden werden die Arbeiten im Detail beschrieben:

<u>„Buried-Wordline“ (BW) Ebene</u>
Mit Hilfe des erforschten Doppelstrukturierungsprozesses sollte die Strukturierung der BW-Ebene mit Zielknoten 36nm in $6F^2$-Zellarchitektur untersucht werden. Zusätzlich wurden Lösungsansätze zur Kontaktierung der Linien über nachfolgende Prozessschritte erforscht. Hierzu sollten wie in Abbildung 30 dargestellt, jede zweite Linie des BW-Array (a) verkürzt (b) werden, so dass eine Nachfolgende Kontaktierung (c) überhaupt möglich ist.

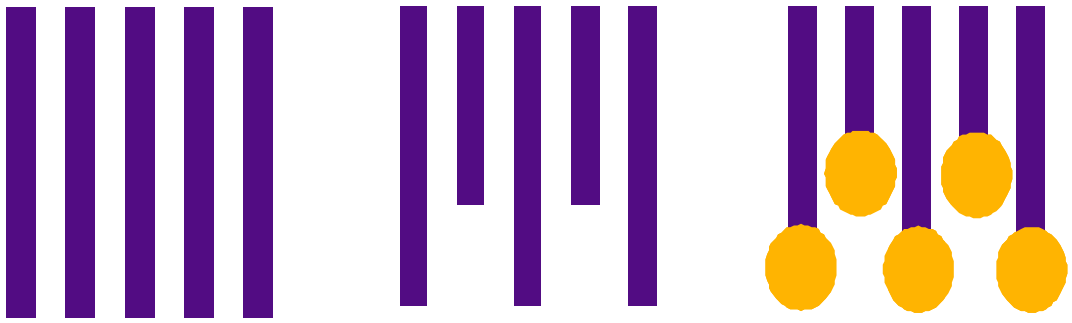


Abbildung 30: Verkürzung der Linien der BW-Ebene (a) über einen zusätzlichen Lithographieschritt (b), um eine Kontaktierung der Bahnen (c) zu ermöglichen.

Die Herausforderungen dabei lagen vor allem darauf, den Lithographieschritt auf die Topologie der BW-Ebene zu realisieren. Hierzu wurde das Resistsystem bestehend aus einem Bottom-ARC zur Planarisierung und Verminderung von Streulicht aus der darunterliegenden strukturierten Ebene und einem Photolack hinsichtlich Materialdicke angepasst. Dies wurde zunächst basierend auf Simulationen durchgeführt und danach experimentell verifiziert.

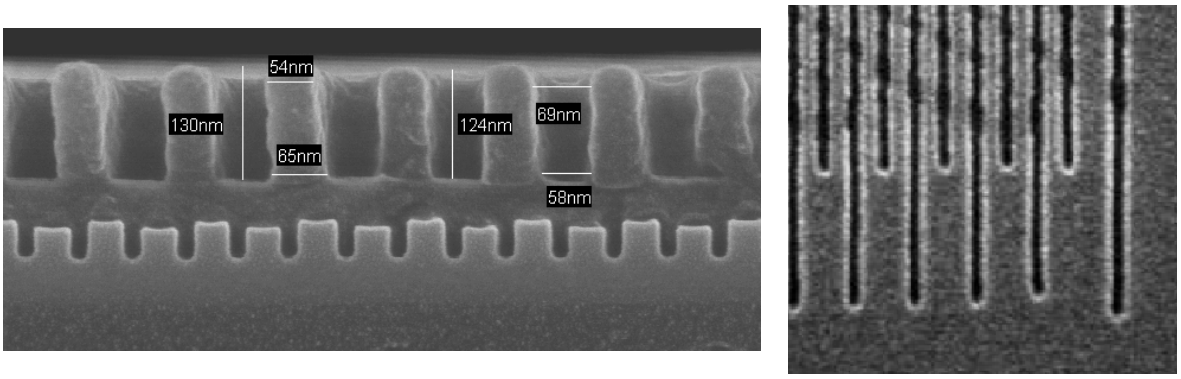


Abbildung 31: Querschnittprofil der Resist-Maske auf der BW-Ebene (links). Aufsicht auf die finalen Linienstrukturen nach der Ätzung (rechts).

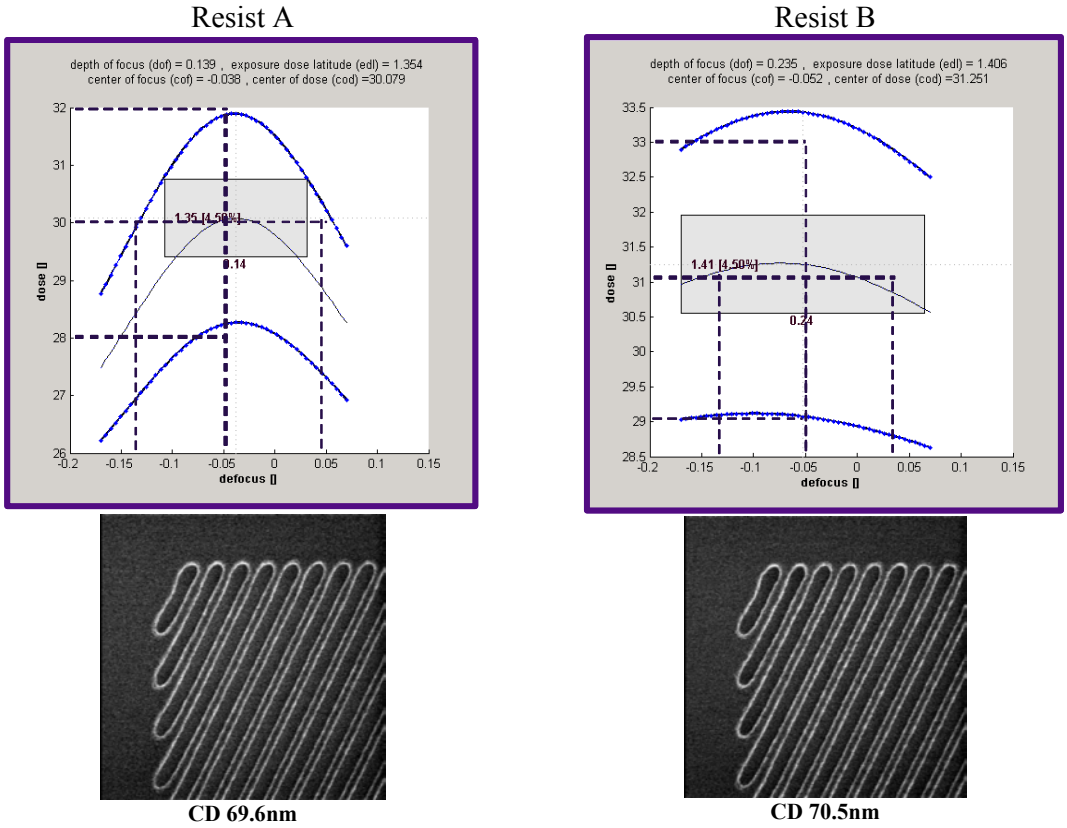


Abbildung 32: Prozessfenster (oben) für die unterschiedlichen Photolacke nach dem Lithographieschritt mit zugehörigen Linien im besten Fokus von -0.05 micron (unten).

Die Experimente zeigen, dass kein negativer Einfluss der BW-Ebene auf das Lithographieergebnis zu erkennen ist. Abbildung 31 (links) zeigt die Resistmaske nach dem Lithographieschritt. Hier ist deutlich die Abdeckung jeder zweiten Linie der untenliegenden strukturierten

BW-Ebene durch die Resistmaske zu erkennen. Die rechte Seite der Abbildung 31 (rechts) zeigt die finalen Strukturen nach der Ätzung. Der Prozess ist hinsichtlich „Overlay"-Anforderungen und „Alignment" der Ebenen zueinander sehr anspruchvoll. Die hierzu durchgeführten ersten Untersuchungen ergaben mit den gewählten Markenlayouts keine Auffälligkeiten. Die für die spätere Produktion wichtige Bewertung und ggf. Weiterentwicklung der durch Linsenfehler (auf Grund der extremen Beleuchtungsbedingungen) erzeugten strukturabhängigen Verzerrungen waren nicht mehr Bestandteil des Projektes.

Erzeugung des aktiven Gebietes

Um das aktive Gebiet zu erzeugen sind gedrehte Linienfelder Notwendig. Hierzu wurden Studien zur strukturellen Machbarkeit durchgeführt. Zunächst wurde die Realisierung der gedrehten Linien mit Hilfe der Doppelstrukturierungstechnik untersucht. Hier lag vor allem die strukturelle Realisierung des aus dichten Linien bestehenden Arrays im Mittelpunkt der Forschungen. Anhand von Simulationen wurden unterschiedliche Ansätze zur lithographischen Strukturierung der gedrehten Linienfelder untersucht. Dabei wurden verschiedene Kompensationsmethoden (OPC, SRAFs) auf ihren Einfluss auf den Lithographieprozess erforscht, um ein möglichst großes Prozessfenster bereitzustellen. Die besten Lösungsansätze wurden experimentell verifiziert. Zusätzlich wurde der Einfluss unterschiedlicher Lacke auf das Prozessergebnis untersucht. Abbildung 32 zeigt im oberen Teil das experimentell Prozessfenster nach dem Lithographieschritt für die beiden besten Resistkandidaten. Die unteren SEM Aufnahmen zeigen die Ränder des erzeugten Linienfeldes, wobei die Linien im nachfolgenden Schritt als Träger für die abzuscheidenden „Spacer" dienen.

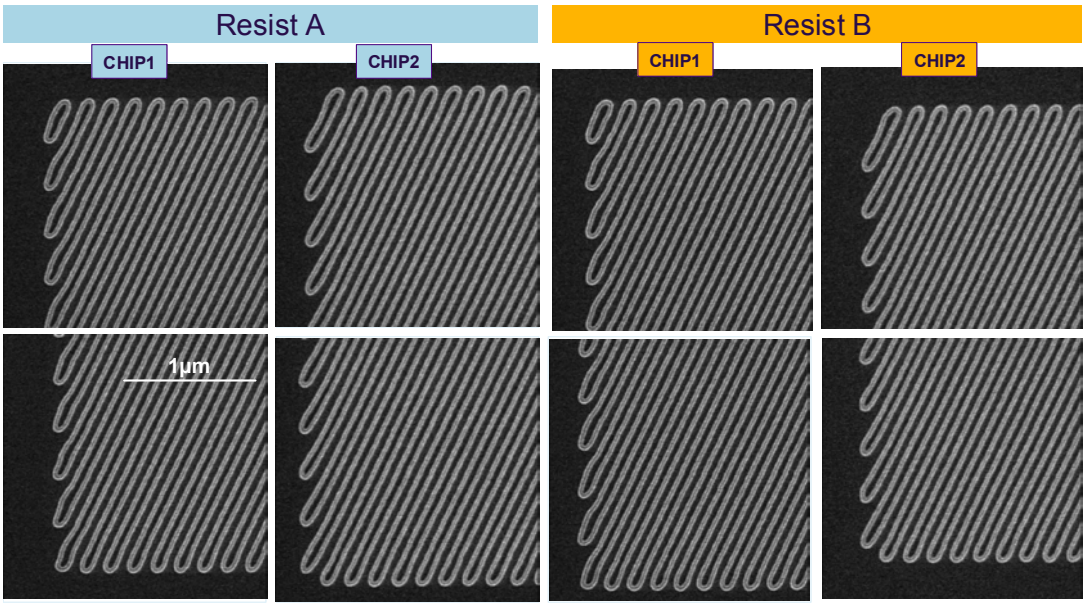


Abbildung 33: Darstellung unterschiedlicher Layout-Kompensationen am Array-Rand für unterschiedliche Resists nach der Doppelstrukturierungssequenz.

Das Ergebnis nach dem finalen Doppelstrukturierungsprozess ist in Abbildung 33 dargestellt. Die Abbildung zeigt auch das Resultat für verschiedene lithographische Kompensationsansätze für den Array-Rand in Abhängigkeit vom verwendeten Lack. Der Resist A (Chip1) zeigt ein leichtes abknicken der Linien am Rand des Linienfeldes, wohingegen die Chip2-Lösung ein korrektes Bild nach der Doppelstrukturierungssequenz für beide Photolacke zeigt und die Anforderungen erfüllt.

Um die Komplexität des Prozesses zu reduzieren wurden Lösungsansätze zur Erzeugung des Aktiven-Gebietes anhand einer einzelnen Belichtung bzw. einer sequenziellen Belichtung des Arrays (AA) und der umliegenden Strukturen (AS) erforscht und die Machbarkeit bewertet, um diesen Prozess mit den Ergebnissen aus der Doppelstrukturierung zu vergleichen.

Hierzu wurde zunächst eine Simulationsstudie durchgeführt und die Abbildungsperformanz der derzeit fortschrittlichsten Belichtergeneration (1900i) hinsichtlicht des Kontrasts in Abhängigkeit der Beleuchtungseinstellungen betrachtet. Die Ergebnisse daraus sind in Abbildung 34 dargestellt. Mit einer herkömmlichen dipolaren Beleuchtung ohne Polarisationseinstellung lässt sich nur ein Kontrast von kleiner 50% erreichen. Mit der Verwendung von polarisierten Licht und einem gedrehten Dipol können Kontrastwerte von 60% und größer erzeugt werden. Damit zeigt die Simulationsstudie, dass ein gedrehter, polarisierter Dipol als Beleuchtungseinstellung für den 36nm Technologieknoten zur Erzeugung gedrehter Linien mit einer Einfachbelichtung möglich ist. Die Standardbeleuchtung des 1900i Belichters stellt die benötigte Performanz jedoch nicht zur Verfügung und ist nun über ein zusätzliches optisches Modul (DOE) zu erweitern.

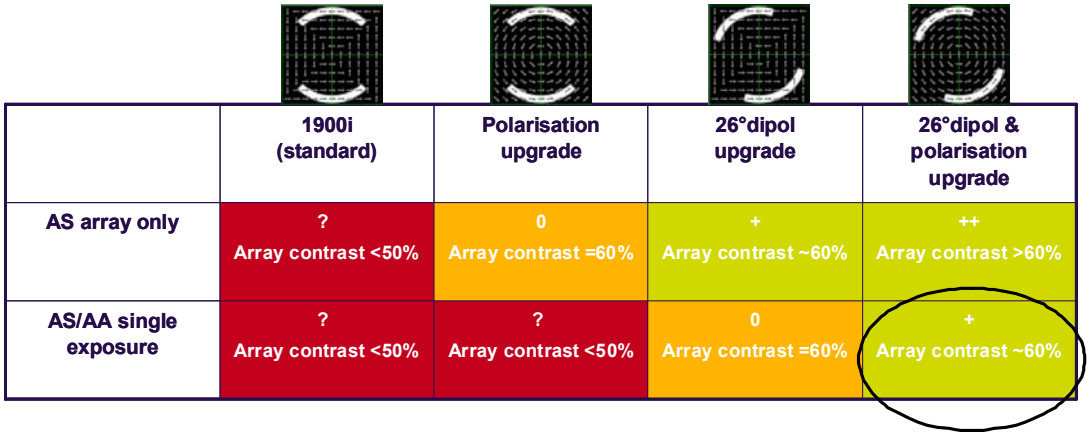


Abbildung 34: Untersuchung der Beleuchtungseinstellungen auf den Kontrast für alternative Konzepte zur Strukturierung des aktiven Gebietes.

Erste experimentelle Versuche wurden zur Erzeugung der AS-Ebene (nur Array) mit den aus den Simulationen gewonnen optimalen Einstellungen durchgeführt. Abbildung 35 zeigt die Zielstrukturen von 36nm bei einem 80nm Rastermass über den Defokus und zugehörige Querschnittsbilder im besten Prozesspunkt. Somit erscheint die Strukturierung der AS-Ebene

mit einer Einzelbelichtung möglich zu sein, allerdings benötigen für eine spätere Einführung dieser Technologie in die Entwicklung der 36nm Technologie alle Belichter eine Aufrüstung (upgrade, DOE) der Beleuchtung, damit die entsprechenden Einstellungen bereitgestellt werden. Dies ist allerdings mit einem erheblichen Investitionsbedarf verknüpft. Weiterhin ist der Einsatz dieses DOE nur möglich wenn ein Einfluss auf die anderen Technologien auszuschließen ist.

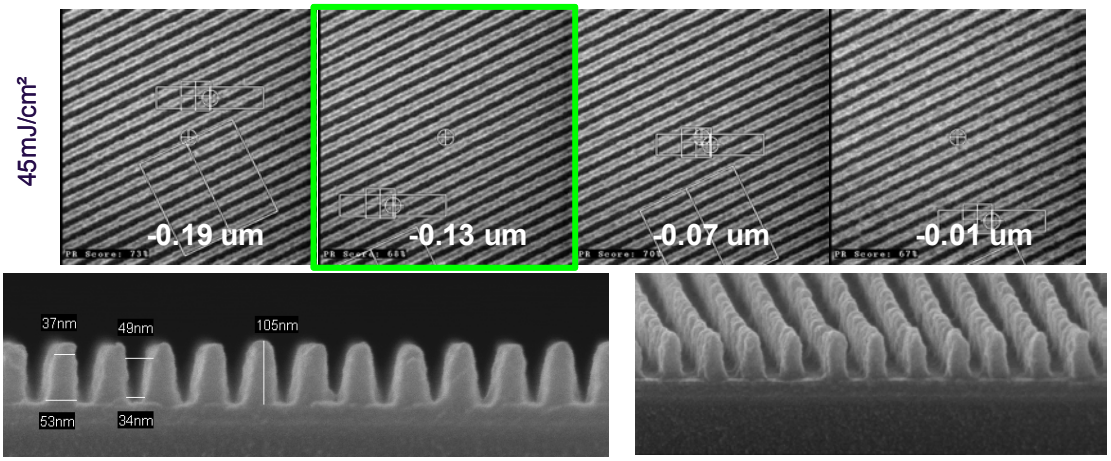


Abbildung 35: Zielstrukturen von 36nm bei 80nm Rastermass in Abhängigkeit vom Fokus mit besten Beleuchtungseinstellung (oben). Querschnittsprofile der Strukturen (unten).

Die in der Abbildung 34 angedeutete AA/AS Single Belichtung birgt eine weitere Schwierigkeit: nämlich eine Lösung zu finden, um die Peripheriestrukturen layouttreu abzubilden. Die heute üblichen OPC Lösungsansätze unter Verwendung von Subresolution Assist Strukturen wie in Abbildung 36 zu sehen führen auf Grund der extremen (rotierten) Dipolen nicht zu dem gewünschten Ergebnis.

Die einzige Möglichkeit hier weiter zu kommen ist die sogenannte „Computational Litho“ oder „Inverse Litho“. Dabei wird ausgehend von der gewünschten Struktur auf dem Wafer (wie im Layout vorgegeben) das optimale Maskenlayout errechnet. Dabei können Parameter wie Prozessfenster und die Machbarkeit der sich ergebenden Maskenstrukturen als Randbedingungen eingegeben werden. Im Rahmen der Sub 40nm Strukturierung wurde ein System der Firma Luminescent auf seine Einsetzbarkeit getestet. Nach eine Entwicklungsphase bzgl. der zu verwendenden Simulationsparameter ergaben sich Strukturen (Abbildung 37), die „im Rechner“ akzeptablen Prozessfenstern lieferten. Eine Validierung der Simulationsergebnisse über eine Testmaske und ein Waferprinting konnte in der gegebenen Zeit nicht mehr erreicht werden.

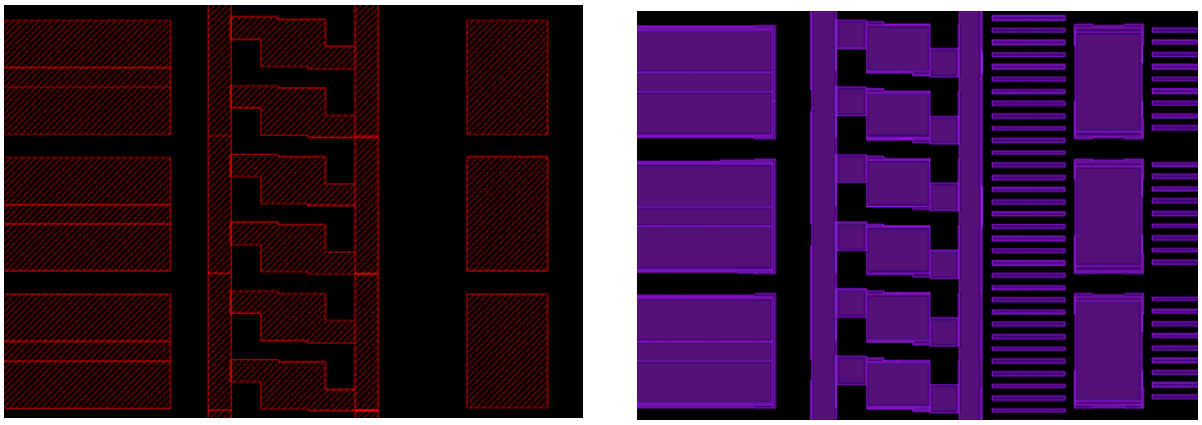


Abbildung 36: Typische Layout Struktur in der AA Ebene vor (links) und nach (rechts) der heutigen Prozedur zur OPC Korrektur unter Verwendung von Subresolution Assist Strukturen

Abbildung 37: „Errechnete“ optimalen Strukturen

Kerf Macro

Im Chip-Kerf, der Bereich zwischen zwei Chips, befinden sich unterschiedlichste Teststrukturen zur Prozesscharakterisierung und Prozesskontrolle. Man unterscheidet zwischen elektrischen und optischen Teststrukturen, die entsprechend ihrer Bezeichnung ausgelesen werden.

Ziel war es innerhalb der Array-Strukturierung mit DP im Kerf eine spezielle Struktur zu erzeugen. Dabei sollten zwei Linien in einem dichten Linienfeld, wie in Abbildung 38 oben links dargestellt, gekreuzt werden. Hierzu wurden verschiedene Designvariationen erstellt und anhand von Simulationen auf ihre Abbildungsqualität erforscht. Für die vielversprechensten Lösungen wurden daraufhin die lithographischen Prozessfenster experimentell untersucht (vgl.Abbildung 38). Nachfolgend wurde der Übertrag der gekreuzten Linien innerhalb des Doppelstrukturierungsprozesses in Abhängigkeit der unterschiedlichen Designvariationen, Lackeinflüssen und Beleuchtungseinstellungen erforscht.

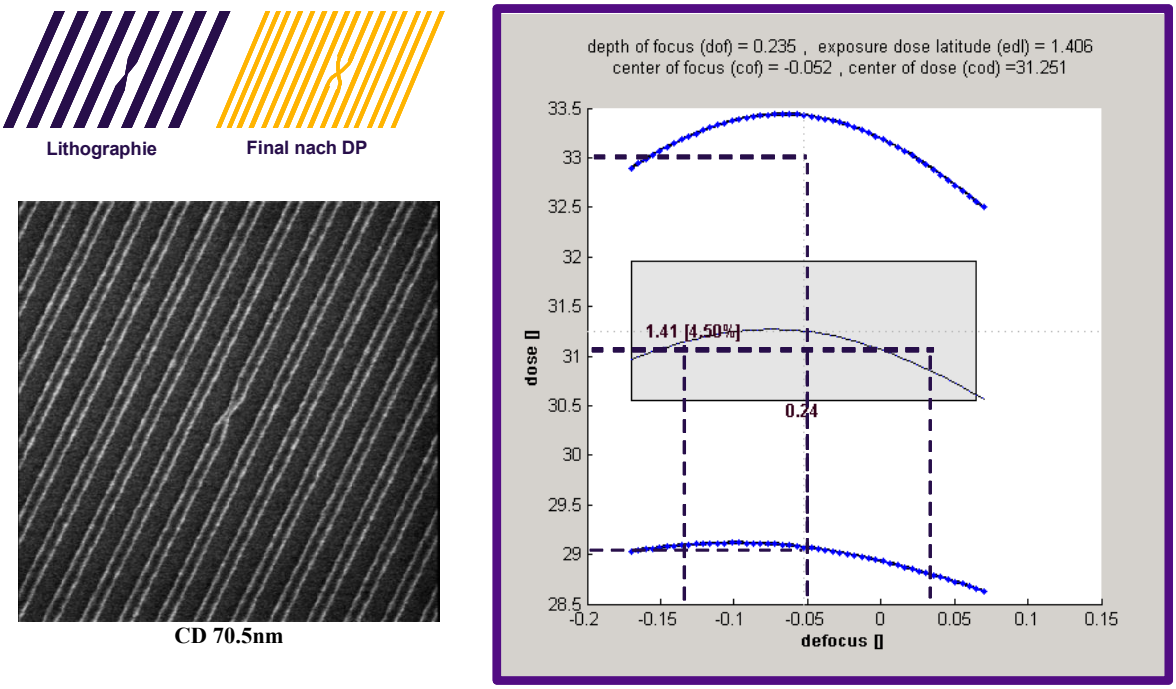


Abbildung 38: Darstellung der Zielstruktur nach Lithographie und DP (oben links). SEM Aufsichtbild nach der Lithographie mit Design1-Variation (unten links) mit zugehörigem Prozessfenster (rechts).

Abbildung 39 stellt die Ergebnisse der Untersuchungen dar. Es zeigt sich, dass die finale DP-Strukturierung nur mit Resist A für einige Designvariationen mit annularer Beleuchtung gelingt (grün umrahmt). Allerdings ist dieser Prozess sehr instabil besitzt ein sehr kleines Prozessfenster. Die notwendigen Prozessanpassungen bzw. die Suche nach einer geänderten, den ursprünglichen elektrischen Anforderungen genügenden, neuen Struktur konnten auf Grund der gegebenen zeitlichen Bedingungen nicht mehr durchgeführt werden.

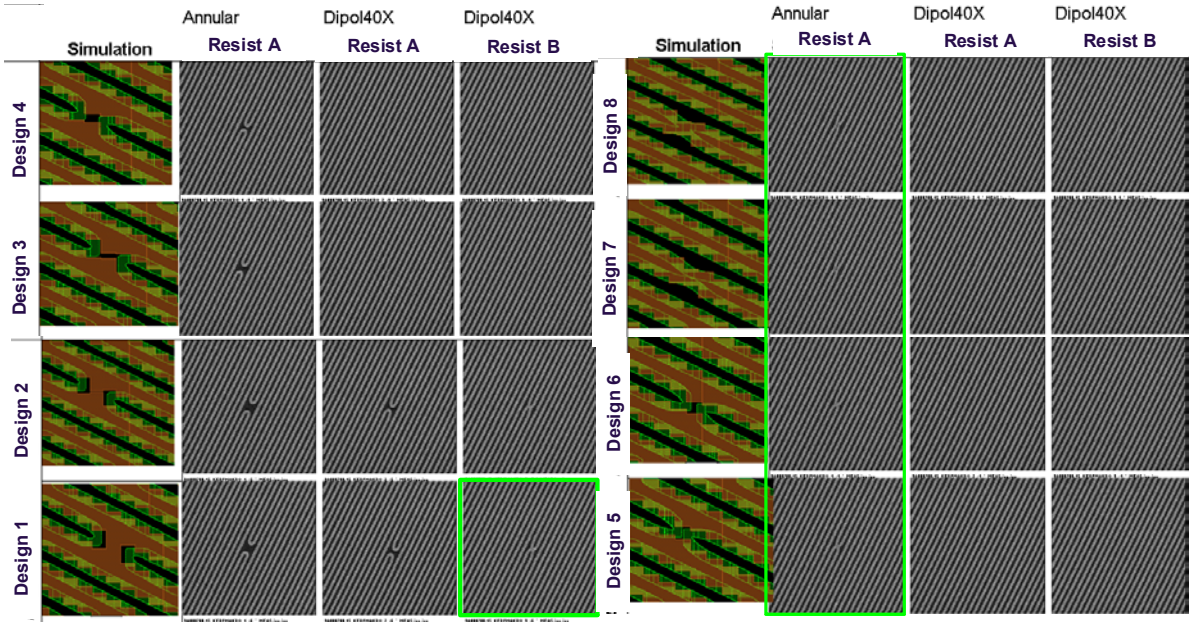
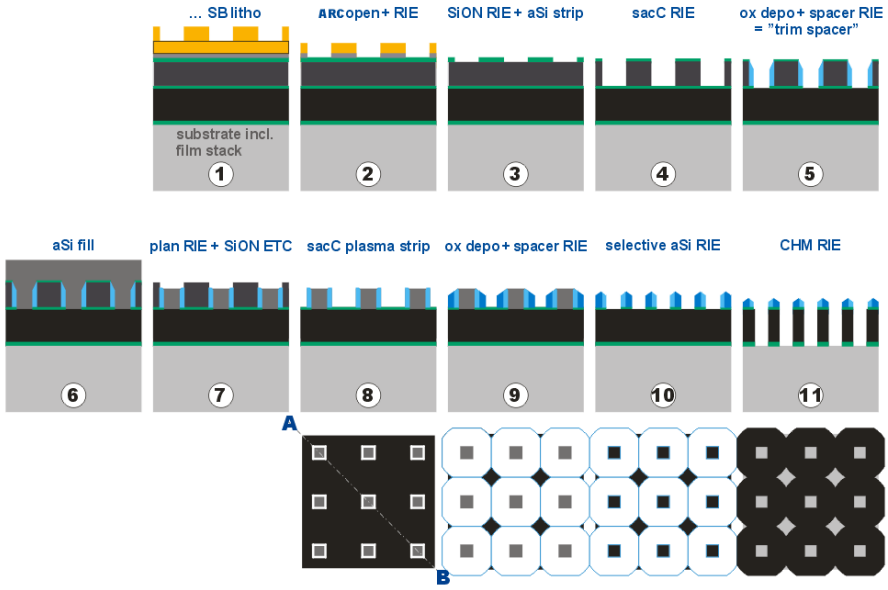


Abbildung 39: Vergleich der finalen DP-Strukturierung zur Erzeugung einer gekreuzten Struktur im Linienfeld für unterschiedlich anhand von Simulationen angepasste Designvariationen für zwei verschiedene Resists und annularer bzw. dipolarer Beleuchtungseinstellung.

Erzeugung des Capacitor Ebene

Bei zunehmender Verkleinerung der zu erstellenden Raster kann die Kondensatorebene bei DRAM Bausteinen nicht mehr als Crosspatterning mit Hilfe von zwei lithographisch erzeugter Line/Space Ebenen realisiert werden. Daher bedarf es eines innovativen Ansatzes der die lithographisch erzeugbare Anzahl der Löcher integrativ verdoppelt. Dazu wurden unter teilweiser Verwendung die im letzten Arbeitspaket erarbeiteten Ansätze neue Verfahren untersucht. Eine denkbare Prozesssequenz die über deine Verdopplung der Strukturdichte mittels erstellter Spacer geht, ist in Abbildung 40 (oben) dargestellt.



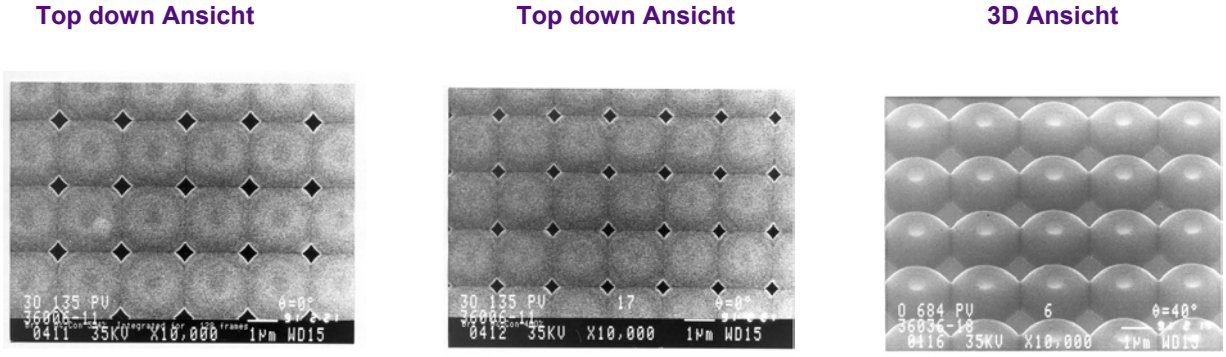


Abbildung 40: Prozessabfolge zur Verdoppelung von lithographisch herstellbaren Locharrays (oben), erste experimentelle Ergebnisse (unten)

Diese Prozesssequenz wurde auf Silizium Scheiben angetestet. Der Startpunkt waren die Strukturen des in Kapitel beschriebenen Crosspatternings und die ersten experimentellen Ergebnisse sind in Abbildung 40 (unten) zu sehen. Eine vollständige Prozessierung bis zur eigentlichen Lochverdoppelung wurde nicht mehr durchgeführt.

6.6 Literatur

Park, J. et al*., **"Application challenges with double patterning technology (DPT) beyond 45 nm",*** In: 26th Annual BACUS Symposium on Photomask Technology. SPIE, 2006. pp.634922-1-634922-12; (18-22 September 2006; Monterey, CA, USA.) *(SPIE Proceedings; Vol. 6349)*

Wiaux, V. et al., ***"193nm immersion lithography towards 32nm hp using double patterning",*** Presented at: 3rd International Symposium on Immersion Lithography. (2-5 October 2006; Kyoto, Japan.)

Wiaux, V et al., ***"Double patterning proof-of-concept from split to 2D patterns",*** Presented at: ASML Lithography Customer Symposium. (1 November 2006; San Diego, CA, USA.)

IMEC, "***193nm immersion lithography towards 32nm hp using double patterning***", http://www.microelectronics.be/wwwinter/mediacenter/en/SR2006/681406.html, (2006)