

Verbundprojekt „CoolReader“

Teilvorhaben „Energieoptimierte Übertragungsverfahren und Prozessorarchitekturen“

Abschlussbericht

Projektpartner: TU Dresden

Förderkennzeichen: 13N10227



Kontakt:

Prof. Dr.-Ing. Dr. h.c. Gerhard Fettweis
Vodafone Stiftungslehrstuhl Mobile Nachrichtensysteme
Technische Universität Dresden
01062 Dresden

Telefon: +49 351 463-41000
Telefax: +49 351 463-41099
Email: fettweis@ifn.et.tu-dresden.de

Inhaltsverzeichnis

Inhaltsverzeichnis	3
I. Kurzdarstellung	4
I.1 Aufgabenstellung	4
I.2 Voraussetzungen	4
I.3 Planung und Ablauf	5
I.4 Wissenschaftlich- technischer Stand zu Projektbeginn	5
I.5 Zusammenarbeit mit anderen Stellen	6
II. Wissenschaftlich-/ technische Ergebnisse	7
II.1 AP1 – Systemkonzept	7
II.2 AP5 – Wireless	8
II.2.1 Task 1 – Grundlagenbetrachtungen	8
II.2.2 Task 2 – Parameterspezifikation	12
II.2.3 Task 3 – Algorithmen-Implementierung	14
II.2.4 Task 4.1 – Prozessorarchitektur, Festlegung der Algorithmen	16
II.2.5 Task 4.2 – Prozessorarchitektur, Algorithmen Referenzmodelle	18
II.2.6 Task 4.3 / 4.4 – Prozessorarchitektur, Algorithmen-Analyse	18
II.2.7 Task 4.5 – Prozessorarchitektur, Prozessormodell	19
II.2.8 Task 4.6 – Prozessorarchitektur, Hardwareimplementierung	20
II.2.9 Task 4.7 – Prozessorarchitektur, FPGA-Demonstrator	21
III. Verwendung der Mittel und Verwertung der Ergebnisse	22
III.1 Verwendung der Zuwendungen	Error! Bookmark not defined.
III.1.1 Personalmittel	Error! Bookmark not defined.
III.1.2 Gegenstände und Investitionen über 410 €	Error! Bookmark not defined.
III.1.3 Unteraufträge	Error! Bookmark not defined.
III.1.4 Dienstreisen	Error! Bookmark not defined.
III.1.5 Wichtigste Positionen des zahlenmäßigen Nachweises	Error! Bookmark not defined.
III.2 Angemessenheit der Arbeiten, Voraussichtlicher Nutzen, Verwertbarkeit	Error! Bookmark not defined.
III.3 Projektpublikationen	24
Literaturverzeichnis	25

I. Kurzdarstellung

I.1 Aufgabenstellung

In diesem Teilprojekt des Gesamtvorhabens „Energieautarkes E-Paper mit Breitband-Funkanbindung“ wurden energieoptimierte Übertragungsverfahren sowie Prozessorarchitekturen für energieoptimierte Breitbandempfänger erforscht. Die Spezifizierung eines adaptiven Übertragungsprotokolls gewährleistet eine effiziente Nutzung des beschränkten Energiepotentials des E-Papers. Die Anpassung der Parameter einer Breitband-Funkverbindung, wie zum Beispiel Long Term Evolution (LTE), erlaubt eine Senkung der benötigten Energie. Eine Unterscheidung der zu sendenden Daten in verschiedene Kategorien ermöglicht eine energieoptimierte Übertragung. Tagesaktuelle Nachrichten, welche am Morgen zur Verfügung stehen müssen, können zum Beispiel zu Niedriglastzeiten des Netzes gesendet werden. Dies hat den Vorteil von verbesserten Kanalbedingungen mit weniger Interferenzen und einer potentiell höheren Bandbreite, was wiederum zu Energieeinsparung sowohl auf Sende- als auch auf Empfangsseite führt. Mit der Entwicklung eines Push-Dienstes können Daten, wie zum Beispiel Nachrichten, zu ausgewählten Zeitpunkten auf das Endgerät übertragen werden, ohne dass ein ständiges Abfragen von Seiten der Endgeräte nötig ist. Dabei werden zum einen die Auslastung der Netzinfrastruktur (Übertragung zu Niedriglastzeiten) und zum anderen die Effizienz des Kommunikationschips im E-Paper erhöht. Bei Letzterem geschieht dies vor allem durch Anpassung der Parameter der Übertragungsverfahren sowie durch eine möglichst effiziente Nutzung von Standby- bzw. Ausschaltzeiten. Die Möglichkeiten einer On-Demand Übertragung wurden ebenfalls untersucht. Das Teilprojekt entwickelte neue Modellierungsansätze, welche eine Anpassung der Übertragungsprotokolle analysieren und bezüglich der benötigten Energie bewerten.

Ein weiterer Schwerpunkt dieses Teilvorhabens ist die Erforschung und Bewertung von applikationsangepassten Prozessorarchitekturen anhand eines Prozessorentwurfs für einen energieoptimierten multi-Mode Empfänger, wobei das Hauptaugenmerk auf die aufwendigen Verfahren der Fehlerkorrektur gelegt wird. Anhand optimierter Partitionierungs- und Parallelisierungskonzepte wurde ein FPGA-Demonstrator des Prozessors entwickelt, um die Umsetzung und Leistungsfähigkeit der Architekturinnovationen bzgl. der energierelevanten Teile eines multi-Mode Breitbandempfängers aufzuzeigen.

Des Weiteren wird im Teilvorhaben die Spezifikation des Gesamtsystems erarbeitet sowie das Gesamtvorhaben koordiniert. Die Umsetzbarkeit des entwickelten Konzeptes sollte durch Demonstratoren von Schlüsselkomponenten validiert werden.

I.2 Voraussetzungen

Der Vodafone Stiftungslehrstuhl Mobile Nachrichtensysteme hat sich mit 400+ Publikationen, 3000+ Zitierungen auf dem Gebiet der Funkübertragungstechnik und der Chiprealisierung einen internationalen Spitzenplatz erarbeitet. Die Einrichtung des weltweit einzigen Testbetts für Konzepte zur Weiterentwicklung der Mobilfunknetze (LTE+) in Dresden, innerhalb des EASY-C Projekts, ermöglichen es, Technologien für die nächste Generation von Mobilfunknetzen zu erforschen. Vorkenntnisse sind im Bereich der Energieeinsparung mit Hilfe der am Lehrstuhl erstmals genutzten DirtyRF-Techniken möglich. Beispielsweise können dabei Leistungsverstärker

im nichtlinearen, aber energieeffizienteren Bereich betrieben werden. Des Weiteren ergibt sich folgende Stellung in der internationalen Forschungslandschaft:

- Spitzenpositionen in mehreren Forschungsgebieten, z.B. Software Defined Radio Hardware, Distributed MIMO, DirtyRF
- Entwurf des hocheffizienten Tomahawk-System on Chip (SoC) mit sechs parallelen Vektorprozessoren, zwei skalaren DPSs sowie zwei applikationsspezifischen Prozessoren in einem integrierten Multi-Core-System mit minimiertem Energieverbrauch
- Ausrichtung mehrerer internationaler IEEE - Konferenzen in Dresden
- Der Leitung mehrerer bedeutender nationaler Projekte im Mobilfunk, wie WIGWAM und EASY-C sowie regionaler Cluster, wie das Spitzencluster CoolSilicon und des Exzellenzcluster cfAED

I.3 Planung und Ablauf

Das Teilvorhaben der TU Dresden war in zwei Arbeitspakete untergliedert.

Im Arbeitspaket 1 (Systemkonzept) wurde mit dem Unterauftragnehmer Vodafone und in enger Kooperation mit den anderen Projektpartnern eine Spezifikation des E-Reader Endgerätes erarbeitet. Dies umfasste einerseits die Aufstellung typischer Anwendungsfälle und der daraus resultierenden Anforderungen an das mobile Gerät. Andererseits beinhaltete die Spezifikation eine Bewertung von Kenngrößen hinsichtlich ihrer Eignung zur Beschreibung der energetischen Effizienz von Diensten. Beide Teile wurden eingesetzt, um die Dienste hinsichtlich des Energieverbrauchs zu optimieren.

Im Arbeitspaket 5 (Wireless) wurden zunächst grundlegende Erkenntnisse über für die Energieeffizienz relevanten Parameter der Übertragungsverfahren erarbeitet. Mit Hilfe dieser Kenntnisse wurden Untersuchungen angestellt, um die wesentlichen Komponenten des Übertragungssystems hinsichtlich der Energieeffizienz zu optimieren. Zusätzlich wurden ausgewählte MAC/PHY Verfahren zur Implementation im Demonstrator implementiert. Parallel dazu wurde eine Prozessorarchitektur entwickelt, die essenzielle Algorithmen im Funkstandard besonders effizient ausführen. Hierfür wurden zunächst die wichtigen Algorithmen identifiziert, implementiert und optimiert. Auf dieser Basis wurde ein Architekturkonzept für den Prozessor entwickelt. Dieses wurde zunächst in einem Simulationsmodell verifiziert und anschließend in einer Hardwarebeschreibungssprache umgesetzt. Das Endergebnis dieser Aufgabe ist ein FPGA-basierter Demonstrator des Prozessors.

I.4 Wissenschaftlich- technischer Stand zu Projektbeginn

Push-Dienste sind in der Mobilkommunikation beim Empfangen von E-Mails seit einigen Jahren für den Endanwender verfügbar. Marktführer in diesem Bereich ist Research in Motion (RIM) mit seinen Blackberry wireless E-Mail-Produkten. Diese ermöglichen eine zeitnahe Übertragung von empfangenen Nachrichten auf das Endgerät. Eine ständige Abfrage des Servers vom Endgerät nach neuen Nachrichten erfolgt hierbei nicht. Diese Techniken war zu Projektbeginn derzeit jedoch nicht auf Energieeinsparung ausgelegt. So ist eine Übertragung zu bestimmten Zeitpunkten, wie zum Beispiel zu Niedriglastzeiten des Mobilfunknetzes, nicht möglich. Des Weiteren wird keine Optimierung hinsichtlich des Energieverbrauches des Kommunikationschips vorgenommen.

I.5 Zusammenarbeit mit anderen Stellen

Die folgende Liste zeigt die Arbeitsaufteilung innerhalb des Projektes

1. **Partner Intel (vorm. BlueWonder)** – Funkmodem
2. **Partner Infineon** – Power Control und Security
3. **Partner Roth & Rau** – Hocheffizientes Solarpanel und -technologie
4. **Partner Plastic Logic** – Flexibles Display und Applikationsprozessor
5. **Unterauftragnehmer Vodafone** – Content und Mobilfunknetz

II. Wissenschaftlich-/ technische Ergebnisse

II.1 AP1 – Systemkonzept

Das Cool Reader Systemkonzept ist die zentrale Spezifikation des Cool Reader Lesegerätes und gleichermaßen eine Vorlage zur Dimensionierung energieautarker Gadgets.

Der erste Teil des Systemkonzeptes befasst sich mit den Nutzerprofilen, wo grundsätzlich zwischen privater und professioneller Nutzung unterschieden wird. Der Anwendungsfall Privatanwender geht davon aus, dass das Gerät täglich insgesamt zwei Stunden hauptsächlich passiv zum Lesen von Tageszeitungen, Zeitschriften und Büchern verwendet wird. Mit täglich 30 Minuten ist die Nutzung von E-Mail, Chatdiensten und Online-Shopping vorgesehen, bei denen eine aktive Internetverbindung benötigt wird. Dieses Anwenderprofil benötigt pro Tag 0,8 Wh Energie. Der professionelle Anwendungsfall beinhaltet täglich drei Stunden Lesezeit für Zeitungen und sonstige Dokumente sowie eine weitere Stunde für Anwendungen bei denen eine aktive Internetverbindung benötigt wird und kommt auf einen Energiebedarf von 1,6 Wh pro Tag. In beiden Anwendungsfällen sind ebenfalls regelmäßige Downloads etwa einer Tageszeitung enthalten.

Auf Basis dieser Anwendungsfälle wird nun eine Analyse verschiedener Solarzellenkonfigurationen durchgeführt. Es werden folgende Möglichkeiten zur Unterbringung der Solarzellen in Betracht gezogen:

Typ 1: Hocheffiziente kristalline Solarzelle auf Displayrahmen und Innenseite Umschlag

Typ 2: Hocheffiziente kristalline Solarzelle auf Geräterückseite oder Innenseite Umschlag

Typ 3: Hocheffiziente kristalline Solarzelle auf Displayrahmen

Typ 4: Anorganische Dünnschichtsolarzelle auf Displayrahmen und Innenseite Umschlag

Typ 5: Flexible, organische Solarzelle auf Displayrahmen und Innenseite Umschlag

Typ 6: Hypothetische, in das Display integrierte, organische TPV-Zelle

Abbildung 1 zeigt die jeweils erreichbare Energieausbeute:

Parameter	Typ 1	Typ 2	Typ 3	Typ 4	Typ 5	Typ 6 Einheiten
Standardlichtintensität: 1 Sun (AM 1,5; 1kW/m ²)	100	100	100	100	100	100 mW/cm ²
Nutzbarer Anteil diffuser Raumbeleuchtung	1%	1%	1%	1%	1%	1%
Wirkungsgrad der Solarzelle	17%	17%	17%	11%	6%	1%
Leistung der Solarzelle pro Flächeneinheit	0.17	0.17	0.17	0.11	0.06	0.01 mW/cm ²
Nutzbare Fläche für Solarzelle	810	578	232	810	810	346 cm ²
Solarleistung der Gesamtfläche	138	98	39	89.1	49	3.5 mW
Ladedauer für Tagesenergiebedarf 800mWh	5.8	8.1	20	8.98	16	231 h

Abbildung 1: Energieausbeuten verschiedener Solarzellentypen und –flächenkonfigurationen bei Beleuchtung mit diffusem Raumlicht

Als realistischer Ladezeitraum wird von 8 h pro Tag und diffusem Licht ausgegangen, wie es etwa in Büroräumen üblich ist. Unter dieser Beleuchtung steht nur 1% der normierten Lichtintensität zur Verfügung und viele Solarzellen sind unter diesen Bedingungen weniger effizient als bei voller Bestrahlung. Aus dieser Tabelle ist ersichtlich, dass die Energieausbeute von in das Display integrierten transparenten und flexiblen organischen Solarzellen um Faktor 30 zu niedrig ist. Es wird hier Typ1 gewählt, der den privaten Anwendungsfall bereits abdeckt. Die Lücke zum professionellen Anwendungsfall ist klein genug, um durch technische Fortschritte während

der Projektdauer geschlossen zu werden. Erwähnenswert ist auch, dass mit allen Konfigurationen (außer Typ 6) der Energiebedarf innerhalb von wenigen Minuten gedeckt werden kann, wenn die Möglichkeit direkter Sonnenbestrahlung besteht.

In der Spezifikation sind weiterhin die Systemkomponenten und Schnittstellen definiert. Abbildung 2 zeigt eine Übersicht der Systemkomponenten und Schnittstellen.

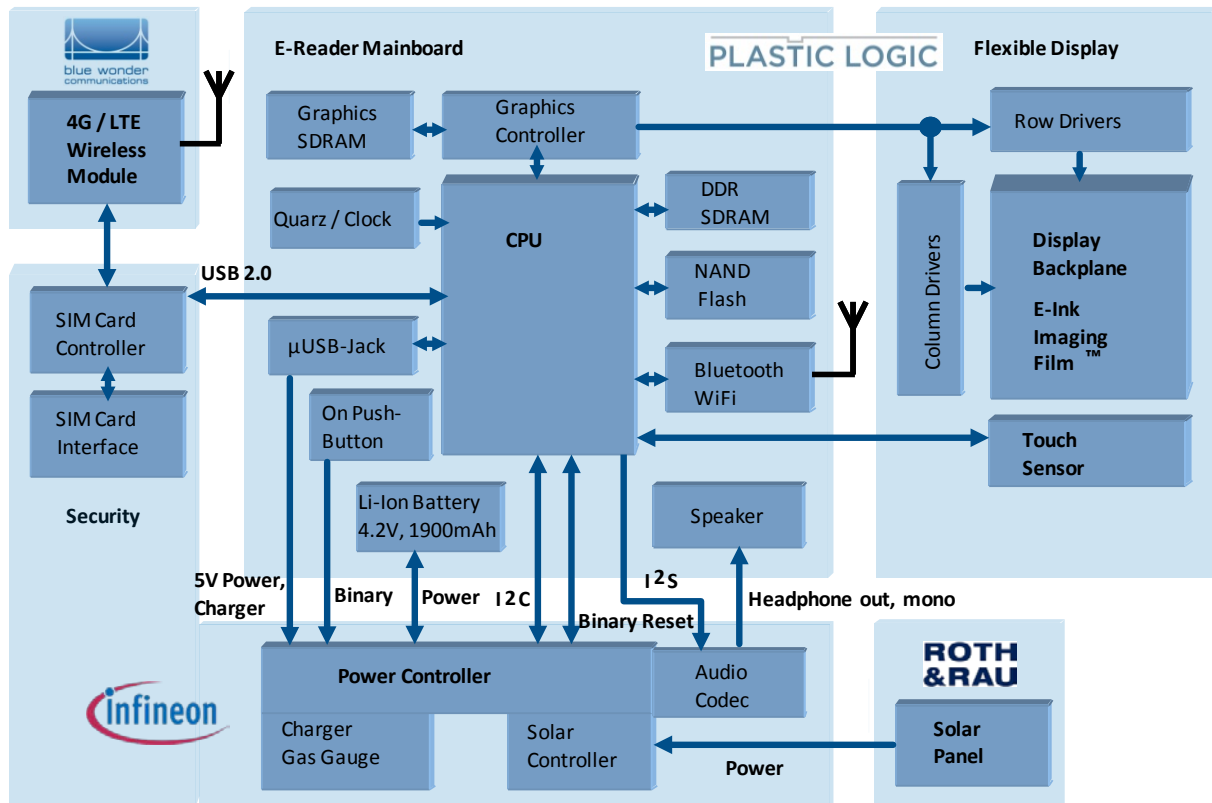


Abbildung 2: Übersicht der Systemkomponenten und Schnittstellen

II.2 AP5 – Wireless

II.2.1 Task 1 – Grundlagenbetrachtungen

In dieser Teilaufgabe werden für die Energieeffizienz relevante Teile und Parameter der Übertragungsverfahren identifiziert und optimiert.

Analyse des Wertebereichs zentraler Parameter

Da sich die erforderliche Sendeleistung im Verstärker in einem großen Intervall bewegt, stellt die Optimierung der Leistungsaufnahme des Radioteils in der Aufwärtsstrecke (UL) ein großes Energieeinsparpotenzial dar. Die Leistungsaufnahme des Radioteils wird dabei als Summe zweier Komponenten modelliert: Zum einen die Leistungsaufnahme des Verstärkers, die stark mit der Datenrate korreliert ist, zum anderen die Schaltkreisleistung, die von der Datenrate unabhängig ist. Für energieeffiziente Übertragung wird die Kenngröße „Energieverbrauch pro Bit“ bzw. äquivalent „Leistungsverbrauch pro Datenrate“ minimiert. Es zeigt sich zum einen, dass die erreichbare Energieeffizienz und optimale Datenrate zunehmen, je kleiner der Abstand zwischen Sender und Empfänger ist [1]. Daraus ergeben sich folgende Methoden für energieeffiziente Übertragung:

- 1) Zur Übertragung über kurze Strecken wird die Leistungsaufnahme von der Schaltkreisleistung dominiert. In diesem Fall sollte die höchstmögliche Rate gewählt werden.
- 2) Bei großem Abstand zur Basisstation, wird die Leistungsaufnahme von der Sendeleistung dominiert. Wird die Sendeleistung reduziert, kann die Energieeffizienz erhöht werden, allerdings auf Kosten der spektralen Effizienz.
- 3) Für Datenverkehr mit geringen Latenzanforderungen kann die Übertragung zurückgestellt werden, bis günstigere Kanalbedingungen vorliegen, etwa weil sich das Endgerät näher an der Basisstation befindet.
- 4) Ebenfalls kann die Übertragung auf Niedriglastzeiten verschoben werden in denen mehr Bandbreite verfügbar ist. Dies ermöglicht eine höhere Datenrate bei geringerer Sendeleistung.

Analyse verschiedener Modulations- und Codierungsvorschriften und Abschätzung des Decodieraufwandes im Endgerät

Es ist sinnvoll, die Algorithmenoptimierung im Empfänger auf die aufwändigsten Blöcke zu beschränken, da hier die größten Gewinne zu erwarten sind. Hierfür ist in Abbildung 3 schematisch eine LTE-Empfangsstrecke dargestellt, die alle in Frage kommenden Algorithmen enthält.

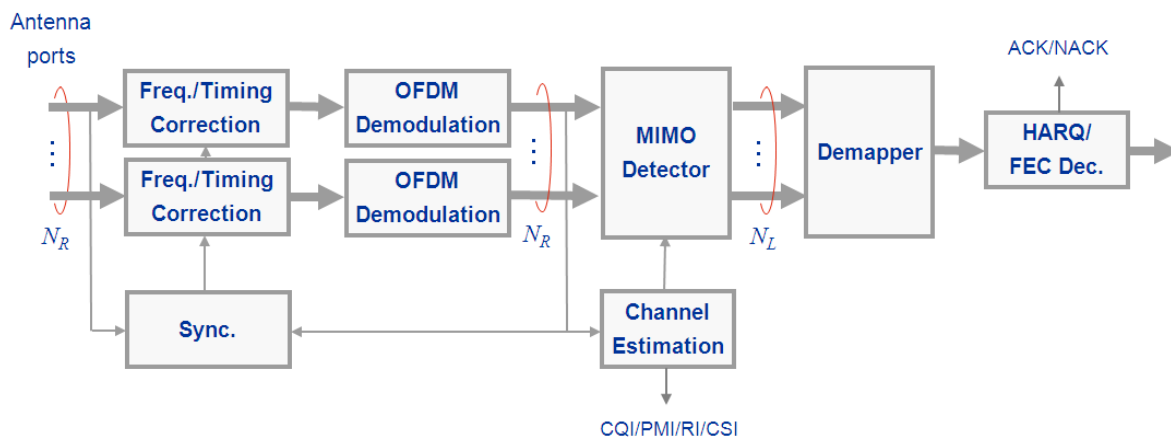


Abbildung 3: Blockscheema der Basisbandverarbeitung eines LTE-Empfängers

Aus dem BMBF-Projekt EASY-C gibt es Erkenntnisse über den ungefähren Rechenaufwand in den einzelnen Teilschritten des Empfängers, die im Folgenden aufgeführt werden. Hierbei steht MAC für Multiply-Accumulate Operationen und ACS für Add-Compare-Select Operationen. Vom Aufwand her entspricht eine MAC-Operation etwa 4,5 ACS Operationen.

- Frequency- / Timing Correction: 0,5 GMAC/s
- OFDM-Demodulation: 5 GMAC/s
- Detektion / Demapping: 1 GMAC/s
- Forward Error Correction (FEC): 51 GACS/s (entspricht etwa 11 GMAC/s)

Es zeigt sich, dass FEC und OFDM-Demodulation mit 11 bzw. 5 Milliarden Operationen pro Sekunde den größten Anteil der Berechnungen auf sich vereinen. Bei der Demodulation sind keine großen Einsparungen zu erwarten, da die Hardwareimplementierung bedeutend einfacher ist und in diesem Gebiet bereits umfangreiche Forschungsergebnisse vorhanden sind. Der Fokus des Projektes wird auf das FEC gelegt, da hier die größten Einsparungen zu erwarten sind.

Analyse verschiedener HARQ-Protokolle hinsichtlich des Energieverbrauchs im mobilen Endgerät

Auch sehr gute Codierung kann die Wahrscheinlichkeit von Übertragungsfehlern nur reduzieren, diese jedoch nicht völlig ausschließen. Die Aufgabe von (H)ARQ-Protokollen (Hybrid Automatic Repeat Request) ist es daher, Übertragungsfehler zu erkennen und dem Sender mitzuteilen, dass eine erneute Übertragung nötig ist. Solche Übertragungsfehler können beispielsweise auftreten, wenn sie die Kanalqualität unerwartet verschlechtert, so dass die gewählte Coderate zu hoch ist und die entstehenden Fehler vom Code nicht mehr ausgeglichen werden können. Es kann dennoch eine gute Strategie sein, grundsätzlich mit hohen Coderaten zu übertragen und im Falle von Fehlern die Übertragung zu wiederholen, was einer adaptiven Ratenanpassung entspricht. Andererseits kann man durch vorsichtiger Wahl der Coderate Wiederholungen praktisch ausschließen, dies führt jedoch häufig zu reduzierter spektraler Effizienz. Im Rahmen dieser Arbeit wird untersucht, welche Strategie hinsichtlich des Energiebedarfs sinnvoller ist. Hierbei wird die Downlink von Basisstation zu Reader untersucht.

Ähnlich wie im Uplink wird der Energiebedarf für die Übertragung in zwei Teile aufgeteilt. Zum einen der statische Energiebedarf

$$E_s = P_s \cdot T_s$$

wobei P_s die Schaltkreisleistung des Empfängers und T_s die Übertragungsdauer eines Symbols bezeichnet. Zum anderen der dynamische Energiebedarf

$$E_d = E_{bit} \cdot N_{ti} \cdot N_c$$

der sich aus der benötigten Energie zur Verarbeitung eines Empfangsbits E_{bit} , der Anzahl der Iterationen des LTE-Turbo Decoders N_{ti} und der Zahl der Codebits pro Symbol N_c zusammensetzt. Die gesamte benötigte Energie errechnet sich nun aus der Summe dieser beiden Komponenten. Um die sich ergebende Energieeffizienz prüfen zu können, wurde ein Simulator entwickelt, der ein LTE-System mit folgenden Parametern simuliert:

Tabelle 1: Simulationsparameter

Modulationsarten	QPSK, 16-QAM, 64-QAM
HARQ-typen	Type I, Type III
Max. Wiederholungen	4
Coderaten	1/3, 1/2, 3/4
Iterationen des Turbodecoders	1, 2, 4, 8
Kanalmodell	Urban Macro (SCME)
# der Kanalrealisierungen	500
OFDM Unterträger	1025
Aktive OFDM Unterträger	601
Symboldauer T_s	71,4 μ s

Details wie Interleaver oder das Codedesign sind dabei dem LTE-Standard entnommen worden.

Anhand des Modells für den Energieverbrauch lassen sich zwei Extremfälle definieren. Dominiert der statische Energiebedarf, so ergibt sich eine Situation wie in Abbildung 4.

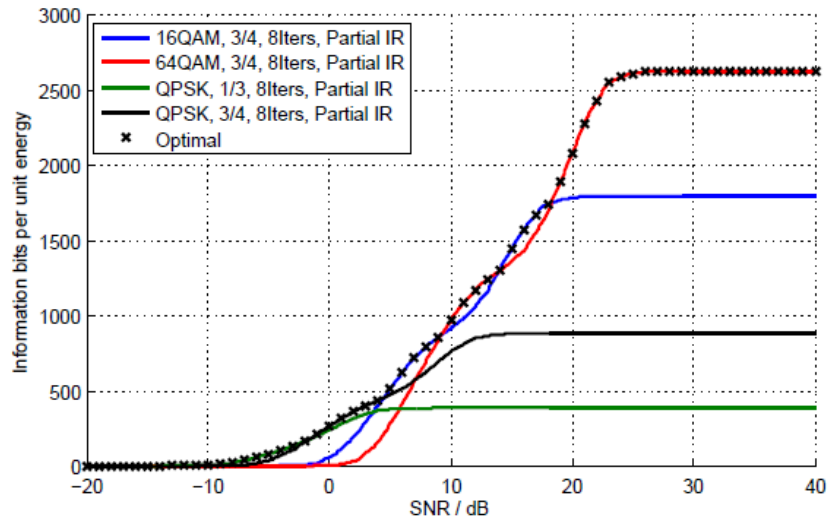


Abbildung 4: Energieeffizienz bei dominierender statischer Energie

Dieses Ergebnis entspricht einer klassischen Ratenmaximierung, es werden sehr früh sehr hohe Coderaten benutzt und Wiederholungen in Kauf genommen. Erst wenn die Übertragung mit hoher Rate zu viele Wiederholungen benötigt, wird auf eine geringere Coderate gewechselt. Dominiert andererseits der dynamische Energiebedarf, so ergibt sich ein völlig anderes Bild, dargestellt in Abbildung 5.

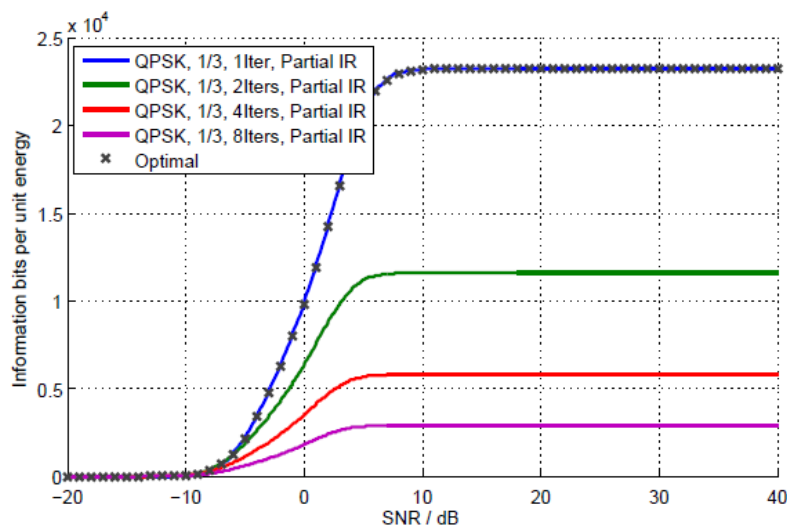


Abbildung 5: Energieeffizienz bei dominierender dynamischer Energie

Wie aus der Formel zu entnehmen ist, spielt die Dauer der Übertragung hier keine Rolle, der Energiebedarf hängt lediglich von der Gesamtzahl empfangener Bits und der Anzahl Turboiterationen ab. In diesem Fall wird also stets das Verfahren mit der geringsten Rate gewählt, um Wiederholungen und damit neue zu verarbeitende Bits zu vermeiden.

In realen Systemen tritt stets eine Kombination aus dynamischem und statischem Energiebedarf auf und je nach Verhältnis ist die hinsichtlich Energieeffizienz optimale Strategie ein Mittelweg zwischen den Extremfällen. Es zeigt sich, dass eine im Vergleich zur Ratenmaximierung angepasste Strategie bis zu 50% Energie pro empfangenem Informationsbit einsparen kann.

Die Ergebnisse der Arbeit wurden bei der renommierten International Conference on Communications (ICC) 2011 publiziert [2].

II.2.2 Task 2 – Parameterspezifikation

Ziel dieser Task ist es, die für den Energieverbrauch wesentlichen Komponenten der Übertragungsverfahren zu optimieren.

Optimierung von PHY/MAC Parametern

Wie aus Tabelle 2 entnommen werden kann, ist die Leistungsaufnahme eines typischen LTE-Modems während des Sendens (Active Mode) am Größten. Da in Uplink-Richtung der

Tabelle 2: Typische Leistungsaufnahmen im RF-Teil [3]

RF FRONT-END POWER CONSUMPTION			
Component	Active mode	Idle mode	Sleep mode
PA	126.5 mW	0 mW	0 mW
Mixer	21 mW x2	21 mW	0 mW
Freq. Syn.	67.5 mW x2	67.5 mW	0 mW
DAC	15.4 mW	0 mW	0 mW
ADC	5.85 mW	5.85 mW	0 mW
Filters	5 mW	2.5 mW	0 mW
Ref. System	0.5 mW	0.5 mW	0.5 mW
LNA	20 mW	20 mW	0 mW
BA	5 mW	5 mW	0 mW
Total	355.25 mW	122.35 mW	0.5 mW

The power values are under the condition that PAR= 5 dB, $d = 10$ m.

Leistungsverstärker (PA) aktiv ist, ist der Verbrauch nochmals höher. Aus diesem Grund fokussiert sich die Optimierung auf Energieeffizienz in diesem Betriebsmodus. Als zu minimierende Kenngröße für die Energieeffizienz dient dabei der Energieverbrauch pro Bit, berechnet als Leistungsverbrauch pro Übertragungsrate.

Die Leistungsaufnahme des Radioteils setzt sich als Summe von Schaltkreisleistung und Leistungsaufnahme des Verstärkers zusammen. Der Energieverbrauch pro Bit E_a ergibt sich wie folgt:

$$E_a = \frac{P_c + \varepsilon \cdot 1^T P}{1^T r},$$

wobei P_c die Schaltkreisleistung, r der Ratenvektor, P die Sendeleistung und ε ein Effizienzparameter des Leistungsverstärkers ist, der dem Quotienten aus Peak-to-Average Power Ratio (PAPR) und Effizienz des Leistungsverstärkers entspricht.

Man kann zeigen, dass die Zielfunktion als Summe von Energieverbrauch im Schaltkreis pro Bit und Übertragungsenergie pro Bit betrachtet werden kann (siehe Abbildung 6).

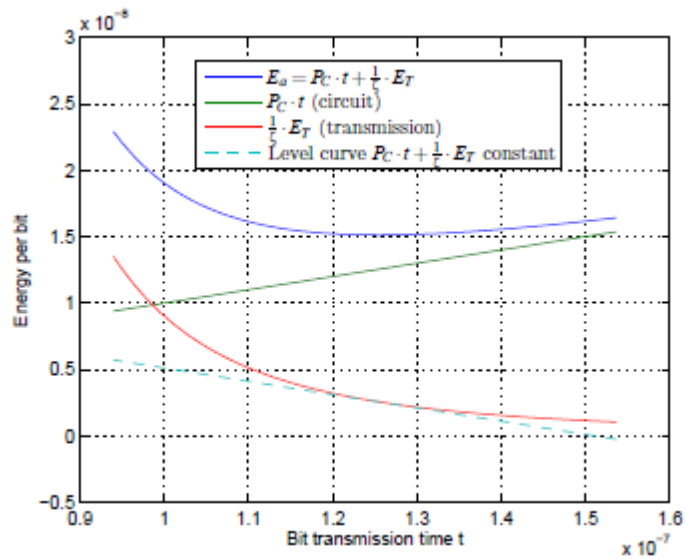


Abbildung 6: Illustration der Abwägung zwischen Schaltkreisenergie und Übertragungsenergie (pro Bit)

Als Ergebnis der mathematischen Analyse ist, dass die inverse Summenrate gefunden werden muss, die die Kostenfunktion minimiert. Für diese Summenrate wird herkömmliches „Water-Filling“ benutzt um die minimale Summenleistung zu erreichen.

Abbildung 7 zeigt den Einfluss der Anzahl Unterträger auf den Energieverbrauch pro Bit.

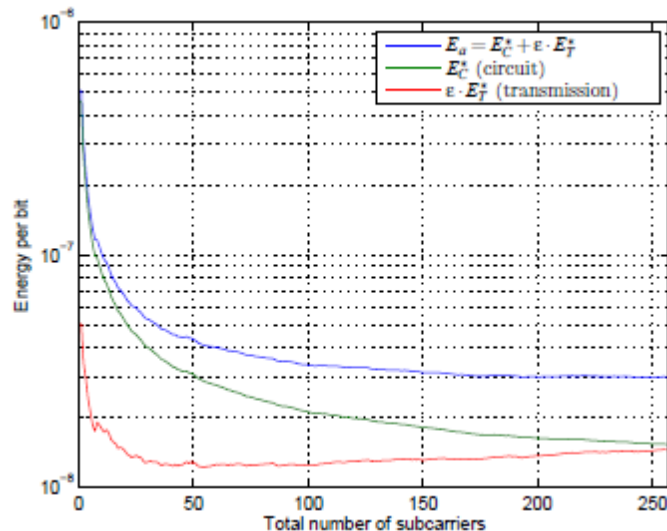


Abbildung 7: Energieverbrauch pro Bit in Abhängigkeit der Anzahl Unterträger

Bei wenigen Unterträgern nimmt die Übertragungsenergie sehr schnell mit zunehmender Anzahl Unterträger ab. Ist die Zahl der Unterträger größer, nimmt die Sendeenergie wieder zu während die Schaltkreisenergie weiter abnimmt. Als Ergebnis sättigt der Gesamtenergieverbrauch ab, wenn mehr Bandbreite verfügbar ist.

Die Ergebnisse wurden auf der Konferenz IEEE GLOBECOM 2010 veröffentlicht und in Konkurrenz mit über 4600 Beiträgen mit dem Best Paper Award ausgezeichnet [4]. Ähnliche Untersuchungen wurden für Kanäle mit frequenzselektivem Schwund unter Annahme perfekter Kanalkenntnis am Sender durchgeführt und zur IEEE WCNC 2011 veröffentlicht [5]. Für den Fall lediglich statischer Kanalkenntnis am Sender wurden in [6] und [7] die Fälle von langsamen Rayleigh-Schwund und log-normalem Schwund („Shadowing“) betrachtet. Aus diesen Veröffentli-

chungen geht hervor, wie der Sender optimal sowohl Leistung als auch Rate adaptieren soll um die drahtlose Übertragung energieeffizient zu gestalten.

Darüber hinaus wurde im Rahmen des Projektes ein umfangreiches Rahmenwerk für die Optimierung der Energieeffizienz bei drahtloser Übertragung erstellt und für Veröffentlichung in der Fachzeitschrift „IEEE Transactions on Wireless Communications“ eingereicht [8].

Steigerung des Wirkungsgrades der HF-Komponenten mit „Dirty-RF“ Verfahren

Die Idee von „DirtyRF“ ist es, die Anforderungen an Hardware zu senken und die resultierenden Störungen durch Algorithmen im digitalen Basisband zu kompensieren. Wie aus Tabelle 2 ersichtlich, ist der Leistungsverstärker mit Abstand der größte Verbraucher in einem typischen LTE-Modem und sollten daher besonders energieeffizient betrieben werden. Dies ist jedoch kaum der Fall.

Verstärker erreichen die höchste Effizienz wenn sie voll ausgesteuert betrieben werden. Ist die Amplitude des Eingangssignales jedoch zu groß, geht der Verstärker in den Sättigungsbereich seiner Kennlinie über und verursacht nichtlineare Verzerrungen im Nutzsignal welche zu einer Störungen des Signals selbst, aber auch Störungen in den Nachbarkanälen erzeugen. Moderne Modulationsverfahren wie das in LTE verwendete OFDM haben ein großes PAPR. Das Signal weist somit starke Amplitudenschwankungen mit hohen Spitzen auf. Der Verstärker muss daher so dimensioniert werden, dass auch diese hohen Spitzen keine nichtlinearen Verzerrungen erfahren. Eine Folge davon ist, dass die mittlere Signalleistung wesentlich geringer ist als die maximale Eingangsleistung, die noch keine Verzerrung erfährt. Der Abstand dazwischen wird als Eingangsleistungsreserve (Input back-off, IBO) bezeichnet. Je größer der IBO, desto ineffizienter arbeitet der Verstärker. Bei einem für OFDM typischen IBO von 6dB erreicht ein Klasse A-Verstärker lediglich eine Effizienz von 12%.

Die nichtlinearen Verzerrungen lassen sich jedoch zum Teil durch digitale Signalverarbeitung nach dem Empfang korrigieren. Im Laufe der Untersuchungen hat sich gezeigt, dass bereits mit recht einfachen Methoden der benötigte IBO von 6dB auf 2dB gesenkt werden kann. Dadurch verdoppelt sich der Wirkungsgrad eines entsprechend angepassten Verstärkers auf ca. 25%. Wird lediglich der Empfangsverstärker entsprechend ausgelegt, stellen die auftretenden Außenbandstörungen kein Problem dar. Zur Schätzung der Störparameter kommen blinde Verfahren zum Einsatz, so dass keine speziellen Pilotsignale benötigt werden. Dies erlaubt die empfangerseitige Verwendung auch ohne dass der Standard dies explizit spezifiziert. Für das blinde Schätzverfahren kann das Erreichen der Cramer Rao Lower Bound nachgewiesen werden, somit ist das Verfahren aus schätztheoretischer Sicht ideal.

Die Ergebnisse der theoretischen Untersuchung wurden auf der Konferenz IEEE PIMRC 2011 veröffentlicht [9].

II.2.3 Task 3 – Algorithmen-Implementierung

Nach den sehr vielversprechenden Ergebnissen wird die Methode zur Schätzung und Kompensation von Nichtlinearitäten auf einer Software Defined Radio (SDR) Plattform implementiert, also einem per Software rekonfigurierbarem Funkmodul. Zum Einsatz kamen dabei zwei USRP-2921 von National Instruments, ein Standard Intel Core i7 Quadcore PC mit 16Gbyte RAM und die Entwicklungstools LabVIEW und Matlab. Die grundlegende Architektur ist in Abbildung 8 dargestellt.

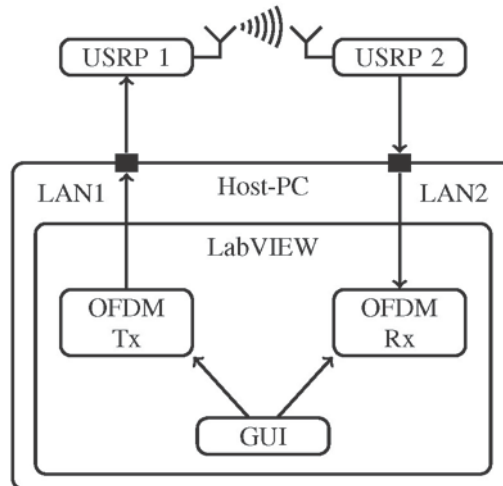


Abbildung 8: Architektur des Demonstrators

Die Parameter des OFDM Systems orientieren sich dabei eng am aktuellen LTE-Standard sowie an den im Projekt erhaltenen Ergebnissen und können weiterhin größtenteils leicht geändert werden. Die eigentliche Software für Sender und Empfänger läuft komplett auf dem Entwicklungsrechner, die Kommunikation zu den Radio-Frontends geschieht über eine Gigabit Ethernet Verbindung, auf der Basisbandsamples gestreamed werden. Abbildung 9 zeigt ein Foto sowie einen Screenshot des Demonstrators.



Abbildung 9: Foto und Screenshot des Demonstrators

Die Umsetzung auf Hardware zeigt, dass die Komplexität der Methode tatsächlich gering genug ist um auf üblichen Plattformen implementiert zu werden. Tests mit einem emulierten Referenzverstärker zeigen eine ähnliche Korrekturleistung der auftretenden nichtlinearen Verzerrungen, wie in den Simulationen vorhergesagt. Eine weitere Testreihe, bei der die Verstärker der USRPs im Sättigungsbereich betrieben werden, zeigt außerdem, dass das Verfahren auch für reale Hardwareverstärker funktioniert. Tabelle 1 zeigt exemplarisch eine Versuchsreihe. Es ist zu erkennen, dass signifikante Gewinne bzgl. SNR und Bitfehlerrate erreicht werden.

Tabelle 3: Ergebnisse vor und nach Korrektur eines realen Verstärkers

Szenario		SNR/dB / BER		
Modulation	Amp. Gain/dB	No Mitigation	Mitigation	SNR Gain
QPSK	70	26,1 / 0e0	N/A	N/A
QPSK	77	16,1 / 0e0	20,4 / 0e0	4,3
QPSK	80	11,0 / 0e0	17,7 / 0e0	6,7
16-QAM	70	26,0 / 0e0	N/A	N/A
16-QAM	76	16,8 / 1e-3	20,7 / 1e-5	3,9
16-QAM	78	13,5 / 1,5e-2	17,8 / 2,4e-3	4,3

II.2.4 Task 4.1 – Prozessorarchitektur, Festlegung der Algorithmen

In dieser Aufgabe werden die Empfänger-Algorithmen für eine spätere Hardware-Implementierung festgelegt. Algorithmen der Signaldemodulation, Signaldetektion und Kanaldekodierung werden hinsichtlich der Umsetzung in Hardware und Software erforscht. Neben der Energieeffizienz des Empfängers wird hier ebenfalls auf die Flexibilität hinsichtlich der Multi-Mode-Fähigkeit geachtet. Dies ist erforderlich, um Zugriff zu verschiedenen Netzen mit unterschiedlichen Übertragungsverfahren und -parametern zu ermöglichen. Da die Algorithmen der Kanaldekodierung, Demodulation und Detektion einen großen Anteil am Rechenaufwand in der Basisbandverarbeitung eines Mobilfunkempfängers ausmachen, ist es kaum effizient möglich, die nötigen Berechnungen mit General Purpose (GP)-Prozessoren durchzuführen, weshalb im Folgenden dargelegt werden soll, wie eine dedizierte Hardwarelösung hierfür aussehen sollte. Zunächst wurden die Architektur Anforderungen an den Kanaldecoder betrachtet. Zwei aufgrund ihrer Leistungsfähigkeit auf dem Gebiet der Fehlerkorrektur sehr häufig angewendete Kodierungsverfahren sind Faltungscodes (CC - convolutional codes) und Turbocodes (TC). In Tabelle 2 ist eine Übersicht über eine Reihe von aktuellen Mobilfunkstandards abgebildet. Wie man sieht, sind Faltungs- und Turbocodes Bestandteil aller gängigen Verfahren, die für die Umsetzung im Rahmen dieses Projektes in Frage kommen.

Tabelle 4: Kodierungsverfahren ausgewählter Mobilfunkstandards (aus [10])

Standard	Codes	States	Rates	Infobits	Throughput
GSM	CC	16,64	1/4...1/2	...876	...12 kbit/s
EDGE	CC	64	1/4...1/2	...870	...384 kbit/s
UMTS	CC	256	1/4...1/2	...504	...32 kbit/s
	bTC	8	1/3	...5114	...2 Mbit/s
CDMA2000	CC	256	1/6...1/2	...744	...28 kbit/s
	bTC	8	1/5...1/2	...20730	...2 Mbit/s
HSDPA	bTC	8	1/2...3/4	...5114	...14.4 Mbit/s
LTE	bTC	8	1/3	...6144	...150 Mbit/s
DAB	CC	64	1/4	none	...1.1 Mbit/s
DVB-H	CC	64	1/2...7/8	1624	...32 Mbit/s
DVB-T	CC	64	1/2...7/8	1624	...32 Mbit/s
DVB-RCT	dbTC	8	1/2, 3/4	...648	...31 Mbit/s
IEEE802.11a/g	CC	64	1/2...3/4	...4095	...54 Mbit/s
IEEE802.11n	CC	64	1/2...3/4	...4095	...300 Mbit/s
	LDPC	–	1/2...5/6	...1620	...300 Mbit/s
IEEE802.16e	CC	64	1/2...5/6	...864	...75 Mbit/s
	dbTC	8	1/2...3/4	...4800	...75 Mbit/s
	LDPC	–	1/2...5/6	...1920	...75 Mbit/s

Eine weitere Option zur Kanalcodierung bilden die Low-Density Parity-Check (LDPC)-Codes, die u.a. im WiMax-Standard Verwendung finden. Für das Cool Reader Projekt wird der Fokus auf die 4G-Standards LTE und Mobile WiMax gelegt. Da diese beiden Übertragungsstandards alle der drei wichtigen Kodierungsverfahren CC, TC und LDPC beinhalten, ist eine zukünftige Erweiterung auf andere Standards kein besonders großer Schritt, so dass man sich diese Möglichkeit offen halten kann, indem man der Hardwarearchitektur des Decoders ein gewisses Maß an Programmierbarkeit und Flexibilität zugesteht. Eine solche Architektur, die eine grundlegende Programmierbarkeit mit einer Spezialisierung der Datenverarbeitung auf eine spezielle Anwendung vereint, wird als Application-specific instruction set processor (ASIP) bezeichnet. Der Einsatz eines ASIP vereinfacht darüber hinaus den Entwicklungsprozess für die Ansteuerungssoftware und ermöglicht gleichzeitig einen hohen Grad an Wiederverwertbarkeit für zukünftige Vorhaben. Generell bedeutet das eine Trennung des Dekodierproblems in einen Hardwareteil mit programmierbarer Grundfunktionalität und einen Softwareteil, der speziell auf das jeweils zu bearbeitende Problem zugeschnitten ist.

Ein bedeutendes Problem ist die Auswahl der jeweiligen Kodierungsverfahren. Das Hauptaugenmerk liegt dabei auf einer effizienten Umsetzbarkeit in Hardware, so dass an einigen Stellen eine leichte Einbuße bei der Performance der Algorithmen zugunsten einer deutlich reduzierten Komplexität hingenommen wurde. Folgende Algorithmen werden ausgewählt:

- Viterbialgorithmus für Faltungscodes
- BCJR Algorithmus für Turbocodes
- Layered Decoding Algorithmus für LDPC Codes

Aufbauend auf Ergebnissen aus dem EASY-C Projekt wird für Demodulation und Detektion ein listenbasiertes Baumsuchverfahren ausgewählt, das besonders für Mehrantennensysteme (MIMO) geeignet ist, wie sie in den LTE- und WiMax-Standards spezifiziert sind. Dieser List Sphere Detektor zeichnet sich im Vergleich zu anderen MIMO-Detektionsverfahren durch stark reduzierte Komplexität und Parallelisierbarkeit aus, was einer leistungsfähigen Hardwareimplementierung entgegen kommt.

II.2.5 Task 4.2 – Prozessorarchitektur, Algorithmen Referenzmodelle

In dieser Teilaufgabe werden Matlab-basierte Simulationsmodelle der Algorithmen entwickelt, um deren Leistungsfähigkeit zu überprüfen und zentrale Parameter der Implementation festzulegen. Hier wird vor allem die Übertragungsqualität in Form der Bitfehlerrate betrachtet, und simulativ sichergestellt, dass alle Anforderungen erfüllt sind. Außerdem wird eine Reihe an Kenngrößen für die Algorithmenbearbeitung auf diese Weise bestimmt. Der Prozess soll an einem Beispiel beschrieben werden.

Es ist für die Implementierung wichtig, festzustellen, wie grob man die Eingangsdaten quantisieren darf, ohne dass nennenswerter Verlust an Genauigkeit in der Berechnung auftritt. Das Ergebnis einer solchen Simulation ist in Abbildung 10 dargestellt. Es ist zu erkennen, dass es nur bis zu einem bestimmten Punkt vorteilhaft ist, die Bitbreite zu erhöhen. Danach wird kein Gewinn mehr erzielt. Bei dem gewählten Algorithmus lag diese Grenze bei sechs Bit, weshalb in der Architekturforschungsphase die Breite von Datenpfad und Speichern auf diesen Wert begrenzt wird.

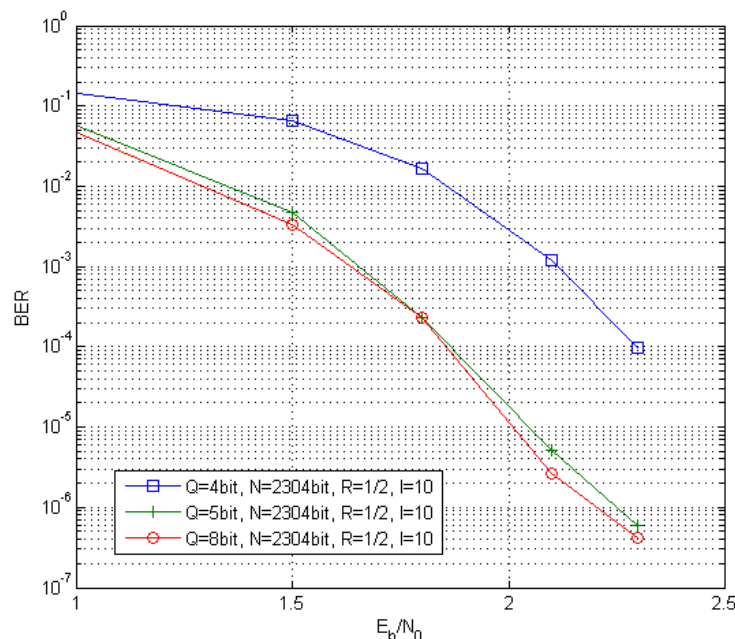


Abbildung 10: Vergleich verschiedener Bitbreiten für Eingangsdaten des Layered Decoding Algorithmus

Die Simulationen zeigen die Eignung der Algorithmen für die vorgesehene Aufgabe im Empfangsteil eines energieeffizienten Mobilfunkgerätes.

II.2.6 Task 4.3 / 4.4 – Prozessorarchitektur, Algorithmen-Analyse

In Task 4.3 werden die Algorithmen analysiert und angepasst, um in Task 4.4 eine möglichst effiziente Verarbeitungsarchitektur zu entwerfen. Ein wichtiger Punkt ist hierbei die Parallelisierung, die es ermöglicht, die geforderten Durchsatzkriterien zu erfüllen, ohne dafür die Taktge-

schwindigkeit zu steigern (was über die erhöhte Versorgungsspannung quadratisch in die Energiebilanz einfließen würde).

Als Ergebnis einer detaillierten Untersuchung der Dekodieralgorithmen werden Teilalgorithmen identifiziert und in Hardwareeinheiten zusammengefasst. Dies ermöglicht eine flexible und zugleich effiziente Prozessorarchitektur, da Module für verschiedene Codierungsverfahren wiederverwendet werden können. Weiterhin werden Möglichkeiten zur Algorithmenparallelisierung untersucht. Für die verschiedenen Codetypen können unterschiedliche Ansätze auf Datenpaket-, Datensymbol- oder Bitebene angewandt werden. Ergebnis dieser Untersuchungen ist eine Prozessorarchitektur, die in Abbildung 11 vereinfacht dargestellt ist.

Für diese Architektur wird ein Instruktionssatz spezifiziert, der die Abarbeitung der untersuchten Algorithmen innerhalb eines breiten Spektrums von Parametern ermöglicht. Es wird eine Kommunikationsschnittstelle spezifiziert, die eine einfache Ansteuerung des Prozessors durch andere Module gewährleistet. Die Flexibilität des Instruktionssatzes erlaubt es, die Architektur sogar während des Betriebes zwischen verschiedenen Konfigurationen für die Dekodierverfahren umzuschalten.

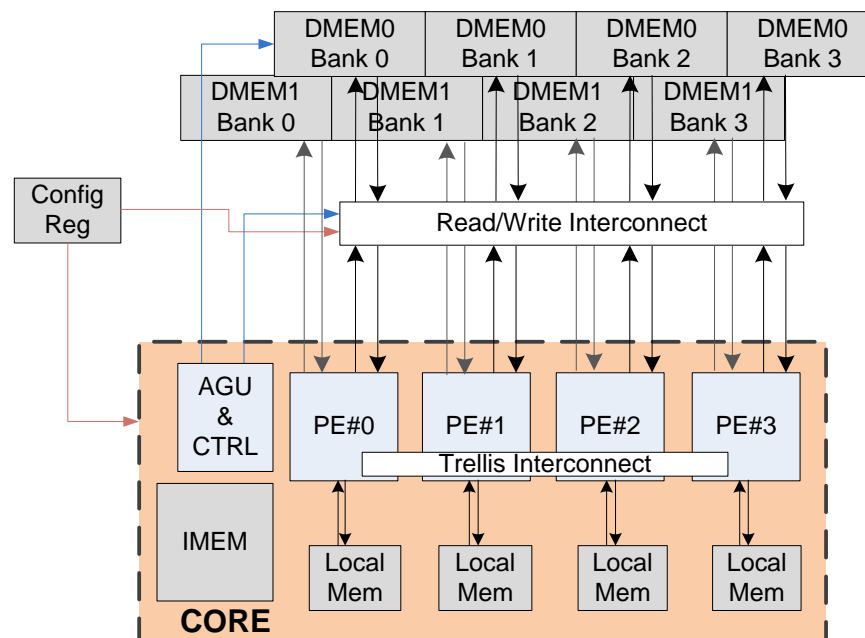


Abbildung 11: Blockdiagramm des Kanaldekoderprozessors

II.2.7 Task 4.5 – Prozessorarchitektur, Prozessormodell

In dieser Aufgabe wird ein bit- und cyclegenaues Referenzmodell der Prozessorarchitektur umgesetzt. Mit Hilfe einer am Lehrstuhl entwickelten Toolchain zur Erstellung von Werkzeugen wie Assembler, Debugger und Instruction Set Simulator wird eine komplette Entwicklungsumgebung für das Prozessormodell geschaffen, um das Verhalten des Modells analysieren zu können und es hinsichtlich Energieeffizienz zu optimieren. Zum Zwecke dieser Analyse werden in der geschaffenen Entwicklungsumgebung Testfälle realisiert, die die ausgewählten Algorithmen beinhalten. Die Parameter sind so gewählt, dass sie realistischen Anwendungsfällen aus den LTE- und Wimax-Standards entsprechen. Die drei zentralen Testanwendungen sind im Folgenden aufgelistet (die angegebenen Durchsatzwerte nehmen eine Taktfrequenz von 200 MHz an):

- Viterbi-Decodierung: implementiert den (171,133)-Faltungscodex aus dem Wimax-Standard. Simulierter Durchsatz: 86 Mbit/s.

- LDPC-Decodierung: implementiert den quasizyklischen LDPC-Code aus dem Wimax-Standard. Simulierter Durchsatz: 44 Mbit/s.
- Turbo-Decodierung: implementiert den Turbocode aus dem LTE-Standard. Simulierter Durchsatz: 24 Mbit/s.

Das Modell wurde im Oktober 2010 im Workshop SIPS in San Jose, USA veröffentlicht [10].

II.2.8 Task 4.6 – Prozessorarchitektur, Hardwareimplementierung

Auf Basis des funktionellen Prozessormodells wird in dieser Aufgabe eine Hardwarebeschreibung auf Register-Transfer-Ebene mittels der Hardwarebeschreibungssprache Verilog erstellt. Zu Simulations- und Verifikationszwecken wird das Hardwaremodell in eine am Lehrstuhl vorhandene Testumgebung für System-on-a-Chip-Entwurf eingebunden, die das Tool „Questasim“ der Firma Mentor Graphics verwendet. Für die anschließende Synthese wird eine 65nm-low-Power-Technologiebibliothek von TSMC eingesetzt und eine Zieldtaktfrequenz von 200 MHz bei einer Versorgungsspannung von 1.2 V vorgegeben. Des Weiteren wird im Hinblick auf den geplanten FPGA-Demonstrator auch eine Synthese für einen FPGA des Typs Xilinx Virtex-5 durchgeführt. Die resultierende Chipfläche für beide Synthesen wird in Tabelle 5 dargestellt:

Tabelle 5: Syntheseergebnisse in 65nm CMOS-Technologie und als Virtex-5 FPGA-Slices

	FPGA [Slices]	CMOS [mm ²]
Decoder gesamt	37988	0.345
Verbindungsnetzwerk	3978	0.038
Steuerpfad	4427	0.060
Verarbeitungseinheiten	27561	0.238

Die bei der Synthese erzeugte Netzliste wird zur Simulation des zu erwartenden Leistungsverbrauchs einer Chipimplementierung genutzt, indem auf reellen Anwendungsszenarien basierende Teststimuli in die Netzliste eingespeist werden und die resultierende Schaltaktivität beobachtet wird. Hierfür kommt das Tool PrimeTime der Firma Synopsys zum Einsatz. Die Ergebnisse sind in Tabelle 6 zu finden, aufgeschlüsselt für die drei typischen Anwendungsfälle Viterbidekodierung, Turbodekodierung und LDPC_Dekodierung.

Tabelle 6: Simulierter Leistungsverbrauch des Kanalkoderprozessors bei $f = 200$ MHz

	Verbrauch [mW]
Viterbi	24.9
Turbo	31.6
LDPC	33.4

Für das System-on-a-Chip-Testsystem wird der Prozessor weiterhin mit einer Netzwerkschnittstelle versehen, die ein On-chip-Verbindungsnetzwerk (NoC) anbindet. Im Hinblick auf die zukünftige Erweiterbarkeit wird das NoC paketbasiert gestaltet und enthält zentrale Routerknoten, die die Vermittlung übernehmen. Über das NoC ist die Ansteuerung externer Schnittstellen möglich, die eine Verbindung mit dem FPGA-Testboard oder einem Host-PC ermöglichen.

II.2.9 Task 4.7 – Prozessorarchitektur, FPGA-Demonstrator

Das in Task 4.6 implementierte Hardwaremodell wird nun zu Zwecken der weiteren Verifikation und Demonstration in eine matlabbasierte Übertragungsstrecke integriert. Diese Übertragungsstrecke nimmt Eingangsdaten (hier Bilddateien) und simuliert für diese Transmitter und Kanal, um den Prozessor unter möglichst realitätsnahen Bedingungen testen und demonstrieren zu können. Der Testaufbau ist in Abbildung 12 zu sehen. Für die Implementation des Demonstrators wird ein FPGA-Board mit FPGAs des Typs Xilinx Virtex-5 verwendet.

Veröffentlichungen zu den in den Tasks 4.6 und 4.7 durchgeführten Arbeiten sind im Oktober 2011 auf dem SIPS-Workshop und im Februar 2012 auf der Konferenz ISSCC, der weltweit bedeutendsten Chipdesign-Konferenz, präsentiert worden [10], [11].

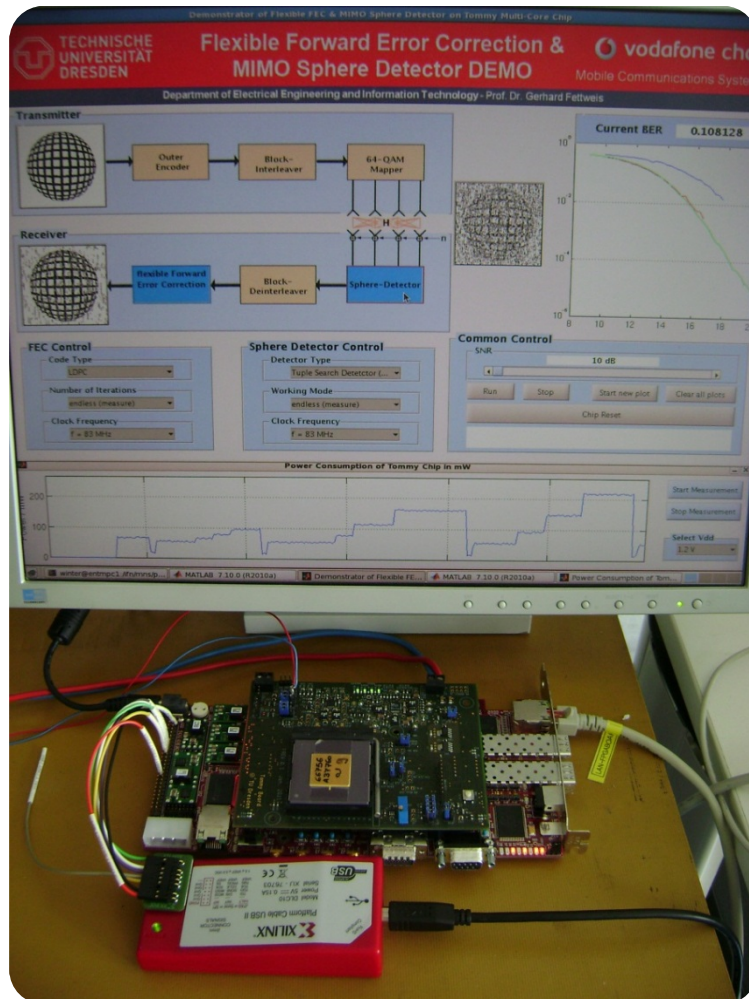


Abbildung 12: Demonstrator des Prozessormodells mit grafischer Matlaboberfläche

III. Verwertung der Ergebnisse

Im Cool Reader Systemkonzept wurden die Aspekte eines energieautarken Gadgets aus unterschiedlichen Perspektiven betrachtet. Zum einen wurden die Anforderungen an ein solches Gerät in einem privaten und einem professionellen Anwendungsfall beleuchtet. Es folgte eine Analyse des aktuellen technischen Stands hinsichtlich Energiebedarf der einzelnen Komponenten und den aktuellen Möglichkeiten zur Energiegewinnung durch Solarzellen, aufgeteilt in verschiedene Konfigurationen. Abschließend wurden noch die Schnittstellen zwischen den Komponenten definiert. In das Systemkonzept flossen die Erfahrungen und Prognosen von Mobilfunknetzbetreibern, den Herstellern von Solarzellen, E-Ink Displays, LTE-Funkmodems und Power Management sowie akademischen Forschern ein.

Das Systemkonzept-Dokument stellt als zentraler Bestandteil des Projekts ein gemeinsames Problemverständnis der Partner her und kann zudem als Ausgangspunkt für die Entwicklung energieeffizienter oder energieautarker Gadgets gelten. Weiterhin erlaubte die Spezifikation den Partnern, die Weiterentwicklung der Komponenten auf relevante Bereiche zu konzentrieren. So hat beispielsweise Intel Mobile Communications (vormals Blue Wonder) den Betriebsmodus DRX (Discontinuous Reception) des LTE-Modems vorangetrieben, wodurch die Zeit des Modems in besonders energiesparenden Schlafzuständen erhöht werden kann.

Die Arbeiten zum Bestimmen der optimalen Rate im Uplink und die Analyse der HARQ-Parameter im Downlink umfassen viele für den Mobilfunk relevante Szenarien und bilden ein Framework zur energieeffizienten Optimierung von Kommunikationsverbindungen im Mobilfunk. Wie richtungsweisend diese Arbeiten sind, erkennt man an der Auszeichnung der Publikation „Energy-Efficient Multi-Carrier Link Adaptation with Sum Rate-Dependent Circuit Power“ mit dem Best Paper Award bei der GLOBECOM, 2010 einer der international renommiertesten Konferenzen auf dem Gebiet der Mobilkommunikation. Diese Arbeiten können bei der Entwicklung von Algorithmen zur Linkanpassung für aktuelle und zukünftige Mobilfunkstandards genutzt werden.

Moderne Modulationsverfahren wie OFDM, die mit immer höheren Datenraten betrieben werden, stellen hohe Anforderungen an die analoge Hardware. Dies treibt nicht nur die Kosten für Entwicklung und Fertigung in die Höhe, sondern sorgt häufig für geringe Energieeffizienz der Komponenten. Dies trifft insbesondere auf die Leistungsverstärker zu, die infolgedessen zu den größten Verbrauchern in einem Funkmodem zählen. Der Einsatz von DirtyRF-Verfahren erlaubt es, die Anforderungen an diese Verstärker zu reduzieren und die entstehenden Störungen im digitalen Basisband zu kompensieren. Dadurch kann der Verstärker in einem effizienteren Arbeitspunkt betrieben werden. Die Algorithmen wurden zudem in einem Demonstrator implementiert. Dies diente einerseits dazu, die niedrige Komplexität der Algorithmen nachzuweisen, was sie zu einem Einsatz in einem echten System qualifiziert. Weiterhin konnte mit dem Demonstrator die Eignung der Algorithmen in einem echten System mit realen Verstärkern nachgewiesen werden. Eine Verwertung dieser Techniken in aktuellen Systemen ist wegen den strengen Anforderungen an die Hardware in den Standards unwahrscheinlich. Für zukünftige Systeme stellen die Arbeiten aber eine gute Grundlage dar.

Angepasste Hardware kann die Energieeffizienz des Systems erhöhen. Unterstützt eine Architektur mehrere Algorithmen, so kann auf weitere Hardware verzichtet werden, was die Zahl der benötigten Komponenten verringert und die Energiebilanz des Gerätes verbessert. Aber auch

die Art und Weise der Umsetzung, welche Teile programmierbar sind und welche speziellen Hardwarebeschleuniger eingesetzt werden, entscheidet maßgeblich über die Leistungsfähigkeit und Energieeffizienz der Verarbeitung. Der im Rahmen dieses Projektes entstandene Prozessor unterstützt ist einerseits flexibel genug, um die nahezu alle aktuell in Standards definierten Codiervorgängen zu unterstützen. Trotz dieser Flexibilität erlaubt die Architektur, dass sehr hohe Coderaten bei sehr niedrigem Energiebedarf erreicht werden. Nach Projektende wurde der Prozessor in einem am MNS entwickelten System-on-Chip (SoC) integriert und befindet sich derzeit in der Fertigung zu einem Silizium-Prototypen. Die Prozessorarchitektur wird in Zukunft eine wesentliche Grundlage für die Entwicklung einer neuen Generation energieeffizienter, kommerzieller Prozessoren zur Decodierung in Mobilfunksystemen darstellen.

Insbesondere bei dem Forschungsthema „Hardware- Architekturen für Algorithmen zur energieeffizienten Datenübertragung“ gab es eine intensive Zusammenarbeit mit dem Projektpartner Intel Mobile Communications (IMC). Dies spiegelte sich vor allem in zahlreichen bilateralen Arbeitsgruppentreffen wider.

Im Rahmen der vom Vodafone Stiftungslehrstuhl angebotenen Lehrveranstaltungen, insbesondere den Vorlesungen „Mobile Nachrichtensysteme“, „Nachrichtentechnik“ und „Hardware-Software Codesign“, werden die im Vorhaben gewonnenen Erkenntnisse den Studenten der Elektrotechnik / Informationstechnik vermittelt. Dies betrifft vor allem die Themenbereiche „Energieeffiziente Übertragungsverfahren und Kommunikationsdienste“ sowie „DirtyRF“ mit dem Schwerpunkt Steigerung des Wirkungsgrades von HF-Komponenten durch Kompensation von Störeinflüssen im digitalen Basisband.

Die im Projekt beschäftigten wissenschaftlichen Mitarbeiter haben im Laufe des Vorhabens zehn wissenschaftliche Fachbeiträge auf renommierten, internationalen Konferenzen publiziert. Der herausragendste Erfolg war zweifelsohne der Best Paper Award von Dr. Christian Isheden auf der GLOBECOM 2010 für die Publikation „Energy-Efficient Multi-Carrier Link Adaptation with Sum Rate-Dependent Circuit Power“. Des Weiteren werden von einigen Projektmitarbeitern Dissertationen angefertigt, die voraussichtlich in den nächsten 12 Monaten eingereicht werden. Mit den im Teilvorhaben gewonnenen Erkenntnissen wird es dem Lehrstuhl Mobile Nachrichtensysteme möglich sein, seine Vorreiterrolle in der Weiterentwicklung von Übertragungstechnologien und Prozessorarchitekturen für zellulare Mobilfunksysteme auszubauen.

III.1 Projektpublikationen

- [1] J. Dohl und G. Fettweis, „Energy aware evaluation of LTE Hybrid-ARQ and Modulation/Coding Schemes,“ in *Proceedings of the 2011 IEEE International Conference on Communications (ICC)*, 2011.
- [2] C. Isheden und G. Fettweis, „Energy-Efficient Multi-Carrier Link Adaptation with Sum Rate-Dependent Circuit Power,“ in *Proceedings of the IEEE Global Communications Conference (GLOBECOM)*, 2010.
- [3] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation with Transmitter CSI,“ in *Proceedings of the IEEE Wireless Communications and Networking Conference (WCNC)*, 2011.
- [4] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation with Shadow Fading,“ in *Proceedings of the 73rd IEEE Vehicular Technology Conference (VTC Spring)*, 2011.
- [5] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation on a Rayleigh Fading Channel with Receiver CSI,“ in *Proceedings of the IEEE International Conference on Communications (ICC)*, 2011.
- [6] C. Isheden, Z. Chong, E. Jorswieck und G. Fettweis, „Framework for Link-Level Energy Efficiency Optimization with Informed Transmitter,“ *IEEE Transactions on Wireless Communications*, Bd. 11, Nr. 8, pp. 2946-2957, 2012.
- [7] J. Dohl und G. Fettweis, „Blind Estimation and Mitigation of Nonlinear Channels,“ in *Proceedings of the IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC)*, 2011.
- [8] S. Kunze, T. Kobori, E. Matus und G. Fettweis, „A "Multi-User" Approach towards a Channel Decoder for Convolutional, Turbo and LDPS Codes,“ in *Proceedings of IEEE Workshop on Signal Processing Systems (SIPS)*, 2010.
- [9] M. Winter, S. Kunze, E. Pérez Adeva, B. Mennenga, E. Matus, G. Fettweis, H. Eisenreich, G. Ellguth, S. Höppner, S. Scholze, R. Schüffny und T. Kobori, „A 335Mb/s 3.9mm² 65nm CMOS Flexible MIMO Detection-Decoding Engine Achieving 4G Wireless Data Rates,“ in *Proceedings of the 59th International Solid-State Circuits Conference (ISSCC)*, 2012.
- [10] S. Kunze, E. Matus, G. Fettweis und T. Kobori, „Combining LDPC, Turbo and Viterbi Decoders: Benefits and Costs,“ in *Proceedings of the SIPS IEEE Workshop on Signal Processing Systems (SIPS)*, 2011.

Literaturverzeichnis

- [1] G. Miao et al., „Energy-Efficient Design in Wireless OFDMA,“ in *Proceedings of the IEEE International Conference on Communications (ICC)*, 2008.
- [2] J. Dohl und G. Fettweis, „Energy aware evaluation of LTE Hybrid-ARQ and Modulation/Coding Schemes,“ in *Proceedings of the 2011 IEEE International Conference on Communications (ICC)*, 2011.
- [3] Y. Li et al., „A System Level Energy Model and Energy-Quality Evaluation for Integrated Transceiver Front-Ends,“ *IEEE Transactions on Vehicular Technology*, Bd. 15, Nr. 1, pp. 90-103, 2007.
- [4] C. Isheden und G. Fettweis, „Energy-Efficient Multi-Carrier Link Adaptation with Sum Rate-Dependent Circuit Power,“ in *Proceedings of the IEEE Global Communications Conference (GLOBECOM)*, 2010.
- [5] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation with Transmitter CSI,“ in *Proceedings of the IEEE Wireless Communications and Networking Conference (WCNC)*, 2011.
- [6] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation with Shadow Fading,“ in *Proceedings of the 73rd IEEE Vehicular Technology Conference (VTC Spring)*, 2011.
- [7] C. Isheden und G. Fettweis, „Energy-Efficient Link Adaptation on a Rayleigh Fading Channel with Receiver CSI,“ in *Proceedings of the IEEE International Conference on Communications (ICC)*, 2011.
- [8] C. Isheden, Z. Chong, E. Jorswieck und G. Fettweis, „Framework for Link-Level Energy Efficiency Optimization with Informed Transmitter,“ *IEEE Transactions on Wireless Communications*, Bd. 11, Nr. 8, pp. 2946-2957, 2012.
- [9] J. Dohl und G. Fettweis, „Blind Estimation and Mitigation of Nonlinear Channels,“ in *Proceedings of the IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC)*, 2011.
- [10] M. Alles, T. Vogt und N. Wehn, „Flexichap: A reconfigurable ASIP for convolutional, turbo and LDPC decoding,“ in *Proceedings of the 5th International Symposium on Turbo Codes and Related Topics*, 2008.
- [11] S. Kunze, T. Kobori, E. Matus und G. Fettweis, „A "Multi-User" Approach towards a Channel Decoder for Convolutional, Turbo and LDPS Codes,“ in *Proceedings of IEEE Workshop on Signal Processing Systems (SIPS)*, 2010.
- [12] M. Winter, S. Kunze, E. Pérez Adeva, B. Mennenga, E. Matus, G. Fettweis, H. Eisenreich, G. Ellguth, S. Höppner, S. Scholze, R. Schüffny und T. Kobori, „A 335Mb/s 3.9mm² 65nm CMOS Flexible MIMO Detection-Decoding Engine Achieving 4G Wireless Data Rates,“ in *Proceedings of the 59th International Solid-State Circuits Conference (ISSCC)*, 2012.
- [13] S. Kunze, E. Matus, G. Fettweis und T. Kobori, „Combining LDPC, Turbo and Viterbi Decoders: Benefits and Costs,“ in *Proceedings of the SIPS IEEE Workshop on Signal Processing Systems (SIPS)*, 2011.