

Abschlussbericht zum BMBF-Fördervorhaben „MV-SiC“

Verbundprojekt „Steigerung der Energieeffizienz durch Einsatz von SiC Bauelementen in Mittelspannungsantrieben (MV-SiC)“ – Teilvorhaben „Integration von SiC-Bauelementen in den Modulaufbau für den Einsatz in Umrichtern für Mittelspannungsantriebe“

Förderkennzeichen

16N10891 (vormals 13N10891)

Laufzeit des Vorhabens

01.05.2010 – 31.10.2013

Berichtszeitraum

01.05.2010 – 31.10.2013

Veröffentlichungen

- [1] K. Dohnke, D. Peters, R. Schörner: „Characterization of packaged 6.5kV SiC PiN-diodes up to 300 °C“, Materials Science Forum Vols. 717-720 (2012) pp 957-960.
- [2] A. Kabakow, C. Hecht, B. Kallinger: “In-situ and real-time observation of recombination enhanced dislocation glide within high-voltage 4H-SiC pin diodes with backside emission microscopy“, to be published at the European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF) 2014.

Inhaltverzeichnis

1.	Einleitung.....	3
2.	Chip-Themen	4
2.1.	Einleitung.....	4
2.2.	Chip-Themen / SiCED.....	5
2.2.1.	Technologie-Durchläufe 3 Zoll & 100 mm.....	7
2.2.2.	MESA-Ätztechnik & Randpassivierung	8
2.2.3.	Layout & Randpassivierung	9
2.2.4.	Diodenlieferungen.....	9
2.2.5.	SiC pin-Dioden in diskreten Gehäusen	9
2.3.	Chip-Themen / Infineon	11
2.3.1.	Diodenprozessierung.....	12
2.3.2.	Diodenbereitstellungen.....	15
2.3.3.	Sperrstabilität / Randpassivierung	15
2.3.4.	Driftstabilität	21
2.3.4.1.	Elektrischer Screeningtest	22
2.3.4.2.	Econo-Serienmodule	23
2.3.4.3.	Hochvolt-Module.....	28
2.3.4.4.	Diskrete Dioden (TO-220).....	29
2.3.4.5.	Defektanalyse/EMMI-Untersuchungen.....	30
2.4.	Zusammenfassung Chip-Themen	33
3.	Modul-Themen.....	34
3.1.	Modulaufbauten.....	34
3.1.1.	Module für Einzelchipversuche	34
3.1.2.	Module für elektrische und thermische Charakterisierung	35
3.1.3.	Module für Zuverlässigkeitsuntersuchungen	37
3.1.4.	Übersicht der Moduldemonstratoren	39
3.2.	Weichverguss und Randpassivierung.....	39
3.2.1.	Gutteilkennlinien auf Substrat- und Modulniveau.....	40
3.2.2.	Schlechtteilkennlinien auf Substrat- und Modulniveau	40
3.2.3.	Sperrstromstabilisierung durch Sperrlagern oder Temperaturlagern	41
3.2.4.	Zusatzpassivierungen zwischen Weichverguss und Chip	42
3.2.5.	Ursachenklärung der Frühdurchbrüche und Drifteffekte	43
3.3.	Substratlayout	45
3.3.1.	Thermischer Widerstand.....	45
3.3.2.	Stromtragfähigkeit.....	47
3.3.3.	Schaltverhalten.....	47
3.4.	Mechanische Charakterisierung.....	49
3.5.	Elektrische Charakterisierung.....	50
3.5.1.	Substratvortest.....	50
3.5.2.	Modultest	51
3.5.3.	Stossstromvermögen.....	53
3.6.	Zusammenfassung Modul-Themen.....	55

1. Einleitung

Moderne leistungselektronische Schalter ermöglichen energieeffiziente Antriebe für Industrie- und Traktionsanwendungen. Die für hohe Spannungen und Ströme bevorzugt verwendeten IGBTs und Dioden basieren auf Silizium. In den vergangenen Jahren hat es große Fortschritte gegeben, die statischen und dynamischen Verluste dieser Bauelemente deutlich zu reduzieren. Die durch die Eigenschaften des Grundmaterials vorgegebene maximale Performance begrenzt für die Zukunft allerdings die weitere Reduzierung dieser Verluste.

Eine deutliche Verschiebung dieses Limits ist durch den Wechsel auf Bauelemente basierend auf Siliziumkarbid (SiC) möglich. Durch die gegenüber Silizium wesentlich größere Durchbruchfeldstärke und Bandlücke ist mit SiC eine signifikante Reduzierung der Schaltverluste bei gleichzeitig wesentlich höheren maximal zulässigen Bauelementtemperaturen zu erwarten.

Die wesentliche Zielsetzung des Teilvorhabens der Infineon Technologies AG (Infineon) bestand in dem Aufbau und der Bereitstellung von Leistungsmodulen mit SiC Dioden mit einer Sperrspannung von 6,5 kV. Diese Diodenmodule sollten anschließend durch die Projektpartner getestet und insbesondere als Ersatz einer Reihenschaltung von Silizium-Mittelpunktdioden mit einer Sperrspannung von je 3,3 kV in einem kommerziell verfügbaren Mittelspannungsumrichter getestet werden. Durch die Verwendung der SiC-Module kann dabei die Komplexität des Schaltungsaufbaus verringert und insbesondere auch eine deutliche Reduzierung der Schaltverluste erreicht werden.

SiC-Bauelemente besitzen gegenüber Silizium-Bauelementen eine wesentlich geringere Chip-Größe. Zusätzlich ist die elektrische Feldstärke im und am Rand des SiC-Bauelementes deutlich größer als bei Si-Bauelementen und der negative Temperaturkoeffizient der Durchlasscharakteristik muss bei der Parallelschaltung berücksichtigt werden. Deshalb erfordert der Aufbau von SiC-Bauelementen neue Ansätze. Die Zuverlässigkeit und Robustheit bei heute verwendeten Aufbau- und Verbindungstechniken ist weitgehend unbekannt und muss eingehend charakterisiert werden. Eine besondere Bedeutung kommt der Untersuchung und dem Nachweis der Stabilität der elektrischen Durchlasscharakteristik zu.

Die wesentlichen Entwicklungsziele des Infineon Teilvorhabens waren:

- Substratlayoutentwicklung für optimierte Wärmeableitung von SiC Chips mit geringen Abmessungen
- Anpassung der Aufbau- und Verbindungstechnik für höhere Bauelementgrenzschichttemperaturen (Ziel zunächst 150 °C statt maximal 125 °C)
- Einsatz alternativer Verguss- oder Passivierungsmaterialien zur Beherrschung der hohen auftretenden elektrischen Feldstärken
- Charakterisierung und Optimierung des mechanischen Interfaces SiC-Bauelement zum Modulaufbau
- Reduzierung der elektrischen Schaltverluste des Halbleitermoduls durch Einbau von SiC Dioden

Lag der Schwerpunkt des Teilvorhabens von Infineon ursprünglich nur bei den genannten Modultemen, änderte sich die Situation grundlegend durch die Auflösung der SiCED Electronics Development GmbH & Co. KG (SiCED) zum 31.12.2010. Die SiCED war als Unterauftragnehmer der Siemens AG in das Verbundprojekt eingebunden und verantwortlich für die Bearbeitung der chiprelevanten Arbeitspakete, insbesondere für die Bereitstellung der SiC-Hochvoltbauelemente. Um die Durchführung des Projektes und die Erreichung der wesentlichen Projektziele nicht zu gefährden, hat Infineon diese chiprelevanten Themen von der SiCED zum 1.1.2011 übernommen und in das Infineon-Teilvorhaben integriert. Dadurch erweiterte sich die Zielsetzung u.a. auf folgende Themen:

- Bereitstellung der für die Module benötigten SiC Hochvoltbauelemente
- Weiterentwicklung benötigter Herstellungstechnologien für 3 Zoll & 100 mm SiC-Wafer
- Optimierung von Layout & Design
- Einsatz notwendiger Bauelemente-Simulationen

Die im Zusammenhang mit der Übernahme der Chipthemen durch Infineon aufgetretenen Herausforderungen, Verzögerungen und notwendigen Anpassungen bei den Arbeitspaketen werden im Kapitel Chipthemen ausführlich dargestellt und erläutert. Zusammenfassend kann festgestellt werden, dass der durch die Schließung der SiCED notwendige Wechsel der Technologieumgebung zu starken Verzögerungen führte, so dass die ursprünglich geplanten Diodenbereitstellungen auch trotz kostenneutraler Verlängerung nicht in der gewünschten Menge stattfinden konnten.

Zusätzlich stellte sich heraus, dass neben der Diodenherstellung auch die Themen Sperrstabilität, Driftstabilität und Parallelschaltung eine intensivere Bearbeitung benötigten. Daher wurde in Absprache mit dem Projektträger VDI/VDE-IT auf die von der SiCED ursprünglich geplanten Arbeitspakete zum Thema Hochvolt-SiC-Schaltbauelement verzichtet, so dass stattdessen die genannten Fokusthemen stärker bearbeitet werden konnten.

2. Chip-Themen

2.1. Einleitung

Zur Herstellung hochsperrender 6,5 kV SiC-Diodenmodule für den Einsatz in Mittelspannungsumrichtern ist eine große Anzahl parallel geschalteter 6,5 kV SiC pin-Dioden erforderlich, da wegen der im Vergleich zu Si-Bauelementen deutlich höheren Defektdichte beim SiC die aktive Fläche des Bauelementes nicht zu groß gewählt werden kann. Für das Projekt wurde eine aktive Fläche von 7,6 mm² gewählt, mit der ein Nennstrom von ca. 10 – 12 A realisiert werden kann. Für die Herstellung eines 1200 A Diodenmoduls sind daher 100 – 120 parallel geschaltete Dioden erforderlich. Dies macht deutlich, dass die Herstellung einer großen Anzahl funktionierender hochsperrender Dioden ein Schwerpunkt der „Chip-Arbeitspaketes“ war.

Zwischen dem Projektstart am 1.4.2010 und dem 31.12.2010 fungierte die SiCED Electronics Development GmbH & Co. KG (SiCED) als Unterauftragnehmer der Siemens AG und bearbeitete im Wesentlichen die folgenden Arbeitspakete:

- Prozessierung & Herstellung von 6,5 kV SiC pin-Dioden auf 3 Zoll & 100 mm Wafern
- Optimierung Mesa-Ätzprozess
- Diodenlayout
- Diodenbereitstellung

Aufgrund der Schließung der SiCED zum 31.12.2010 übernahm Infineon die Arbeitspakete der SiCED und integrierte sie in das Infineon-Teilvorhaben, um die Gesamtprojektziele nicht zu gefährden. Diese chiprelevanten Projektthemen wurden ab dem 1.1.2011 im neu gegründeten Infineon Competence Center für SiC in Erlangen (ICC SiC Erl) weiter bearbeitet. Allerdings stand aufgrund der Auflösung der bei der SiCED vorhandenen Technologieumgebung kein funktionierender und bewährter Diodenherstellungsprozess mehr zur Verfügung. Die weiterhin erforderlichen Arbeiten wurden daher im Auftrag des ICC SiC Erl beim Fraunhofer Institut IISB Erlangen durchgeführt, in deren Räumen sich das ICC SiC Erl befindet. Die komplexe Technologie der SiC pin-Diode ist insbesondere bei der Mesaätzung und dem Polyimidprozess auch beim SiC kein Standardprozess. Hinzu kommt erschwerend, dass die Prozesse nach dem Umzug mit einem anderen Equipment durchgeführt werden mussten.

Die Schwerpunkte bei den Chip-Themen verlagerten sich aufgrund dieser Veränderung der Rahmenbedingungen, aber auch wegen neuer Erkenntnisse beim Modulaufbau und bei den Projektpartnern auf folgende Themen:

- Diodenprozessierung & -bereitstellung
- Optimierung Sperrstabilität (→ Diodenlayout & Randdesign)
- Untersuchung Driftstabilität

Durch den notwendigen stärkeren Fokus und intensivere Bearbeitung der Themen Sperrstabilität und Driftstabilität, sowie durch notwendige zusätzliche Waferprozessierungen wurde in Absprache mit dem Projektträger auf die ursprünglich noch bei der SiCED geplanten Arbeitspakete zum Thema SiC-Schaltbauelement verzichtet.

Im Folgenden werden die bei SiCED und bei Infineon durchgeführten Arbeiten und erzielten Ergebnisse bei den Chip-Themen getrennt voneinander dargestellt und erläutert.

2.2. Chip-Themen / SiCED

Kommerziell erhältliche SiC-Bauelemente sind aktuell nur für den Spannungsbereich bis 1700 V auf dem Weltmarkt verfügbar. Dabei handelt es sich ausschließlich um unipolare Bauelemente, wie z.B. SiC Schottkydioden. Für Sperrspannungen > 3 kV wird aufgrund der erforderlichen hohen Driftschichtdicke und der niedrigen Dotierung der differentielle Widerstand unipolarer Bauelemente so hoch, dass bipolare Bauelementstrukturen mit ihrer Ladungsträgermodulation eindeutige Performance-Vorteile bieten. Für die im Projekt erforderliche Sperrspannung von 6,5 kV sind daher SiC pin-Dioden erforderlich, die Driftschichtdicken von ca. 60 μm aufweisen. In Abbildung 1 ist ein schematischer Querschnitt einer 6,5 kV SiC pin-Diode dargestellt.

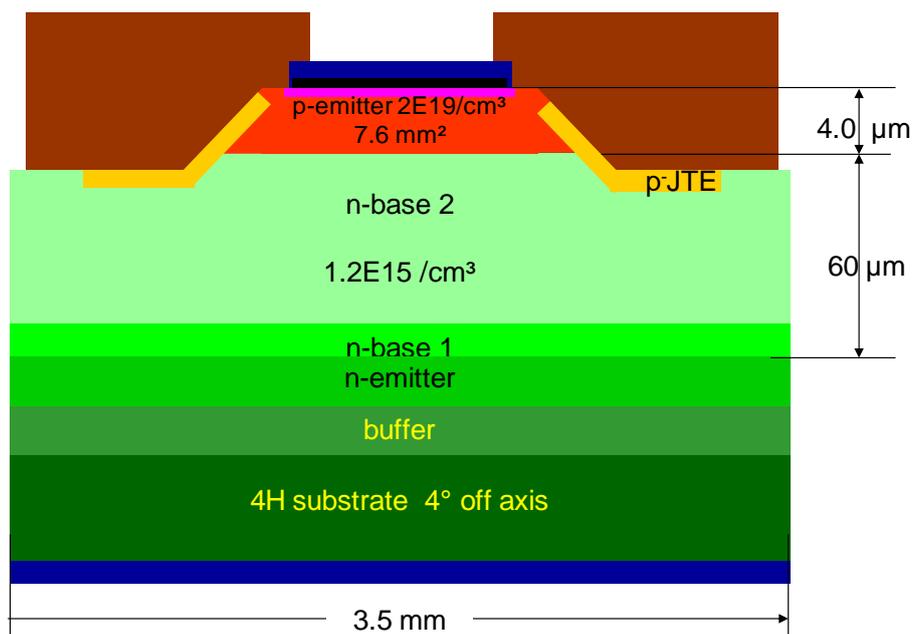


Abbildung 1: Querschnitt einer 6,5 kV SiC pin-Diode.

Ein wesentlicher Schlüsselprozess bei der Herstellung der Hochvolt-Dioden besteht in der epitaktischen Abscheidung der niedrig dotierten Driftschicht auf dem 4H-SiC-Grundmaterial. Für ein optimales Schaltverhalten der Diode ist hierbei eine abgestufte Schichtstruktur erforderlich, die Ziel-dotierung der obersten Schicht beträgt ca. $1,2e15 \text{ cm}^{-3}$. Die bessere Schichtqualität wird üblicherweise in einer Single-Wafer Anlage erzielt, in der nur ein Wafer pro Prozess hergestellt werden kann. Aufgrund der relativ niedrigen Wachstumsraten von 5 – 10 $\mu\text{m}/\text{h}$ liegt die Prozesszeit mit über 6 h für eine 60 μm dicke Schicht aber sehr hoch und führt zu hohen Produktionskosten. Durch Verwendung der bei der SiCED vorhandenen Multi-Wafer Anlage können 6 Wafer mit einem Durchmesser von 100 mm zeitgleich prozessiert werden. Dies führt zu deutlich niedrigeren Prozesskosten und einem höheren Waferdurchsatz. Allerdings muss sichergestellt werden, dass dabei keine Einbußen bei der

Schichtqualität (Defektdichte, Ladungsträgerlebensdauer, Homogenität der Schichtdicke & Dotierung) entstehen.

Der p-dotierte Emitter kann per p-Typ Epitaxie oder auch per Ionenimplantation hergestellt werden. Dabei bietet der epitaktisch hergestellte p-Emitter den Vorteil, größere Schichtdicken mit einer geringeren Defektdichte zu erreichen. Die geforderte Dicke der p-Schicht beträgt $4\ \mu\text{m}$.

Der vollständige Prozessablauf zur Herstellung der pin-Dioden (mit epitaktisch erzeugtem p-Emitter) besteht aus folgenden Schritten:

- Epitaktische Abscheidung des $60\ \mu\text{m}$ dicken gestuften und niedrig dotierten n-Typ Schichtstapels
- Epitaktische Abscheidung des $4\ \mu\text{m}$ dicken hoch dotierten p-Typ Emitters
- Selektives Ätzen der Mesa-Struktur zur Freilegung des p-Emitters
- Selektive Implantation des Randabschlusses und des Vorderseiten-Kontaktgebietes
- Thermisches Ausheilen nach der Implantation bei Temperaturen $>1700\ \text{°C}$ (PIA)
- Herstellung der ohmschen Kontakte auf Vorder- und Rückseite
- Abscheidung der Vorderseitenmetallisierung
- Abscheidung, Strukturierung und Zyklisierung der Randpassivierung
- Abscheidung der Rückseitenmetallisierung

Neben den beiden Epitaxieprozessen ist die Herstellung der Mesa-Struktur ein besonders kritischer Prozess, da für die spätere Funktionalität der pin-Diode ein komplettes Durchätzen der p-dotierten Schicht und eine gute Passivierung der Mesa-Seitenwände erforderlich sind.

Nach vollständiger Prozessierung werden die pin-Dioden auf Waferebene gemessen und ausgewertet. Dabei wird eine Selektion in Vorwärts- und Sperrrichtung vorgenommen, um defektbehaftete Dioden kennzeichnen zu können. Nach Sägen des Wafers können die funktionierenden, vereinzelt Dioden aufgebaut werden, z.B. in Modulen mit Parallelschaltung oder auch in Einzelgehäusen für Spezialmessungen (s. unten). Beispielhaft ist in Abbildung 2 die temperaturabhängige Vorwärtskennlinie einer $6,5\ \text{kV}$ SiC pin-Diode dargestellt.

Für die Herstellung einer großen Anzahl elektrisch möglichst gleichartiger Dioden – eine Voraussetzung für die spätere Parallelschaltung sehr vieler Dioden in einem Modul für Nennströme $>1000\ \text{A}$ – ist eine gute Reproduzierbarkeit der Technologie, insbesondere der kritischen Prozesse wie Epitaxie & Mesa-Ätzung erforderlich.

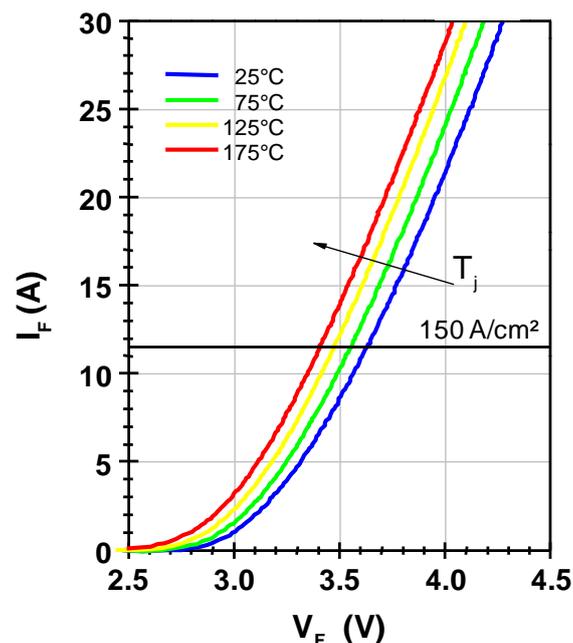


Abbildung 2: Temperaturabhängige Vorwärtskennlinie einer $6,5\ \text{kV}$ SiC pin-Diode.

2.2.1. Technologie-Durchläufe 3 Zoll & 100 mm

Zum Zeitpunkt des Projektstarts im Jahr 2010 stand SiC-Grundmaterial in den Durchmessern 3 Zoll und 100 mm zur Verfügung. Die bei der SiCED vorhandene Technologie war für 3 Zoll Wafer ausgelegt und im Projekt sollte der Übergang auf 100 mm Wafer erfolgen. Besonders kritisch ist die Vergrößerung des Durchmessers beim Epitaxieprozess, da die geforderten Homogenitäten für die Dicken- und Dotierungsverteilung eingehalten werden müssen. Noch vor der Schließung der SiCED und dem Umzug der Epitaxieanlage wurden, 6 Stk. 100 mm Wafer prozessiert, die für die weiteren Technologieschritte der 6,5 kV Dioden geeignet waren. Verwendet wurde dabei eine Wachstumsrate von 8 $\mu\text{m}/\text{h}$. Diese Wafer wurden nachfolgend in einer Single-Wafer Epitaxieanlage beim IISB Erlangen mit einem 4 μm dicken Emitter versehen und bei der SiCED zu pin-Dioden prozessiert. Auch wenn die meisten Dioden noch eine unbefriedigende Sperrcharakteristik aufweisen (s. Abbildung 3 links, nur wenige Dioden sperrend bis 6,5 kV), konnte demonstriert werden, dass der Dioden-Herstellungsprozess prinzipiell auf 100 mm Wafer übertragbar ist. Ein Teil der hergestellten Dioden wurde nachfolgend in Modulen verbaut, die für Power-Cycling-Versuche beim Projektpartner Siemens verwendet wurden.

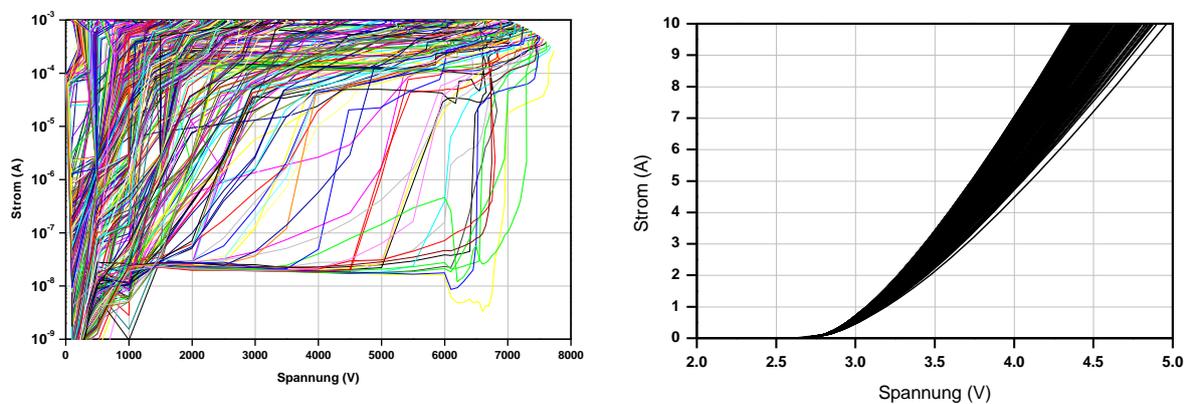


Abbildung 3: Sperr- (links) und Flusscharakteristik (rechts) von SiC pin-Dioden, hergestellt auf einem 100 mm Substrat (Wafer P378).

Neben den 100mm Wafern wurden noch 2 weitere Lose mit insgesamt 8 Stk. 3 Zoll Wafern gestartet, die aber wegen der Schließung der SiCED nicht mehr fertiggestellt wurden. Die Prozessierung bei der SiCED wurde mit dem thermischen Ausheilen nach der Implantation beendet, die weiteren Technologieschritte erfolgten nach dem Umzug zum ICC SiC Erl.

Mit dem Ziel einer Verbesserung der Vorwärtscharakteristik wurden zwei 3 Zoll Wafer mit einer speziellen Epitaxieschicht versehen. Diese 6,5 kV Hochvoltschichten wurden mit einem Epitaxieprozess hergestellt, der eine möglichst vollständige Konversion von Basalflächenversetzungen in elektrisch inaktive Stufenversetzungen erzeugt, wodurch die Gefahr der Bipolardrift verhindert werden sollte (Details s. unten im Kapitel 2.3.4. Driftstabilität). Diese zwei Wafer wurden noch bei der SiCED fertig prozessiert und zeigten im Prüffeld eine gute Sperrausbeute von insgesamt 230 Dioden. Die Prüffeldergebnisse eines Wafers (P315) sind in Abbildung 4 dargestellt. Diese Dioden wurden für die Herstellung hochsperrender Diodenmodule verwendet, die nachfolgend beim Projektpartner Siemens in einem MV-Umrichter getestet wurden (s. Bericht des Projektpartners Siemens).

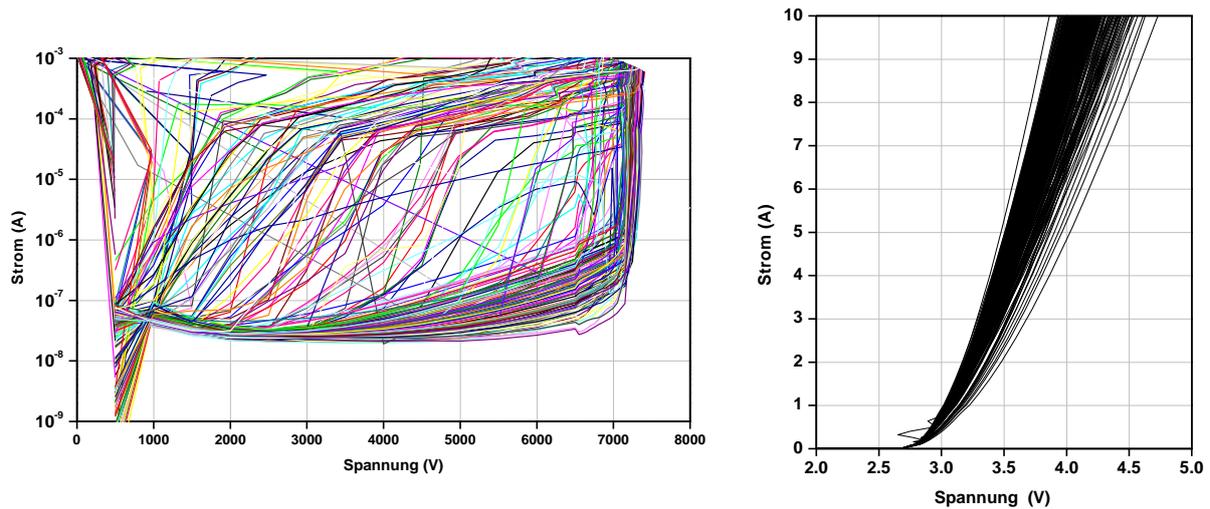


Abbildung 4: Sperr- (links) und Flusscharakteristik (rechts) von eines 3 Zoll Wafers mit SiC pin-Dioden, hergestellt mit speziellem „low-BPD“ Epitaxieprozess.

2.2.2. MESA-Ätztechnik & Randpassivierung

Für die Herstellung der Mesa-Struktur, also das selektive Durchätzen der ca. 4 µm p-dotierten Epitaxieschicht, wird üblicherweise eine ca. 2 µm dicke Oxid-Hartmaske verwendet, welche mittels Fototechnik strukturiert wird. Bei der SiCED standen zwei verschiedene Ätzanlagen für diesen Prozess zur Verfügung. Mit der bereits seit Jahren verfügbaren RIE-Ätzanlage war allerdings aufgrund der geringen Ätzselektivität zwischen Oxid- und SiC-Schicht ein dreistufiger Prozess erforderlich – der Prozessblock „Oxid abscheiden“, „Strukturieren“ und „SiC ätzen“ musste also dreimal hintereinander durchgeführt werden. In Abbildung 5 ist die resultierende Mesa-Struktur in einem FIB-Schnitt dargestellt.

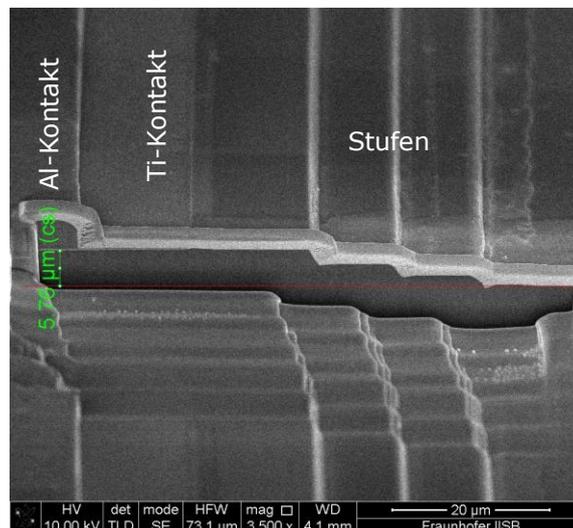


Abbildung 5: 3-stufiger Mesa-Rand der pin-Diode, hergestellt mit RIE-Anlage.

Mit der neu in Betrieb genommenen ICP-Ätzanlage konnte ein Prozess entwickelt werden, der eine SiC-Ätzrate von 220 nm/min und eine Oxidätzrate von 150 nm/min aufweist. Die erzielte Selektivität von 1.5 ist ausreichend, um einen 4 µm dicken p-Emitter in 2 Schritten zu ätzen. Die Homogenität der Ätzung ist hinreichend und liegt im Zielkorridor (Standardabweichung der MESA-Ätzstufe 2.6 %). Abbildung 6 zeigt eine mit der ICP-Anlage hergestellte zweistufige Mesa-Struktur im Querschnitt.

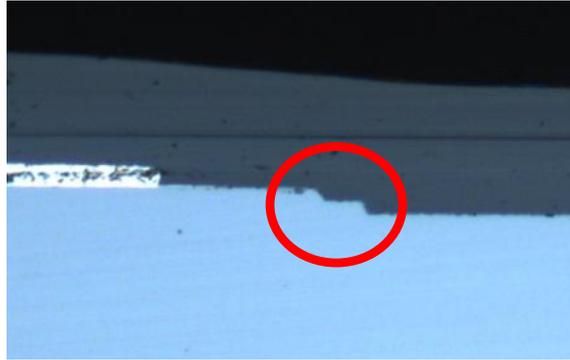


Abbildung 6: 2-stufiger Mesa-Rand der pin-Diode, hergestellt mit ICP-Anlage.

2.2.3. Layout & Randpassivierung

Das für die Modulaufbauten verwendete Layout der pin-Diode kann dem Querschnitt in Abbildung 1 entnommen werden. Die Diode wurde ausgelegt für einen Nennstrom von 11.4 A bei einer Stromdichte von 150 A/cm². Daraus resultiert eine aktive Fläche von 7.6 mm².

Während der Projektlaufzeit stellte sich heraus, dass die im Prüffeld und beim Modulaufbau beobachteten Instabilitäten in Sperrrichtung und Sperrausfälle Änderungen am Diodenlayout notwendig machen. Die zu diesem Zweck durchgeführten Simulationen und daraus abgeleiteten Änderungen beim Layout werden im 2.3.3. Sperrstabilität/Randpassivierung ausführlich dargestellt.

Für die Randpassivierung wurde ursprünglich ein 25 µm dickes Fotoimid verwendet. Da der beim Modulaufbau verwendete Weichverguss allerdings nur mit elektrischen Feldstärken im Bereich von 100 – 500 kV/cm belastet werden darf, wurde bei der SiCED erfolgreich ein Doppelimidprozess getestet. Dabei wurde ein Wafer mit bereits strukturiertem und zyklisiertem Imid erneut einem kompletten Imidprozess unterworfen. Die daraus resultierende Gesamtimiddicke von 50 µm wäre ausreichend für eine signifikante Reduzierung der im Weichverguss auftretenden Feldstärken. Aufgrund der Schließung der SiCED konnte dieser Prozess nicht mehr an funktionierenden pin-Dioden getestet werden.

2.2.4. Diodenlieferungen

Bevor die SiCED geschlossen wurde, konnte eine größere Anzahl von Dioden an die Projektpartner ausgeliefert werden (Tabelle 1):

Tabelle 1: Diodenlieferungen der SiCED an die Projektpartner.

Anzahl	Lieferung an	Verwendung	Bemerkung
999	Infineon Warstein	Modulaufbau für Test Parallelschaltbarkeit/Thermografie	
1280	Infineon Warstein	Modulaufbau für Power Cycling & Test Driftstabilität	100 mm Wafer, nicht hochsperrend
30	TU Dresden	Test Driftstabilität	Im TO-220 Gehäuse

2.2.5. SiC pin-Dioden in diskreten Gehäusen

Um die Dioden hinsichtlich ihres Temperaturverhalten bis über 300 °C, ihrer Sperreigenschaften bis 6,5 kV und ihres Schaltverhaltens charakterisieren zu können, wurde ein diskretes Gehäuse zusam-

men mit der Firma Boschman entwickelt. Das Gehäuse besteht aus einem 0,5 mm dicken Kupfer-Leadframe, auf das die Diode mit einem Pb-Lot gelötet und mit 250 μm Al-Draht gebondet wurde. Anschließend wird der Aufbau mit einer Moldmasse umspritzt (Abbildung 7). Der Mold-Prozess wurde dabei so optimiert, dass auf der Leadframeunterseite eine auf der gesamten Fläche dünne und homogene Moldschicht entsteht. Die Dicke der Schicht ist hinsichtlich des Moldprozesses, der elektrischen Durchbruchfeldstärke und des thermischen Widerstandes optimiert. Um die für 6,5 kV Sperrspannung notwendige Kriechstrecke zu erreichen, sind die elektrischen Kontakte lateral angeordnet.



Abbildung 7: a) Gehäuse für die 6,5 kV SiC pin-Diode (links), b) Schematischer Aufbau des Gehäuses (rechts).

Die Abbildung 8a zeigt die Durchlasskennlinie der 6,5 kV SiC pin-Diode und deren Temperaturabhängigkeit. Mit steigender Temperatur nimmt die Vorwärtsspannung V_F bei konstantem Strom ab (negativer Temperaturkoeffizient). In der Abbildung 8a ist zusätzlich die Stromdichte von 150 A/cm^2 eingezeichnet und markiert einen typischen Wert für die Auslegung der Strombelastung im Vorwärtsbetrieb.

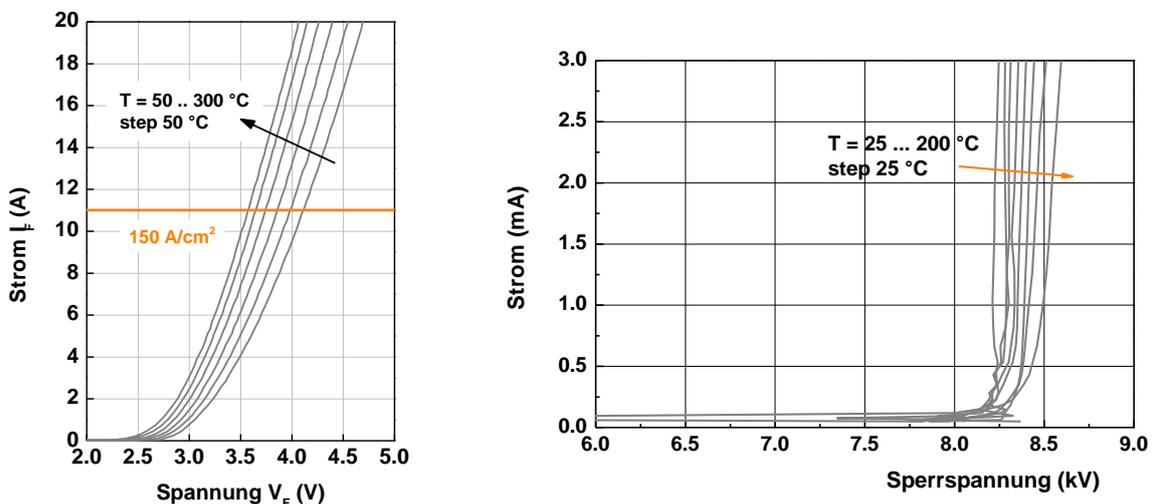


Abbildung 8:
a) Durchlasskennlinie der 6,5 kV SiC Diode in Abhängigkeit der Temperatur (links).
b) Sperrkennlinie als Funktion der Temperatur (rechts).

Entsprechend der Dicken der n- und der p-Typ dotierten Epitaxieschichten und deren Dotierungen besitzen die pin-Dioden eine Sperrspannung von mehr als 6,5 kV (Abbildung 8b). Ab 8 kV steigt der Sperrstrom an und zeigt Avalanche-Verhalten, d.h. mit steigender Temperatur nimmt die Sperrspannung bei konstantem Strom zu.

Zusätzlich zeigen diese Messungen, dass das entwickelte Gehäuse die Anforderungen insbesondere an die Isolationsfestigkeit für hohe Spannungen voll erfüllt.

Dieses Gehäuse ermöglicht es auch, das dynamische Schaltverhalten der 6,5 kV SiC Dioden bis zu einer Temperatur vom 300 °C zu messen. In der Abbildung 9 ist das Abschalten einer Einzeldiode dargestellt. Mit Hilfe eines Si-IGBTs in einer Chopper-Schaltung konnte der Diodenstrom von 27 A mit einem di/dt von 800 A/ μ s abgeschaltet werden. Selbst unter diesen „harten“ Schaltbedingungen zeigt der Rückwärtsstrom über den gesamten untersuchten Temperaturbereich ein Soft-Recovery-Verhalten und ist der maximale Rückwärtsstrom während des Schaltvorganges nahezu gleich dem Vorwärtsstrom.

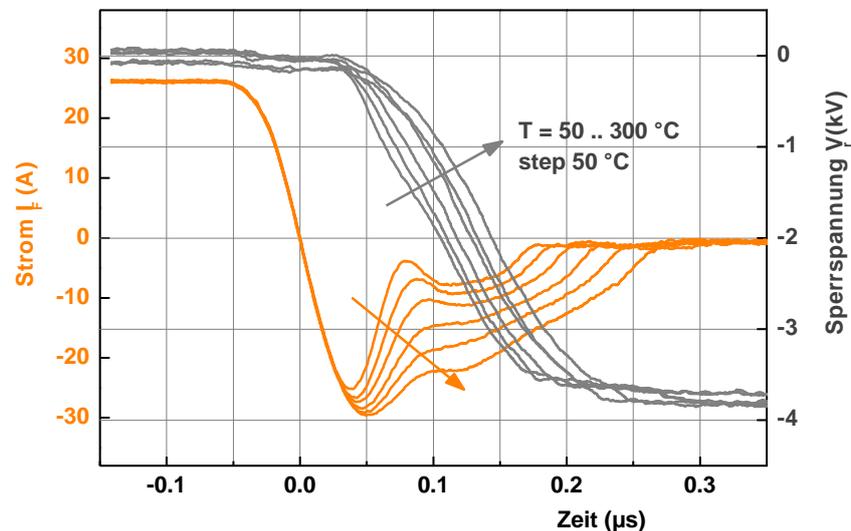


Abbildung 9: Abschaltverhalten einer einzelnen 6,5 kV SiC pin-Diode.

2.3. Chip-Themen / Infineon

Die Schließung der SiCED und die damit verbundene Aufgabe der SiCED-Technologieumgebung machte es erforderlich, dass Infineon die im Projekt weiterhin geplante und notwendige Diodenprozessierung gemeinsam mit der FhG IISB Erlangen in deren Reinraum realisierte. Da sich das neu gegründete Infineon Competence Center für SiC (ICC SiC Erl) in Erlangen in den Räumlichkeiten der FhG IISB Erlangen befindet, ergab sich hier eine enge Zusammenarbeit bei der Einführung/Übernahme der SiC pin-Dioden Technologie.

Es musste allerdings festgestellt werden, dass der bei der SiCED vorhandene Fertigungsprozess nicht ohne größere Verzögerungen und Schwierigkeiten transferiert werden konnte, zumal die Technologie mit einem anderen Equipment durchgeführt wurde. Dadurch kam es sowohl zu starken zeitlichen Verzögerungen als auch zu deutlich geringeren Ausbeuten als ursprünglich geplant.

Die beim Modulaufbau auftretenden Instabilitäten im Sperrverhalten der Dioden (s. Modulteil des Berichtes) führten darüber hinaus zum Verlust größerer Diodenmengen, aber auch dazu, das Layout der Diode und hier insbesondere des Randabschlusses grundlegend mit Hilfe von Simulationen zu verstehen und zu überarbeiten. Darauf aufsetzend konnten am Ende der Projektlaufzeit noch Dioden mit deutlich verbessertem Sperrverhalten hergestellt werden, auch wenn diese aus Zeitgründen nicht mehr in Modulen verbaut werden konnten.

Bei den Untersuchungen der Parallelschaltbarkeit (s. Bericht des Projektpartners Siemens) stellte sich heraus, dass die Driftstabilität der Dioden eine große Hürde für die Homogenisierung der Stromverteilung und dadurch bedingt auch für die „Power Cycling“-Festigkeit darstellt. Aus diesem Grund wurden vielfältige Untersuchungen zum Thema Bipolardrift durchgeführt, auch um mögliche Gegenmaßnahmen identifizieren zu können.

Die beim ICC SiC Erl bearbeiteten Chip-Themen werden daher wie folgt gegliedert:

- Diodenprozessierung und Diodenbereitstellung
- Sperrstabilität und Randpassivierung
- Driftstabilität

2.3.1. Diodenprozessierung

Die Diodenfertigung in der Technologieumgebung der FhG Erlangen konnte aufgrund von Verzögerungen bei der Einzelprozessbereitstellung (z.B. Imidprozess und RTP-Prozess), sowie aufgrund von Prozessinstabilitäten nur verzögert wieder aufgenommen werden.

Die bereits bei der SiCED teilweise prozessierten Wafer wurden bei der FhG Erlangen fertig prozessiert und im Prüffeld vermessen. Abbildung 10 zeigt beispielhaft den Wafer P391, der bis einschließlich des thermischen Ausheilens bei der SiCED prozessiert und anschließend bei der FhG Erlangen fertiggestellt wurde. Links ist ein Wafermap des Sperrverhaltens bei 100 V Sperrspannung dargestellt. Deutlich ist der sehr niedrige Leckstrom I_R für einen großen Bereich auf dem Wafer zu erkennen („blaue“ Dioden mit $I_R < 2$ nA). Auch die Sperrausbeute bei 4,5 kV, dargestellt auf der rechten Seite, liegt mit ca. 47 % ($I_R < 10$ nA @ 4,5 kV) im erwarteten Bereich. Beim Vergleich beider Wafermaps wird deutlich, dass die Ausfalldioden im Wesentlichen am Waferrand liegen. Eine mögliche Ursache dafür liegt in der Inhomogenität des Mesa-Ätzprozesses mit der RIE-Anlage, die dazu führen kann, dass die auftretenden Feldstärken an der Mesa-Kante stark variieren und teilweise zu einem früheren Durchbruch führen.

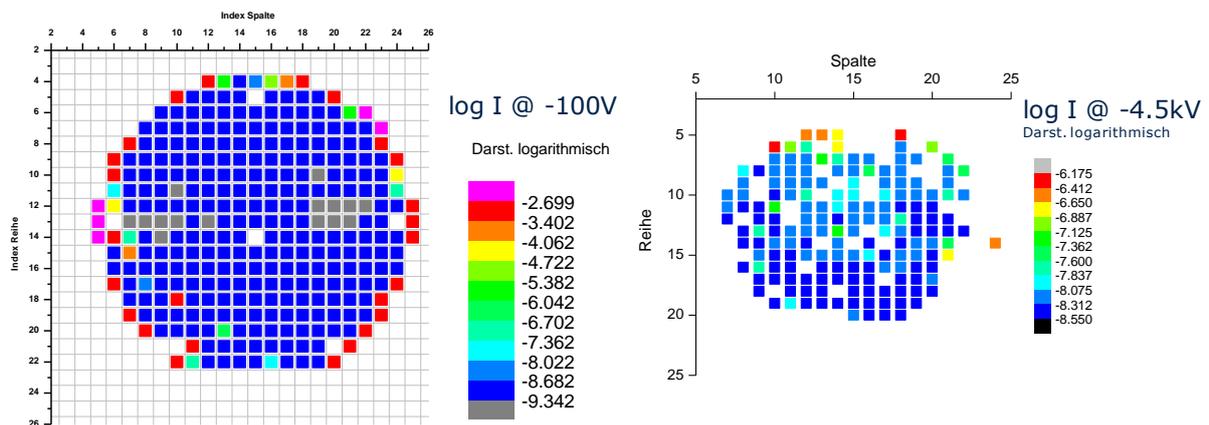


Abbildung 10: Prüffeldergebnisse von P391 – Sperrcharakteristik.

Das Mapping der Durchlasscharakteristik des Wafers P391 ist in Abbildung 11 dargestellt. Der links dargestellte „Subthreshold“-Bereich zeigt den erwarteten Verlauf, also eine scharfe Verteilung der Vorwärtsspannung V_F bei ca. 2,2 V für einen Strom von 0,1 μ A. Die rechts dargestellte Verteilung des V_F bei 6,9 A liegt mit einem Bereich von 5,5 V – 7,5 V deutlich höher als bei vergleichbaren Dioden. Hier zeigt sich der Einfluss der Emitterdotierung, die bei diesem Wafer nur $8e18$ cm^{-3} statt $2e19$ cm^{-3} betrug, sowie von Inhomogenitäten bei der ohmschen Kontaktierung von Vorder- und Rückseite, welche mittels RTP-Prozess hergestellt werden. Für eine homogenere und niedrigere V_F -Verteilung ist hier eine weitere Optimierung notwendig.

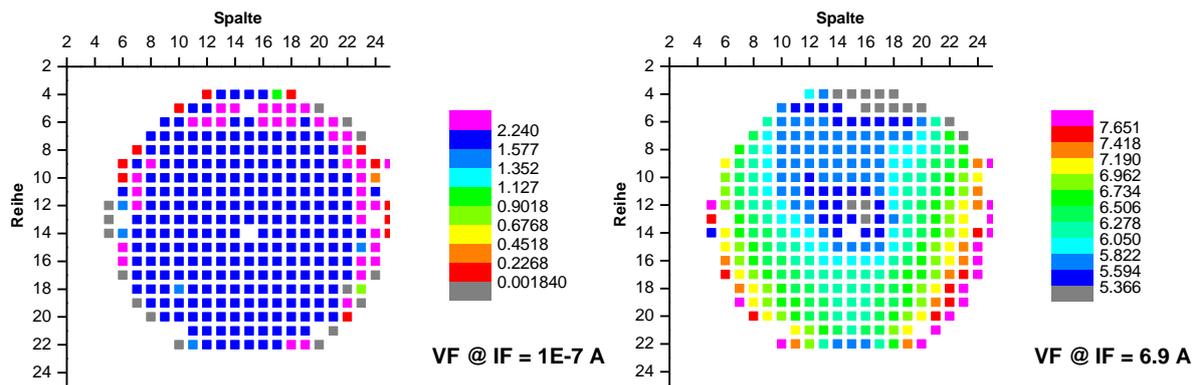


Abbildung 11: Prüffeldergebnisse von P391 – Vorwärtscharakteristik.

Ein weiteres Beispiel für einen Wafer, der bei der FhG Erlangen fertig prozessiert wurde, ist in Abbildung 12 dargestellt. Zu sehen ist die Sperrcharakteristik des Wafers P401 bei einer Sperrspannung von 100 V (links). Im Vergleich zu Abbildung 10 ist deutlich zu erkennen, dass beim Wafer P401 das Sperrstromniveau bereits bei 100 V Sperrspannung ca. 3 Größenordnungen höher liegt. Die Ursache liegt vermutlich im noch bei der SiCED zweistufig geätzten Mesa-Prozess mit der ICP-Anlage und einer ungenügenden Passivierung der Mesa-Oberfläche.

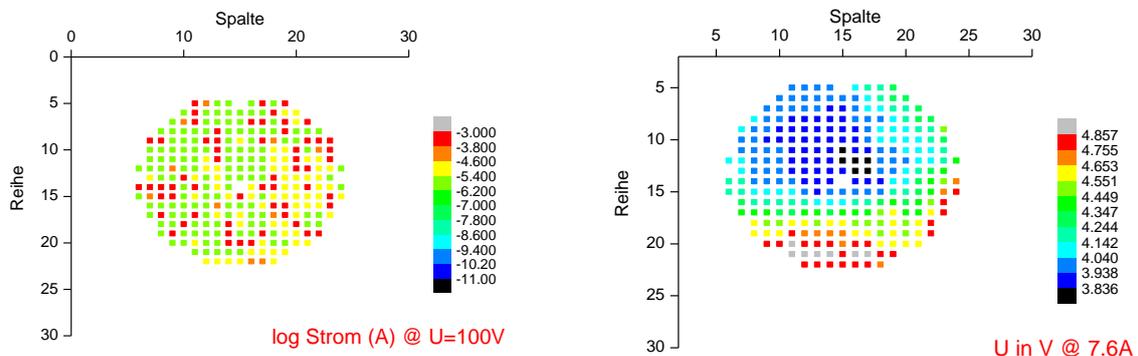


Abbildung 12: Prüffeldergebnisse von P401 – Sperrstromverteilung bei 100 V Sperrspannung (links) und V_f -Verteilung bei 7,6 A (rechts).

Die in Abbildung 12 rechts dargestellte V_f -Verteilung bei 7,6 A zeigt mit einer Verteilung von 3,8 V – 4,8 V dagegen ein deutlich verbessertes Niveau gegenüber der von Wafer P391 in Abbildung 11 rechts. Hier zeigen sich der Einfluss der höheren Emitterdotierung und eine Verbesserung des durchgeführten RTP-Prozesses zur Herstellung der ohmschen Kontakte.

Neben der Fertigstellung der bereits bei der SiCED teilweise prozessierten Wafer wurden bei der FhG Erlangen insgesamt drei weitere Lose mit 3 Zoll Wafern prozessiert. Die Prüffeldmessungen ergaben jedoch nur eine ungenügende Sperrfähigkeit dieser neu prozessierten Dioden. Beispielhaft ist in Abbildung 13 die Sperrcharakteristik des Wafers P385 dargestellt.

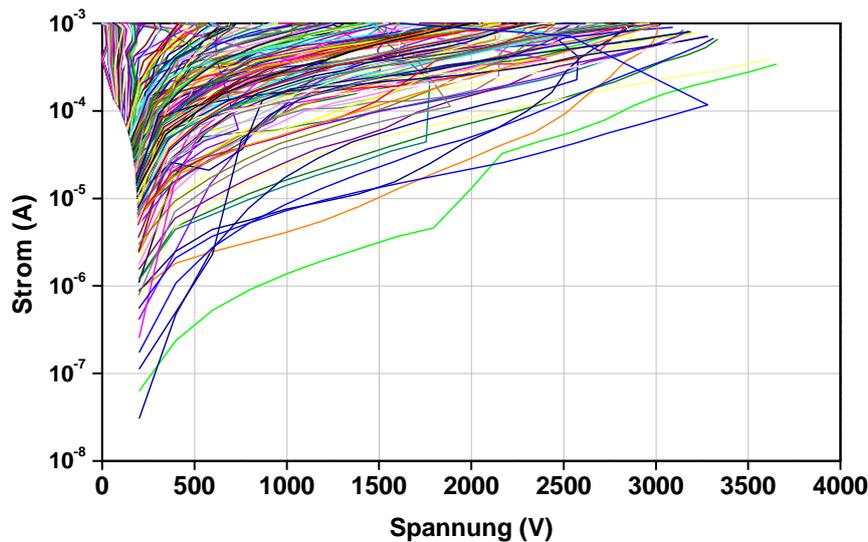


Abbildung 13: Prüffeldergebnisse von P385 – Sperrcharakteristik.

Deutlich ist das unzureichende Sperrvermögen zu erkennen. Als verantwortliche Ursache für die starke Reduzierung der Sperrfähigkeit wird der Prozessblock zur Herstellung der Mesa-Struktur vermutet. Optische Kontrollen nach der eigentlichen Mesa-Ätzung zeigten Rückstände auf der SiC-Oberfläche (s. Abbildung 14 links), die durch einen neu eingeführten Reinigungsprozess bei 1600 °C unter Wasserstoffatmosphäre beseitigt werden konnten (s. Abbildung 14 rechts). Das ungenügende Sperrvermögen aller derart behandelten Wafer lässt rückblickend aber vermuten, dass bei diesem Reinigungsprozess Umlagerungen an der SiC-Oberfläche stattgefunden haben, die einen Leckstrompfad auf der Mesa-Oberfläche erzeugen. Innerhalb der Projektlaufzeit gelang es nicht mehr, einen optimierten Mesa-Ätzprozess zu realisieren.

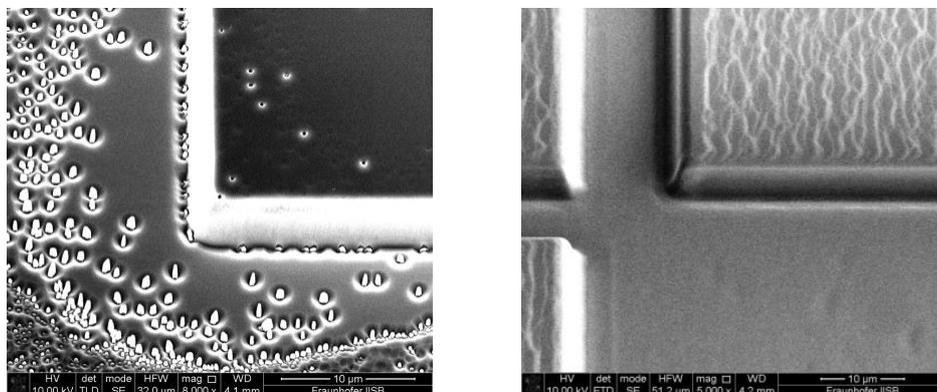


Abbildung 14: Rückstände nach Mesa-Ätzung (links) und saubere Oberfläche nach H₂-Annealing Prozess (rechts).

Neben der Prozessierung von 3 Zoll Wafern bei der FhG Erlangen wurde ein Technologieablauf für die Prozessierung von 100 mm Wafern zu pin-Dioden am Infineon-Standort in Villach realisiert. Dieser beinhaltet allerdings einen implantierten flachen Emitter statt des epitaxierten Emitters mit Mesa-Struktur. Dennoch ist diese Technologie gut geeignet, das Sperrverhalten zu untersuchen und zu optimieren. Die Ergebnisse der ersten beiden 100 mm Durchläufe in Villach werden daher im folgenden Kapitel detailliert vorgestellt.

Epitaxieentwicklung

An der Multi-Wafer Epitaxieanlage wurden nach dem Umzug zum ICC SiC Erl Versuche durchgeführt, um die Wachstumsrate zu steigern. Dies führt zu deutlich kürzeren Prozesszeiten und damit auch zu einer Senkung der Prozesskosten der benötigten Hochvoltepitaxieschichten. In Abbildung 15 ist die Abhängigkeit der Wachstumsrate vom Silan-Prozessgasfluss für zwei verschiedene Prozessdrücke

dargestellt. Durch Reduzierung des Prozessdruckes auf 150 mbar und Erhöhung des Prozessgasflusses konnte die Wachstumsrate von 5 $\mu\text{m}/\text{h}$ auf 11 $\mu\text{m}/\text{h}$ gesteigert werden. Lebensdauermessungen zeigen eine Schichtqualität, die vergleichbar ist zu den bisher verwendeten Schichten aus dem Single-Wafer Reaktor.

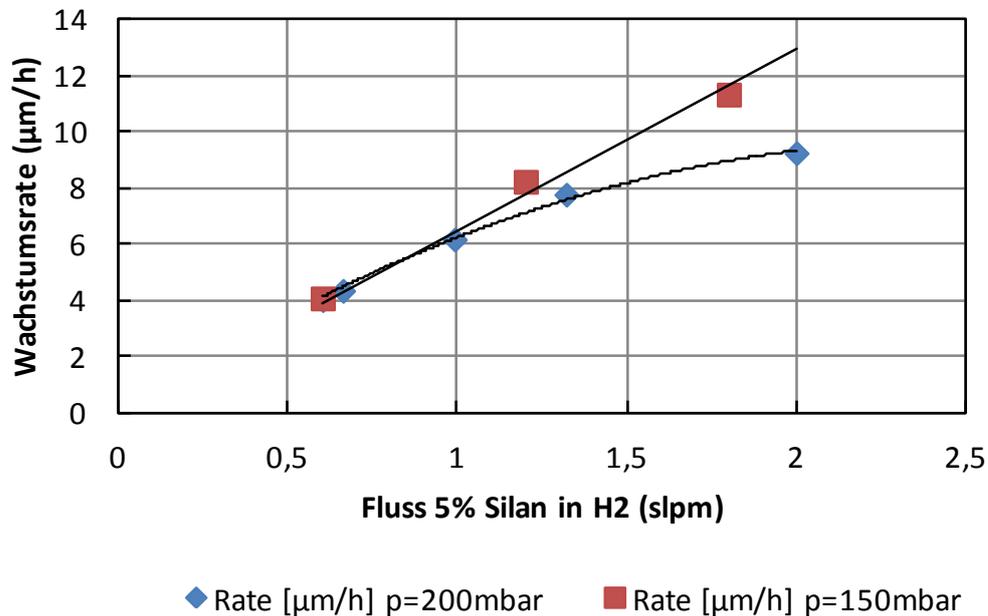


Abbildung 15: Abhängigkeit der Wachstumsrate vom Silan-Prozessgasfluss für 150 mbar und 200 mbar Prozessdruck (Anlagenkonfiguration 6 x 100 mm Wafer).

2.3.2. Diodenbereitstellungen

Neben den bereits erwähnten Diodenlieferungen der SiCED (Tabelle 1) konnten vom ICC SiC Erl insgesamt 1069 Dioden an Infineon Warstein und weitere Projektpartner ausgeliefert werden (Tabelle 2):

Tabelle 2: Diodenlieferungen des ICC SiC Erl an Infineon WAR und an Projektpartner.

Anzahl	Lieferung an	Verwendung	Bemerkung
778	Infineon Warstein	Modulaufbau HV-Module	Instabiles Sperrverhalten in WAR
210	Infineon Warstein	Modulaufbau HV-Module für Test im MV-Umrichter	„Handselektierte Dioden“ für stabiles Sperrverhalten
61	Infineon Warstein	Modulaufbau für Test Driftstabilität (Econo-Modul)	Vergleich 4°/8° Fehlorientierung
20	TU Dresden	Test Driftstabilität	Im TO-220 Gehäuse

2.3.3. Sperrstabilität / Randpassivierung

Beim Modulaufbau (s. Modul-Teil unten) hat sich herausgestellt, dass Dioden, die auf Wafer Ebene im Prüffeld gutes Sperrverhalten gezeigt haben, dennoch Instabilitäten im aufgebauten Modul zeigen können. Dies führt zu großen Problemen beim finalen Modultest und aufgrund der Parallelschaltung einer hohen Anzahl von Dioden auch zu starken Ausbeuteverlusten. Während die Hochvolt-

Sperrmessung auf Waferebene unter Fluorinertöl stattfindet, um Überschläge zu vermeiden, finden beim Modulaufbau die DCB-Messung üblicherweise unter Druckluft und der Endtest am mit Silikon-Weichverguss vergossenen Modul statt. Für die Instabilitäten beim Sperrspannungstest kann daher eine erhöhte Feldbelastung im Imid bzw. oberhalb des Imids im Weichverguss verantwortlich sein. Um die Feldverhältnisse genauer zu analysieren, wurden umfangreiche Simulationen durchgeführt, die im Folgenden beschrieben werden.

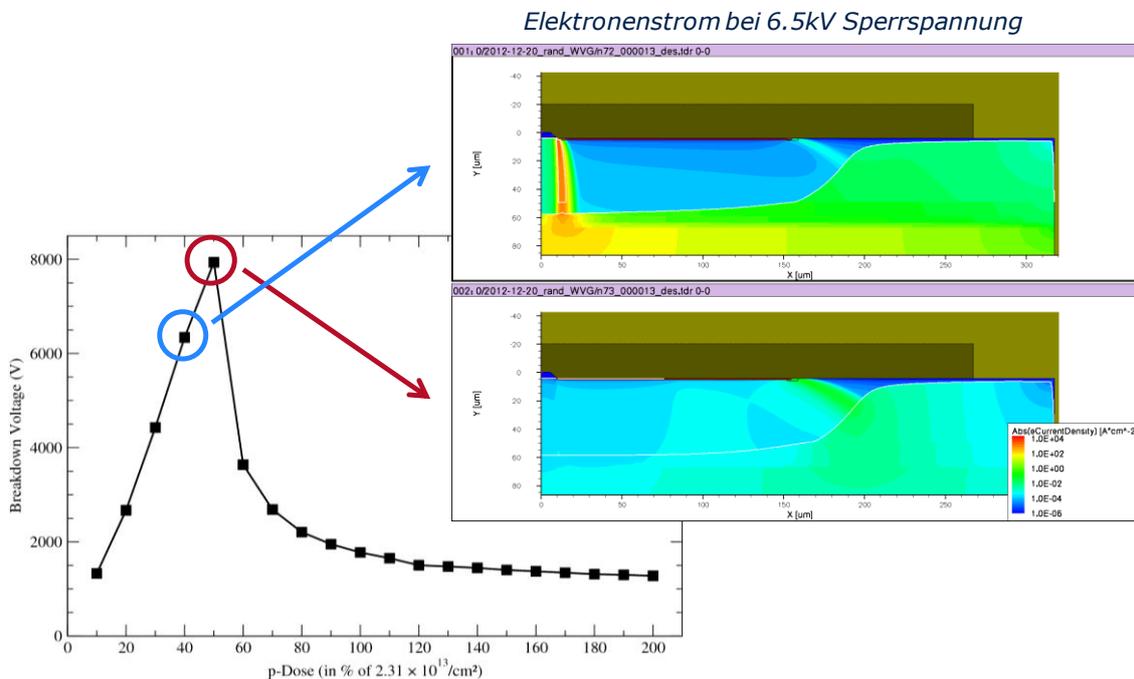


Abbildung 16: Abhängigkeit der Durchbruchspannung von der implantierten Randdosis (links) und Darstellung des simulierten Elektronenstromes bei 6,5 kV Sperrspannung im Diodenquerschnitt für zwei ausgewählte Randdosen (rechts).

In Abbildung 16 links ist die Abhängigkeit der Durchbruchspannung von der implantierten Randdosis dargestellt. Es wird deutlich, dass nur innerhalb eines schmalen Prozessfensters der Randdosis eine Sperrspannung größer 6,5 kV für den Diodenrand erzielt werden kann. Eine Randdosis links des Maximums führt zu einem Durchbruch der Randstruktur am inneren Randbereich, dargestellt in Abbildung 16 rechts oben. Eine Randdosis rechts vom Maximum erzeugt einen Durchbruch am äußeren Randbereich des Randabschlusses (s. Abbildung 16 rechts unten). Aus Stabilitätsgründen wird üblicherweise eine Randdosis links des Maximums gewählt, wobei darauf geachtet werden muss, dass dadurch die Durchbruchspannung nicht zu stark abgesenkt wird. Aufgrund des schmalen Prozessfensters können zusätzliche externe Ladungen, wie sie z.B. im Imid vorkommen können, zu einer Verschiebung der Durchbruchkurve führen und damit die Sperrfähigkeit der Diode herabsetzen. Derartige Effekte können u.a. auch thermisch induziert bzw. beeinflusst werden und könnten somit das instabile Sperrverhalten erklären. Für eine verbesserte Sperrstabilität müsste daher das Prozessfenster für die Randdosis durch Designänderungen verbreitert werden (s. unten).

Neben einer nicht optimal angepassten Randdosis und einem dadurch erzeugten frühzeitigen Durchbruch können auch zu hohe Feldstärken an der Mesaflanke für eine verminderte Sperrfähigkeit der Dioden verantwortlich sein. In Abbildung 17 ist die Mesaflanke der Diode im Querschnitt dargestellt. Im rechten Bild ist der Dotierungsverlauf für zwei verschiedene Mesa-Winkel dargestellt.

In der Abbildung 17 ist die hoch dotierte p-Epitaxieschicht („p-Epi“-Emitter, oben auf dem Mesa) zu erkennen und die niedrig dotierte Randimplantation („JTE-Implantation“), welche sich über die gesamte Mesastruktur und darüber hinaus erstreckt. Aufgrund der niedrigen Dotierung der Randimplantation ist der JTE-Bereich nur ungenügend elektrisch angebunden. Die Feldverhältnisse bei Anlegen einer Sperrspannung von 6,5 kV sind für beide Mesa-Winkel im linken Teil der Abbildung 17 dar-

gestellt. Es wird deutlich, dass durch den schlechten elektrischen Anschluss der Randstruktur elektrische Feldstärken $> 3 \text{ MV/cm}$ auf der Mesaflanke entstehen. Da das für die Passivierung verwendete Imid nur eine Durchschlagsfestigkeit im Bereich von 3 MV/cm besitzt, könnten diese Feldspitzen die beobachteten Sperrinstabilitäten gut erklären. Die durchgeführten Simulationen zeigen eindeutig, dass für die standardmäßig verwendete Diodenstruktur grenzwertige Feldstärken an der Mesastruktur entstehen.

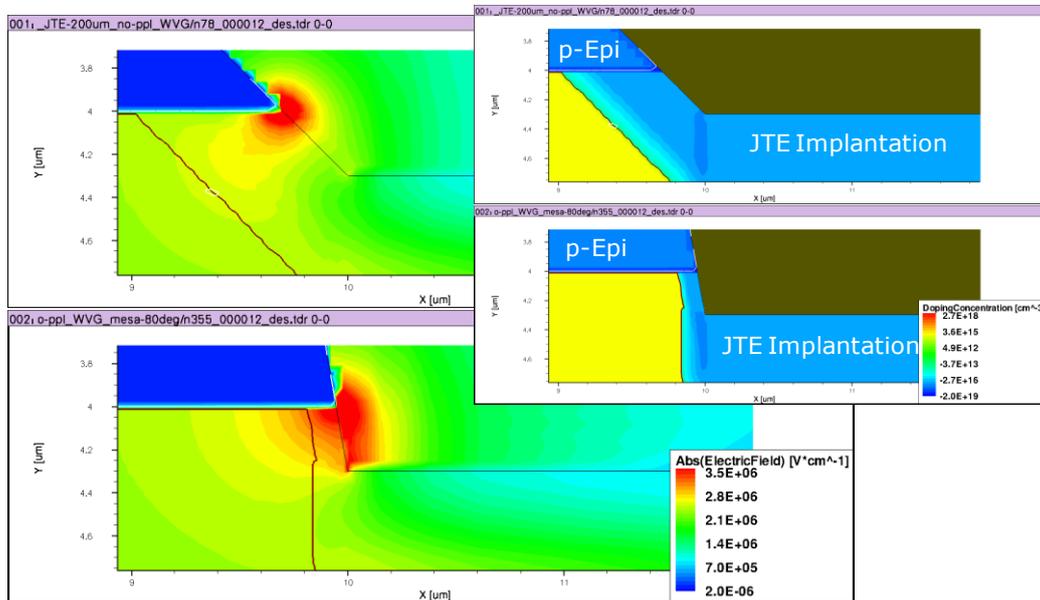


Abbildung 17: Darstellung der elektrischen Feldstärke bei Anlegung einer Sperrspannung von $6,5 \text{ kV}$ im Bereich der Mesastruktur für zwei verschiedene Mesa-Winkel (links). Darstellung der Dotierungsverhältnisse für die entsprechenden Mesa-Strukturen (rechts).

Eine Möglichkeit, die Feldstärke auf der Mesastruktur abzusenken, besteht darin, die Randstruktur elektrisch besser anzubinden. Zu diesem Zweck sollte die für die Herstellung eines ohmschen Kontaktes verwendete flache hoch dotierte pplus-Implantation, welche ursprünglich ausschließlich oben auf dem Mesa vorgenommen wurde, über die Mesaflanke heruntergeführt werden. Dargestellt ist dieser Fall in Abbildung 18.

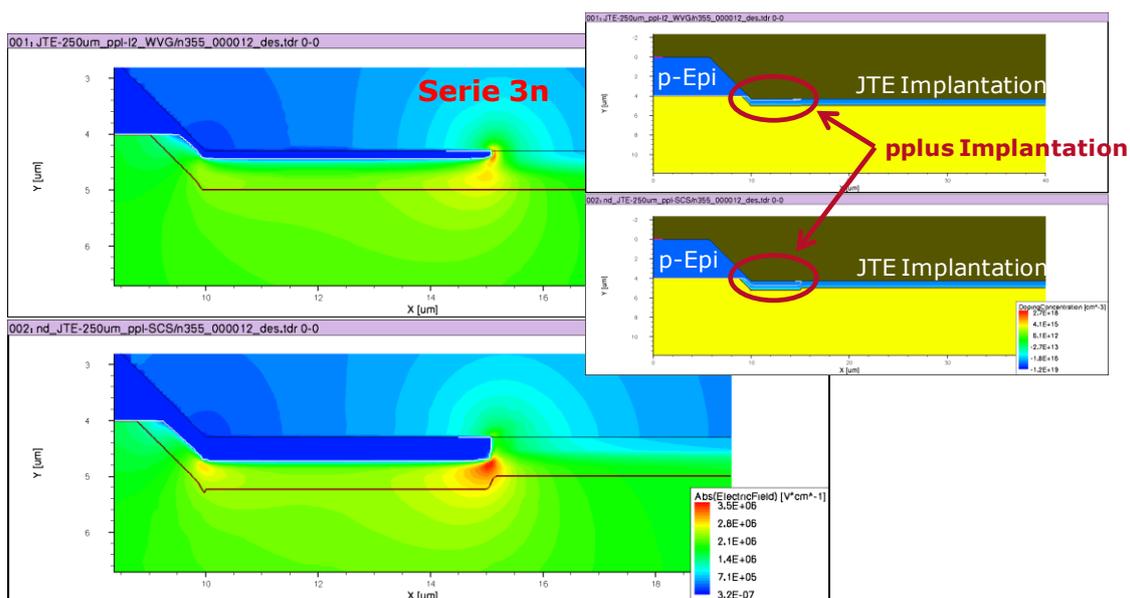


Abbildung 18: Darstellung der elektrischen Feldstärke bei Anlegung einer Sperrspannung von $6,5 \text{ kV}$ im Bereich der Mesastruktur für zwei unterschiedlich tiefe hoch dotierte p-Implantationen (links). Darstellung der Dotierungsverhältnisse für die entsprechenden Implantationen (rechts).

Gegenüber der Situation in Abbildung 17 wird durch die hochdotierte pplus-Kontaktimplantation der Bereich der maximalen Feldstärke nach außen in den Randbereich verlagert. In Abbildung 18 links ist wiederum die elektrische Feldstärke bei Anlegung einer Feldstärke von 6,5 kV dargestellt, und zwar im oberen Bild für eine flache Kontaktimplantation (Standard) und im unteren Bild für eine tiefe hoch dotierte pplus-Implantation. Die bei der FhG Erlangen prozessierte Serie 3n wurde mit diesem überarbeiten Layout hergestellt, brachte aber wegen des technologisch bedingten ungenügenden Sperrverhaltens keine messbaren Verbesserungen. Die Simulation macht aber deutlich, dass das „Verbreitern“ der verwendeten flachen Kontaktimplantation bis in den Randabschluss hinein (Abbildung 18 oben) voraussichtlich noch keine echte Verbesserung bewirkt, da an der Grenzschicht SiC-Imid, immer noch Feldstärken $> 3 \text{ MV/cm}$ auftreten können. Abhilfe schafft hier nur eine tiefere pplus-Implantation, die den Bereich der maximalen Feldstärke tiefer ins SiC hinein verlegt (Abbildung 18 unten).

Die Simulationen machen deutlich, dass auch die ursprünglich geplante Lösung mit einem Doppelimidprozess ($50 \mu\text{m}$ statt $25 \mu\text{m}$ Imiddicke) nicht zielführend ist, da hiermit zwar eine Reduzierung der Feldstärke im Modul-Weichguss erreicht werden kann, nicht jedoch aber eine Absenkung der hohen Feldstärke im Imid selbst.

Eine Möglichkeit, die elektrische Feldstärke im Imid abzusenken, ist in Abbildung 19 dargestellt. Hier wurde der Einfluss von Feldringen („Guardringe“) simuliert (oben) und mit dem Standarddesign ohne Ringe (unten) verglichen. Links ist die Dotierungsverteilung, rechts die elektrische Feldstärke bei einer Sperrspannung von 6,5 kV dargestellt.

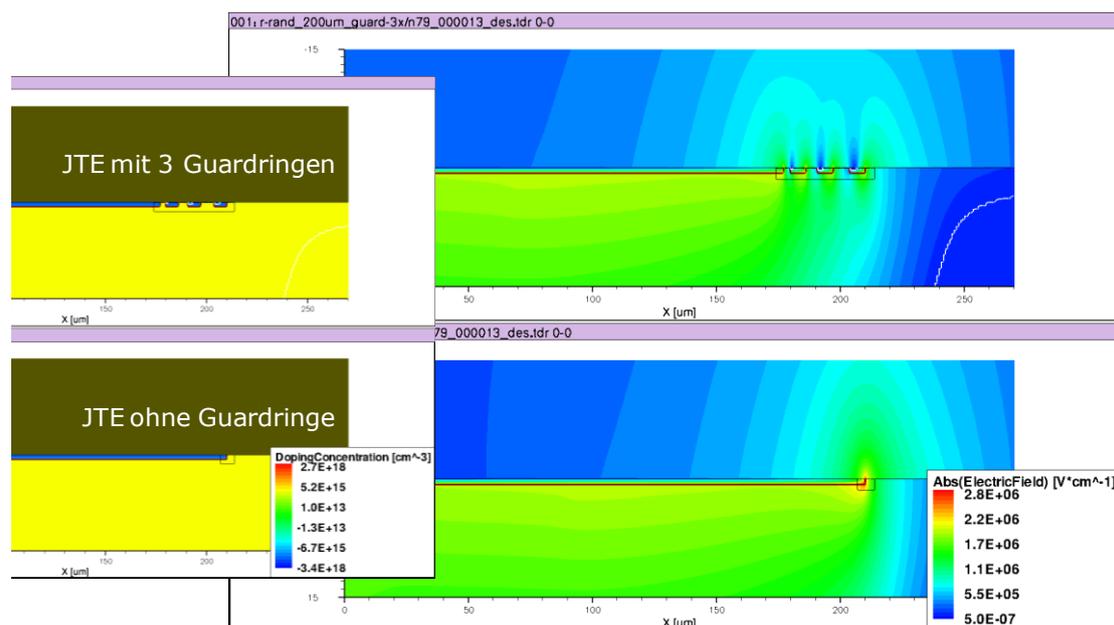


Abbildung 19: Darstellung der elektrischen Feldstärke bei Anlegung einer Sperrspannung von 6,5 kV mit (oben) bzw. ohne (unten) Verwendung von Feldringen (rechts). Darstellung der Dotierungsverhältnisse für die entsprechenden Randdesigns (links).

Es ist deutlich zu erkennen, dass durch den Einsatz passend dimensionierter Feldringe die maximal auftretende Feldstärke im Imid signifikant abgesenkt werden kann. Eine weitere Absenkung des Feldes kann durch die Verwendung von mehr als drei Ringen und auch durch eine Verbreiterung der Ringe erzielt werden.

Neben der Absenkung der elektrischen Feldstärke im Imid führen die Ringstrukturen auch zu einem stabileren Sperrverhalten in Abhängigkeit der verwendeten Randdosis. Entsprechende Simulationsergebnisse sind in Abbildung 20 zusammengefasst. Hier wurden ausführliche Simulationen für 6,5 kV pin-Dioden durchgeführt, deren Emitter jedoch implantiert und nicht epitaxiert wurde. Dadurch kön-

nen zwar nur relativ flache Emittter mit einer Tiefe von ca. 600 nm (statt 4 µm bei den epitaxierten Emitttern) hergestellt werden, aber es entfällt bei der Technologie die Notwendigkeit, eine Mesa-Struktur zu ätzen. Dies führt zu einer deutlichen Vereinfachung bei der Prozessierung, so dass im Rahmen des Projektes derartige Dioden in der Infineon Fertigungsumgebung in Villach hergestellt werden konnten.

In Abbildung 20 oben ist sehr deutlich zu erkennen, dass die Verwendung von Ringstrukturen zu der gewünschten Verbreiterung des Randdosis-Prozessfensters führt. Mit höheren Randdosen fällt die Durchbruchspannung deutlich langsamer ab als für das Standarddesign ohne Ringe.

Zielführend ist auch die in Abbildung 20 unten gezeigte Absenkung des elektrischen Feldes im Imid (links) und im Weichverguß (rechts) bei Verwendung von Ringstrukturen, insbesondere bei 4 oder 5 Ringen. Daher sollte die Einführung von Ringstrukturen helfen, die geforderte Sperrstabilität der Dioden zu erreichen.

Für einen ersten Technologiedurchlauf mit 100 mm Wafern in Villach wurde zu diesem Zweck ein „Shared Reticle“ Maskensatz entworfen, welches auf einem Wafer die Prozessierung von insgesamt neun verschiedenen Ringstrukturen erlaubt. Der optimale Abstand der p-Ringe wurde aus Simulationen bestimmt, die Breite der p-Ringe wurde teilweise variiert. Eine Zusammenfassung verschiedenen Designs findet sich in Tabelle 3. Für die Prozessierung wurden sechs Wafer mit Hochvoltepitaxieschicht verwendet, die mit verschiedenen Randdosen (40%, 50%, 65%, 80%, 100%, 120%, s. blaue Pfeile in Abbildung 20 oben) implantiert wurden, um die in Abbildung 20 dargestellten Abhängigkeiten zu untersuchen.

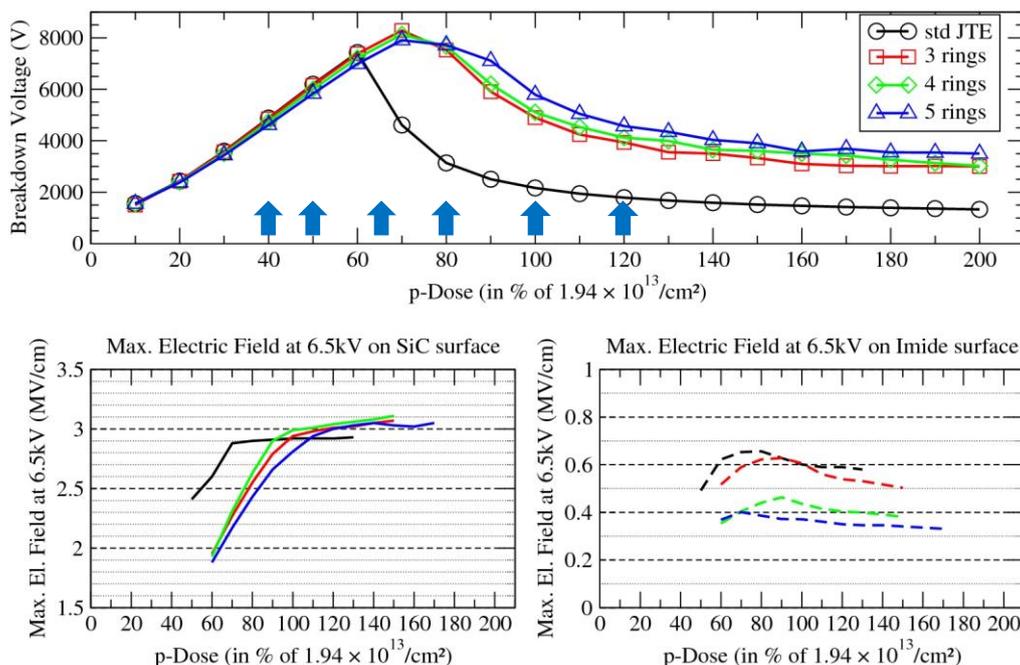


Abbildung 20: Abhängigkeit wichtiger Größen von der Randdosis für Designs mit/ohne Ringe:

- Durchbruchspannung (oben)
 - Maximale elektrische Feldstärke an der SiC/Imid-Grenzfläche (unten links)
 - Maximale elektrische Feldstärke an der Imid/Weichverguß-Grenzfläche (unten rechts)
- Die blauen Pfeile kennzeichnen den durchgeführten Randdosisplit.

Tabelle 3: Eigenschaften des „Shared Reticles“ für 100 mm pin-Dioden Durchlauf in Villach.

Design	Anzahl Ringe	Bemerkung
5	keine	Standarddesign
4/6	3	p-Breite 5 µm – 6 µm
1/2/3	4	p-Breite 11 µm – 18 µm
7/8/9	5	p-Breite 17 µm – 18 µm

Entsprechend der in Abbildung 20 oben dargestellten Abhängigkeit der Durchbruchspannung von der Randdosis war zu erwarten, dass die sechs Wafer deutlich unterschiedliches Sperrverhalten zeigen. In Abbildung 21 ist beispielhaft die Sperrcharakteristik des Wafer PN02 (Randdosis 50%) dargestellt. Aufgrund der etwas zu hohen Dotierung der verwendeten Epitaxieschicht beträgt die maximale Sperrspannung nicht 6,5 kV, liegt aber relativ stabil bei >5 kV.

Für die weitere Auswertung der verschiedenen Randdesigns wurde das Sperrvermögen ($V_{BR}@100 \mu A$) der sechs Wafer in Abhängigkeit der einzelnen Ringdesigns ausgewertet (s. Abbildung 22). Hier zeigt sich der erwartete Einfluss der Ringstrukturen sehr deutlich. Während bei den Wafern mit niedriger Randdosis (40%, 50%) nur eine geringe Abhängigkeit des Sperrverhaltens von der Randstruktur festgestellt werden kann, fällt bei den höheren Randdosen die Standardstruktur ohne Ringe durch eine deutlich reduzierte Sperrfähigkeit auf (< 3 kV für 65%, < 2 kV für 80% - 120%).

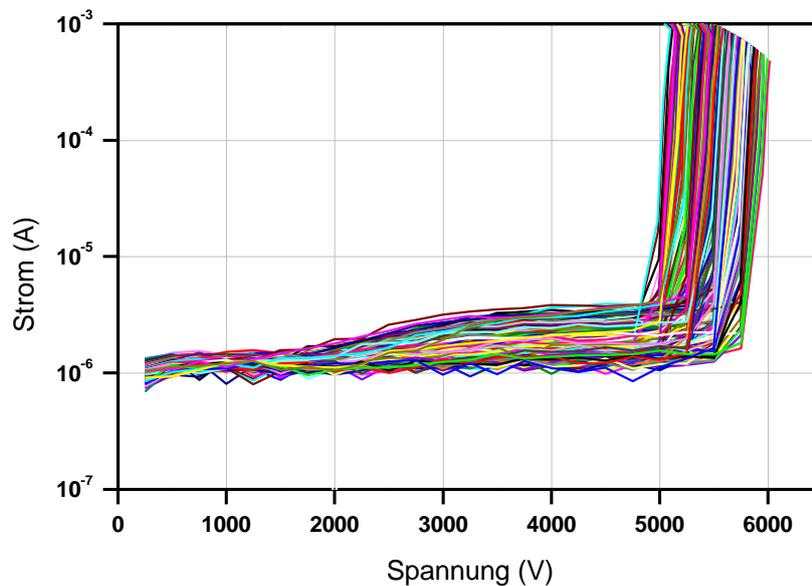


Abbildung 21: Sperrcharakteristik des Diodenwafers PN02 mit einer Randdosis von 50%.

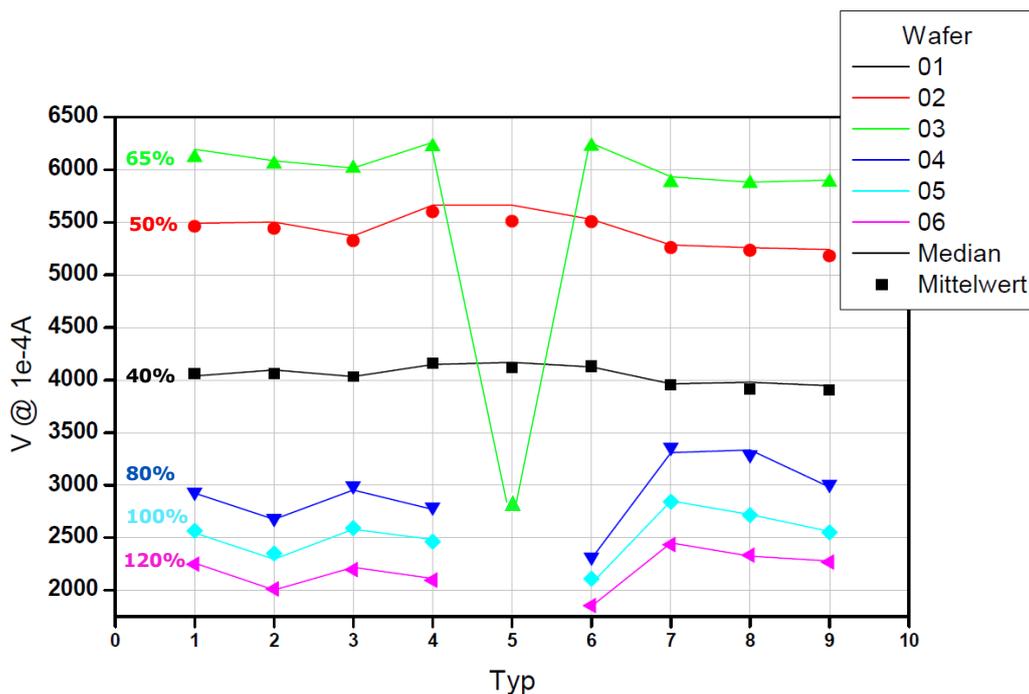


Abbildung 22: Sperrfähigkeit der pin-Dioden in Abhängigkeit von Randdosis und Randdesign-Typ.

Die mit den Ringen einhergehende Absenkung des elektrischen Feldes im Weichverguss kann auf Waferebene nicht überprüft werden. Zur Überprüfung des Sperrverhaltens im Modul wurden am Ende des Projektzeitraumes noch Testmodule aufgebaut und vermessen. Diese zeigten sowohl auf DCB- als auch auf Modulebene ein insgesamt deutlich stabileres Sperrverhalten. Als Beispiel ist in Abbildung 23 die Sperrcharakteristik eines Moduls mit 20 parallel geschalteten Dioden bei 25 °C und 125 °C (rechts) und die Sperrcharakteristik der beiden Einzelsubstrate mit jeweils 10 Dioden bei 25 °C dargestellt (links).

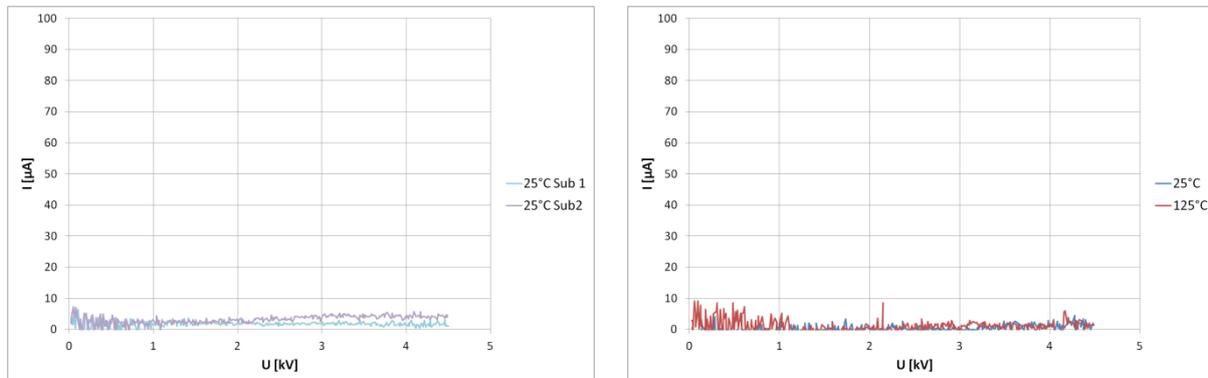


Abbildung 23: Sperrkennlinien bis 4,5kV, Randdesign Typ 3.
Links: Einzelsubstrate mit jeweils 10 SiC pin-Einzeldiodenchips bei 25 °C.
Rechts: Diodenmodul aus den zwei Substraten bei 25 °C und 125 °C.

Zusammenfassend lässt sich aus den Simulationen und dem ersten Durchlauf mit implantierten Dioden folgendes festhalten:

- Das bisher verwendete Diodendesign neigt aufgrund überhöhter elektrischer Felder an der MESAstruktur und eines zu schmalen Prozessfensters für die Randdosis zu Sperrinstabilitäten und Ausfällen.
- Für eine Absenkung der elektrischen Feldstärke auf der Mesaflanke muss eine tiefe und hoch dotierte pplus-Implantation über den Mesa nach außen in den Randbereich geführt werden.
- Die Verwendung von richtig dimensionierten Feldringen führt zu einer Verbreiterung des Randdosis-Prozessfensters und zu einer deutlichen Absenkung der elektrischen Feldstärke an der SiC/Imid-Grenzfläche.
- Eine Absenkung der elektrischen Feldstärke an der Imid-Oberfläche und damit im Weichverguss kann durch Verbreiterung der p-Ringe erzielt werden.
- Die mittels Simulation vorhergesagten Verläufe und Abhängigkeiten konnten mit dem ersten Technologiedurchlauf sehr gut demonstriert werden.
- Aus dem ersten Technologiedurchlauf konnten hochsperrende Dioden für den Modulaufbau ausgewählt werden, welche auch auf Modulebene ein stabiles Sperrverhalten zeigen.

2.3.4. Driftstabilität

Es ist bekannt, dass bipolare SiC-Bauelemente wie die in diesem Projekt untersuchten SiC pin-Dioden aufgrund von Kristalldefekten Instabilitäten in der Strom-Spannungs-Kennlinie in Vorwärtsrichtung aufweisen können. Dieses Verhalten führt bei konstanter Stromeinprägung zu einer Verschiebung der Vorwärtsspannung V_F hin zu höheren Werten. Werden derartige Dioden im Modul parallel geschaltet, teilt sich der Strom nicht gleichmäßig auf die einzelnen Dioden auf, sondern es kommt entsprechend der jeweiligen Vorwärtskennlinien zu einer inhomogenen Stromaufteilung auf die einzelnen Dioden. Daraus resultieren deutliche Belastungsdifferenzen zwischen den individuellen Dioden. Die elektrischen Eigenschaften der pin-Dioden müssen daher sehr stabil sein und in einem engen

Bereich liegen, um eine gut funktionierende und zuverlässige Parallelschaltung im Modul zu gewährleisten.

Die Bipolardrift, eine Verschiebung der Vorwärtsspannung, wurde regelmäßig bei den während der Projektlaufzeit aufgebauten Dioden beobachtet. Der Effekt trat sowohl bei den Modulaufbauten mit starker Parallelschaltung, als auch bei diskret aufgebauten Dioden auf. Anhand der elektrischen Belastungstests an vielen Dioden und Dioden aus unterschiedlichen Wafern konnte gezeigt werden, dass das Driftverhalten der Dioden individuell verschieden ist. Ein Teil der Dioden driftet nicht oder nur relativ gering ($< 0,5\text{ V}$), ein anderer (kleiner) Teil kann jedoch auch deutlich stärker driften (mehrere Volt).

Da für den Projekterfolg ein möglichst homogenes Verhalten aller parallel geschalteten Dioden im Modul erforderlich ist, wurde das Thema Driftverhalten deutlich intensiver bearbeitet als ursprünglich geplant.

2.3.4.1. Elektrischer Screeningtest

Für die Selektion von Dioden, die keine Bipolardrift aufweisen und damit für die Parallelschaltung im Modul geeignet sind, wäre ein zuverlässig funktionierender elektrischer Screening-Test auf Waferenebene im Scheibenprüffeld die optimale Lösung. Üblicherweise werden beim Mapping des Wafers im Scheibenprüffeld die einzelnen Dioden aber nur kurzzeitig elektrisch belastet. Dies führt nicht zu einer Verschiebung der Vorwärtsspannung, so dass mit dieser einfachen Messung keine Aussage über die Langzeitstabilität der Vorwärtscharakteristik gemacht werden kann. Deshalb wurde versucht, einen speziellen elektrischen Screening-Test zu erproben, der bereits auf Waferenebene eine Aussage über die Driftstabilität erlaubt. Bei diesem Test wird zunächst die Vorwärtsspannung bestimmt. Anschließend werden 20 Pulse mit einer Pulsdauer von 100 ms und einem Strom von 10 A eingeprägt (insgesamt 2 s Belastungsdauer) und danach wird die Vorwärtsspannung erneut gemessen. Durch Berechnung der Differenz beider Kennlinien sollte eine Aussage über ein mögliches Driftverhalten erfolgen.

Dioden, die im Screening-Test stabile Kennlinien hatten, wurden in 6,5 kV SiC-Diodenmodulen verbaut. Sowohl bei den Modulen für die Power-Cycling Versuche als auch bei den Modulen für die thermische Charakterisierung ergaben die Untersuchungen, dass sich die Durchlasscharakteristik einiger der parallel geschalteten Dioden unter Strombelastung verändert hat, obwohl diese Dioden im Screening-Test als stabil bewertet wurden. Dies ist beispielhaft in Abbildung 24 dargestellt.

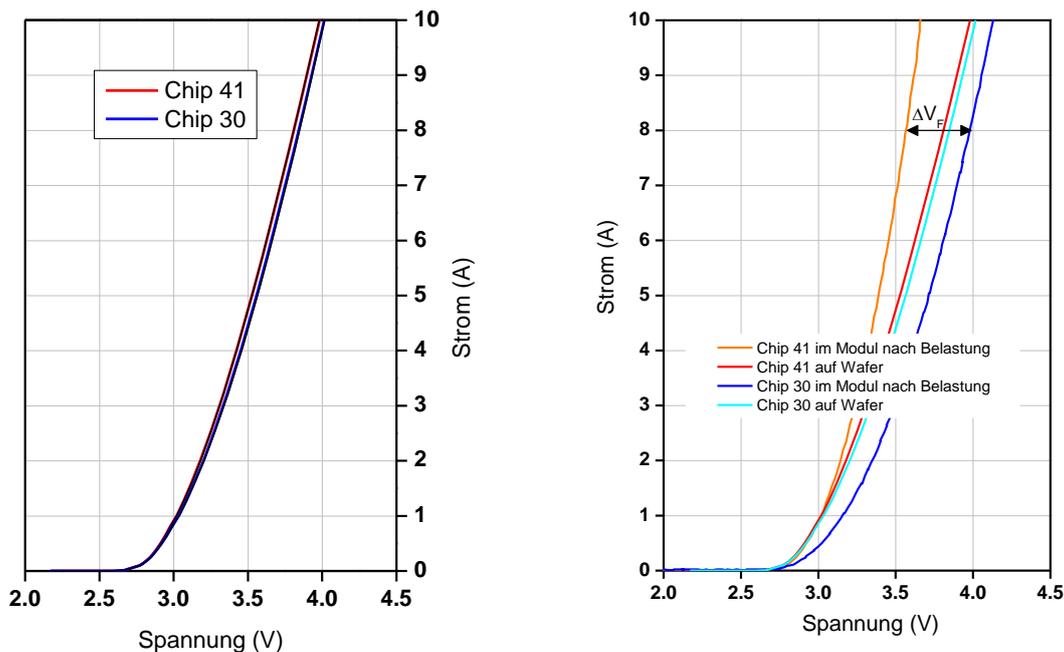


Abbildung 24:

a) Flusskennlinie von 2 Dioden auf Waferlevel vor (farbig) und nach (schwarz) Screeningtest (keine Veränderung messbar, links).

b) Flusskennlinie der 2 Dioden aus a) nach Belastung auf Modullevel (rechts). Diode 30 zeigt gegenüber Diode 41 einen erhöhten V_F -Wert.

In Abbildung 24a ist die Flusskennlinie zweier Dioden vor und nach dem Screeningtest abgebildet. Bei einem Strom von 10 A liegt die V_F -Differenz jeweils bei kleiner 5mV. In Abbildung 24b sind die Flusskennlinien derselben Dioden auf Modullevel nach Belastung ($I = 15 \text{ A}$ für 90 min) dargestellt. Da die Messung auf Waferebene wegen der undefinierten Waferauflage fehlerbehaftet ist, können die beiden Abbildungen nicht direkt verglichen werden. Es wird allerdings deutlich, dass gegenüber der Messung auf Waferebene beide Dioden nach der Belastung unterschiedliche Kennlinien aufweisen. Unter der Annahme, dass die Diode 41 keine Bipolardrift zeigt, ergibt sich für die Diode 30 eine V_F -Erhöhung von ca. 0,5 V bei 10 A. Dies führt auf Modulebene zu einem deutlichen Unterschied in der thermischen Belastung der beiden Dioden (s. auch Bericht des Projektpartners Siemens AG). Es stellte sich damit heraus, dass ein elektrischer Screening-Test auf Waferebene aufgrund der begrenzten Mess- und Belastungszeit, sowie der Stromlimitierung und der insgesamt damit verbundenen nicht stattfindenden Aktivierung der Bipolardrift, nicht zuverlässig implementiert werden kann.

2.3.4.2. Econo-Serienmodule

Im Screening-Test werden die Dioden nicht stark genug belastet, um das Driftverhalten zuverlässig zu erkennen. Deshalb wurde für die weiteren Untersuchungen ein neues DCB-Substrat-Layout entworfen, mit dem es möglich ist, in einem Econo 3-Modulaufbau 12 SiC pin-Dioden zu testen (Abbildung 25). Die Dioden sind in Reihe geschaltet und werden alle mit demselben Strom (Standard 11.25 A) belastet. An jeder einzelnen Diode kann während der Belastung die V_F -Spannung bestimmt werden. Das Modul ist während der Messung auf eine wassergekühlte Grundplatte aufgeschraubt. Über einen Thermostaten kann die Temperatur der Grundplatte eingestellt werden. Um die realen Bedingung beim Einsatz des Moduls nachzubilden wurde eine Temperatur von 50 °C eingestellt.

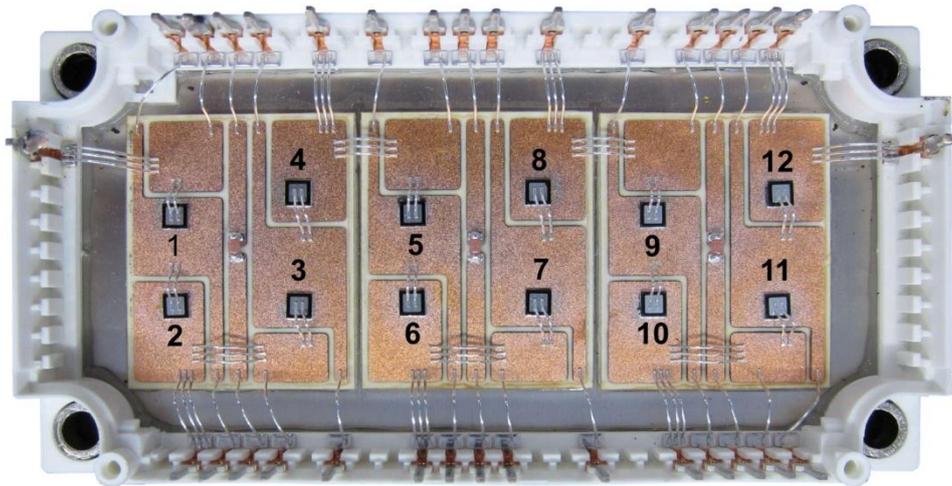


Abbildung 25: SiC pin-Dioden Modul für Belastungstest, Nummerierung der einzelnen Dioden.

Da die Dioden während der Belastung im Durchlass betrieben werden, ist das SiC-typische blaue Leuchten zu sehen (s. Abbildung 26a). Es hat sich aber gezeigt, dass eine Instabilität der Diode nicht anhand einer Farbänderung des emittierten Lichtes zu erkennen ist.

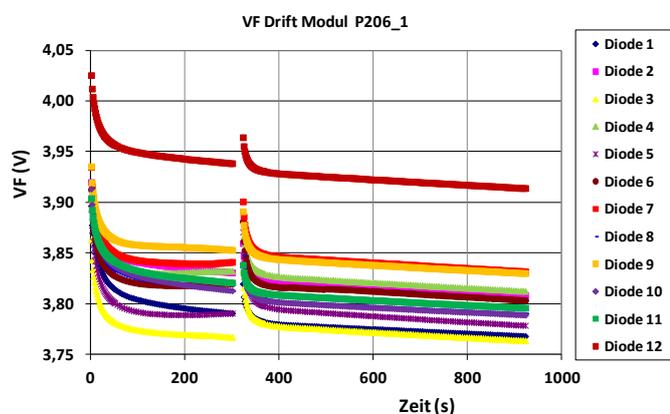


Abbildung 26:

a) Belastung der SiC pin-Dioden im Econo3 Modul (links).

b) Verlauf der V_F -Spannung während der Belastung ($I = 11,25 \text{ A}$ und $T_c = 50 \text{ °C}$, rechts).

Vor Beginn der Belastungsmessung und nach jeder Belastung werden die Durchlasskennlinien der einzelnen Dioden gemessen. Alle Belastungstests wurden mit einem konstantem Strom von $I = 11,25 \text{ A}$ durchgeführt. Dieser Strom entspricht einer Stromdichte von 150 A/cm^2 . Die Belastungszeit beträgt zu Beginn 5 min und wird anschließend schrittweise erhöht. In der Abbildung 26b ist ein Beispiel für den zeitlichen Verlauf des V_F während der Belastungsmessung dargestellt. Nach dem Einschalten des Stroms erwärmen sich die Dioden, und aufgrund des negativen Temperaturkoeffizienten sinkt zunächst die V_F -Spannung ab. Anschließend bleibt das V_F für die Dioden, die kein Driftverhalten zeigen, nahezu konstant. Die geringe Abnahme der V_F -Spannung während der Belastung

erklärt sich dadurch, dass das Kühlwasser des Thermostaten die gesamte Verlustwärme von mehr als 500 W in der Grundplatte nicht ausreichend abführen kann. Die Vorwärtskennlinien der Dioden aus Abbildung 26 sind in Abbildung 27 gestellt - vor (links) und nach durchgeführter Belastung (rechts). Diese Dioden verhalten sich stabil und zeigen keine Bipolar drift.

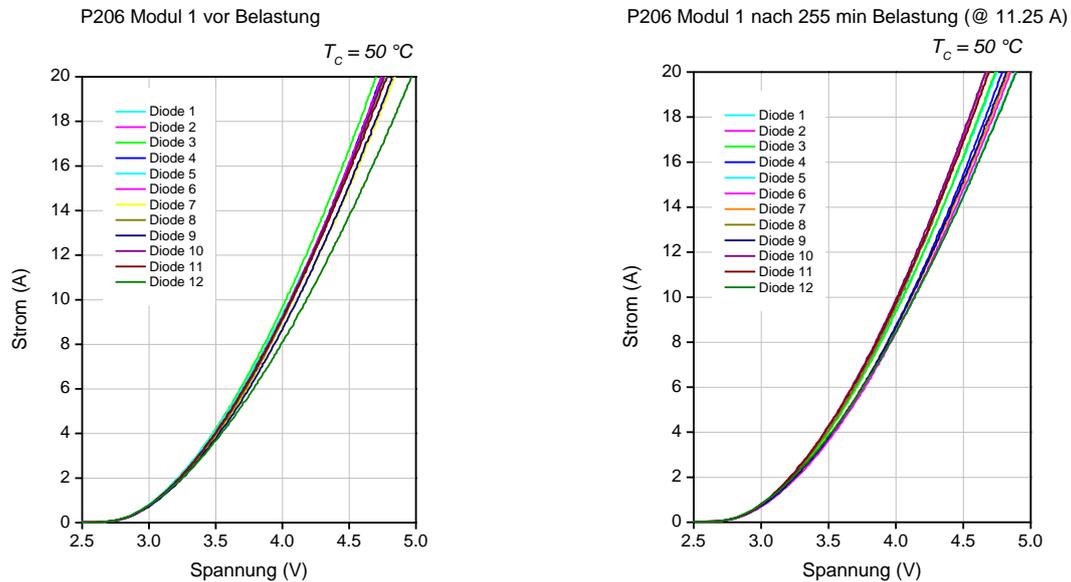


Abbildung 27: Durchlasskennlinien der 12 SiC pin-Dioden im Modul P206 vor (links) und nach (rechts) dem Belastungstest.

In Abbildung 28 sind die Ergebnisse eines Moduls dargestellt, bei dessen Dioden die Vorwärtsspannung V_F teilweise driftet. Vor der Belastung liegen die Kennlinien der einzelnen Dioden - bis auf die Diode 6 - in einem sehr engen Bereich von nur 13 mV bei 7,5 A (Abbildung 28 links). Bereits nach 5 min Belastung zeigt ein Teil der Dioden eine höhere V_F -Spannung (Abbildung 28 Mitte), nach 255 min Belastung ist eine weitere V_F -Erhöhung der instabilen Dioden zu erkennen (Abbildung 28 rechts).

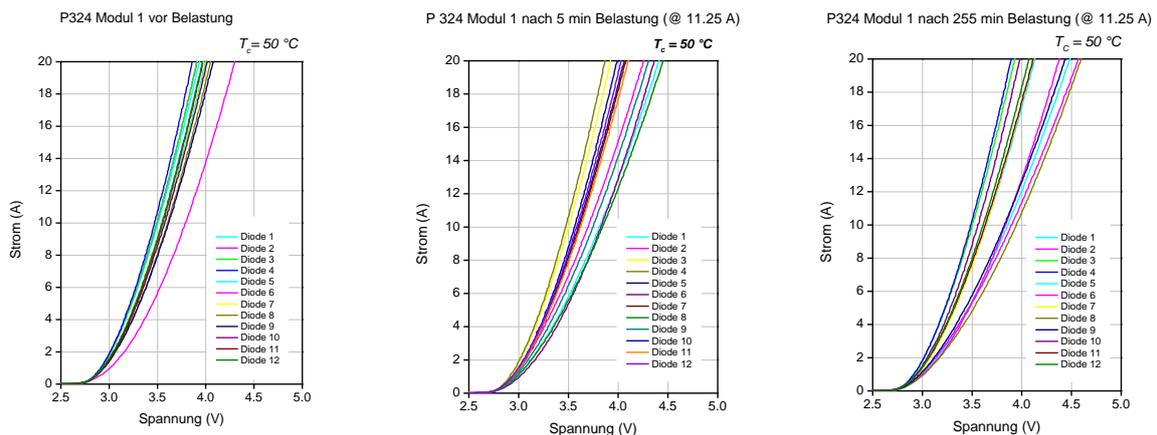


Abbildung 28: Durchlasskennlinien der 12 SiC pin-Dioden im Modul P324-1 (vor, nach 5 min und am Ende des Belastungstests nach 255 min).

Das Driften der V_F -Spannung einzelner Dioden ist in Abbildung 29 gut zu erkennen, z.B. steigt die V_F -Spannung der Diode 1 von 3,35 V auf über 3,55 V an. Auch die Dioden 2 und 8 driften unter Belastung, während z.B. die Dioden 3 und 4 sehr stabil sind.

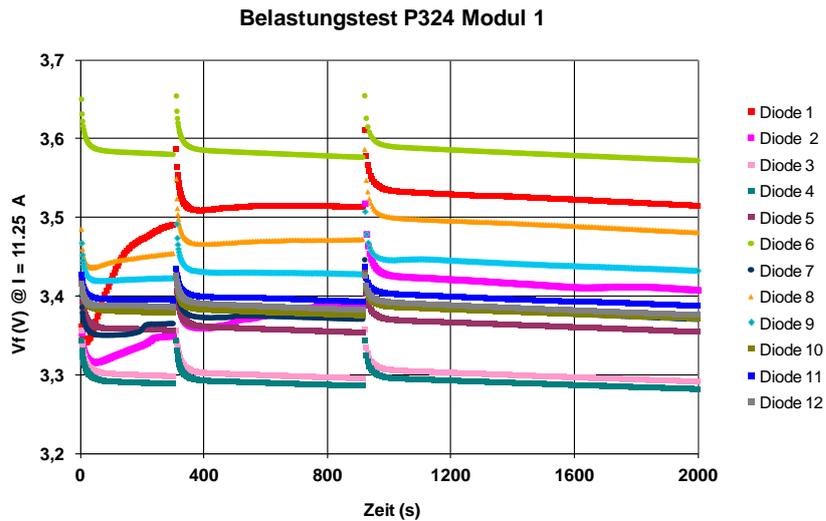


Abbildung 29: Verlauf der V_F -Spannung während der Belastung ($I = 11,25 \text{ A}$ und $T_c = 50 \text{ }^\circ\text{C}$).

Um eine Aussage über die Temperatur der einzelnen Dioden während der Belastung zu erhalten, wurden die Module mit der Thermokamera untersucht. Die Abbildung 30 und die Tabelle 4 zeigen die Temperaturverteilungen der einzelnen Dioden. Die Temperaturen liegen im Bereich zwischen $128 \text{ }^\circ\text{C}$ und $145 \text{ }^\circ\text{C}$. Bei einer Verlustleistung von ca. 40 W und einer damit verbundenen Temperaturerhöhung von 80 K ergibt sich daraus ein thermischer Widerstand $R_{th} = 2 \text{ K/W}$.

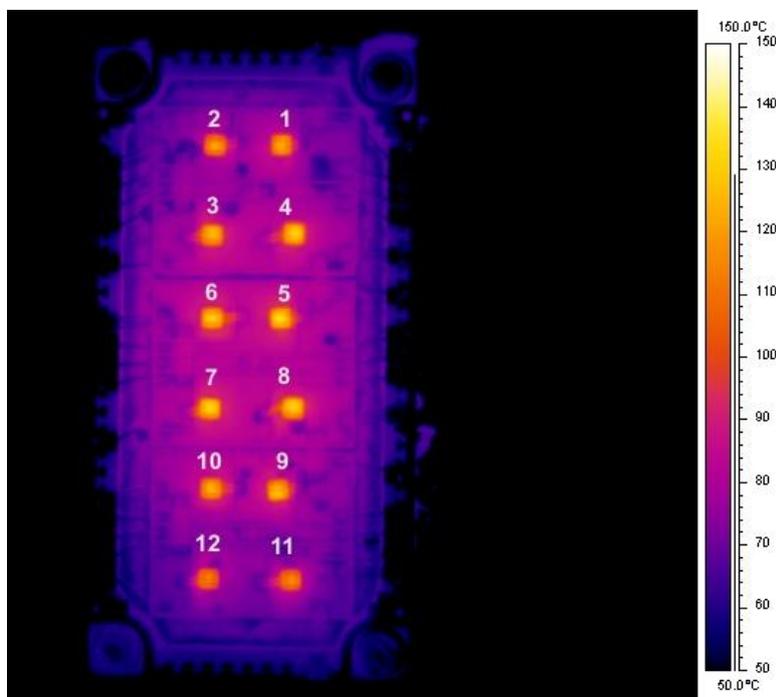
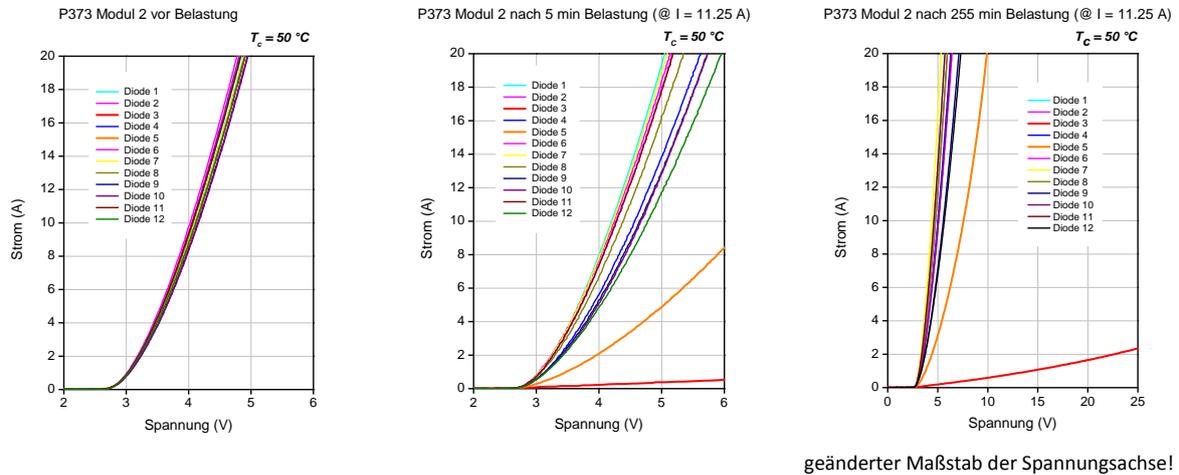


Tabelle 4: Mit Wärmebildkamera bestimmte Oberflächentemperatur der pin-Dioden am Ende der Belastungszeit.

Diode Nr.	Temperatur ($^\circ\text{C}$)
1	134
2	135
3	135
4	141
5	145
6	141
7	144
8	142
9	139
10	135
11	128
12	130

Abbildung 30: Temperaturverteilung der Dioden im Modul P324-1 bei einem Strom von $11,25 \text{ A}$ am Ende der Belastungszeit (Wärmebild).

Ein besonders starkes Driftverhalten zeigt die Diode 3 im Modul P373 (s. Abbildung 31). Bereits nach 5 min Belastung hat die Diode ein sehr hohes V_F bei Nennstrom. Da aufgrund der Reihenschaltung der Dioden im Modul durch alle Dioden derselbe Strom fließt, bedeutet dies eine sehr hohe Verlustleistung und damit eine hohe Temperatur an dieser Diode. Die Messung mit der Thermokamera ergibt für die betroffene Diode 3 eine maximale Diodentemperatur von 306 °C (s. Abbildung 32).



geänderter Maßstab der Spannungsachse!

Abbildung 31: Durchlasskennlinien der 12 SiC pin-Dioden im Modul P373-2 (vor, nach 5 min und am Ende des Belastungstests nach 255 min).

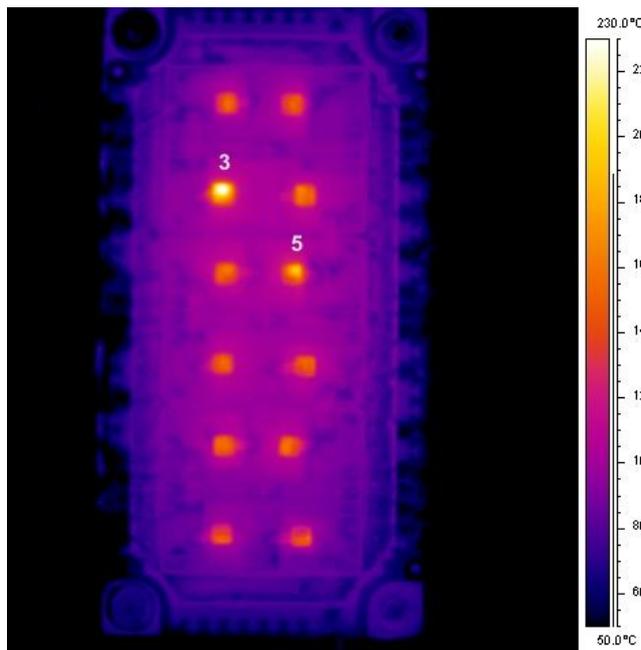


Tabelle 5: Mit Wärmebildkamera bestimmte Oberflächentemperatur der pin-Dioden am Ende der Belastungszeit. Die degradierten Dioden 3 und 5 haben unter Belastung eine Temperatur von 306 °C bzw. 212 °C.

Diode Nr.	Temperatur (°C)
1	151
2	159
3	306
4	170
5	212
6	162
7	157
8	158
9	168
10	163
11	152
12	162

Abbildung 32: Temperaturverteilung der Dioden im Modul P373-2 bei einem Strom von 11,25 A am Ende der Belastung (Wärmebild).

Ein hochauflösendes Bild zeigt, dass in dieser Diode der Strom nicht ganzflächig, sondern nur in einem kleinen Bereich der Diode fließt (Abbildung 33).

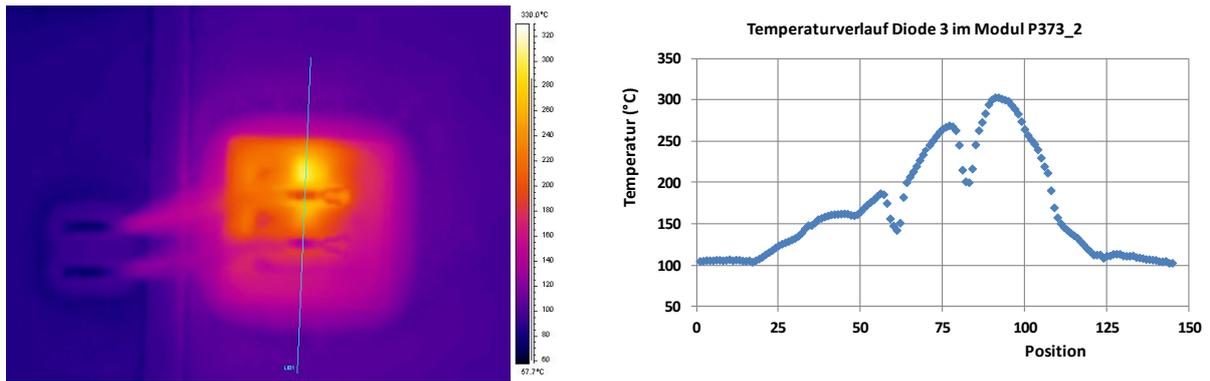


Abbildung 33:
a) Diode 3 im Modul P373-2 bei Belastung mit $I = 11,25 \text{ A}$.
b) Linescan der Temperaturverteilung an der Diode 3 des Moduls P373-2.

Die durchgeführten Messungen an den speziellen Econo-Serienmodulen erbrachten zusammenfassend folgende Erkenntnisse:

- Es existieren stabile Dioden, die auch unter Belastung keinen Drifteffekt aufweisen.
- Das Driftverhalten der Dioden kann anhand vorheriger elektrischer Messungen nicht vorhergesagt werden.
- Das Ausmaß des Driftverhaltens variiert von Diode zu Diode und kann von $< 1 \text{ V}$ bis hin zu mehreren Volt betragen.
- Der Drifteffekt setzt mit dem Start der elektrischen Belastung ein, vollzieht sich innerhalb von wenigen Minuten bis wenigen Stunden und erreicht eine Sättigung.
- Mit dem Drifteffekt ist eine Reduzierung der aktiven Fläche der Diode verbunden, messbar mit Hilfe der Wärmebildkamera.

2.3.4.3. Hochvolt-Module

Bereits im Abschnitt Screeningtest (s. oben) wurde erwähnt, dass sich die Bipolardrift der Dioden auch bei Untersuchungen an Modulen mit vielen parallel geschalteten Dioden gezeigt hat. Für die damit verbundenen nachteiligen Auswirkungen auf die Parallelschaltbarkeit und z.B. auch die auf Wechsellastfähigkeit sei auf den Bericht des Projektpartners Siemens verwiesen.

Beispielhaft ist in Abbildung 34 die Auswirkung der Driftinstabilität auf die Vorwärtskennlinien einzelner Dioden, die gemeinsam auf einer DCB (Substrat #7) des Moduls 90713 verbaut wurden, dargestellt.

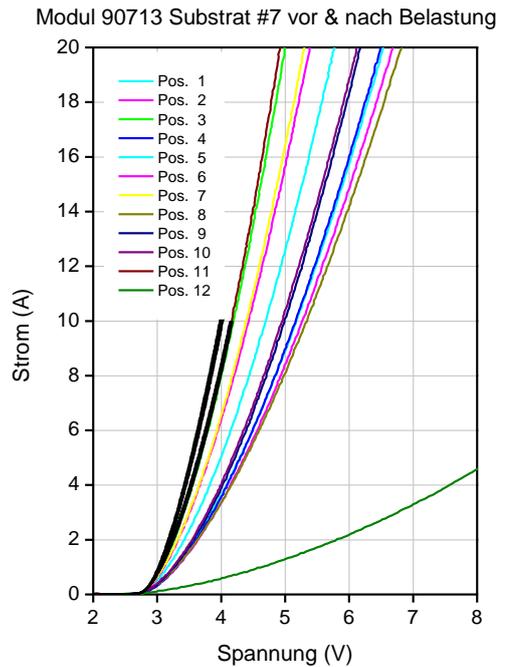
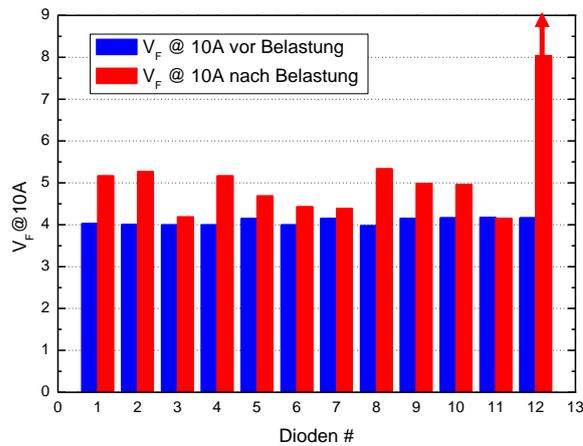


Abbildung 34: Degradation der Vorwärtscharakteristik von 12 Dioden auf Substrat #7 von Modul 90713.

Links: V_F bei $I = 10\text{ A}$ vor (blau) und nach Belastung (rot).

Rechts: Flusskennlinien vor (schwarz) und nach Belastung (bunt).

Wiederum ist deutlich zu erkennen, dass die Vorwärtscharakteristik aller 12 Dioden vor der Belastung homogen und unauffällig war, während sich nach der Belastung eine Aufteilung in nicht degradierte, „wenig“ degradierte (ca. 1 V) und stark degradierte ($\gg 1\text{ V}$) Dioden ergibt.

2.3.4.4. Diskrete Dioden (TO-220)

Für weitere Untersuchungen der Driftstabilität wurden pin-Dioden eines 3 Zoll Wafers in diskreten Gehäusen (TO-220) aufgebaut. Diese Dioden wurden nachfolgend dem Projektpartner TU Dresden zur Verfügung gestellt, um gepulste Belastungstests durchzuführen. Auch bei diesen Tests zeigte sich das bekannte Driftverhalten, d.h. einige Dioden blieben unverändert, andere Dioden zeigten eine Veränderung der Flusskennlinie. In Abbildung 35 sind beispielhaft die Ergebnisse zweier Dioden dargestellt (P024 und P034).

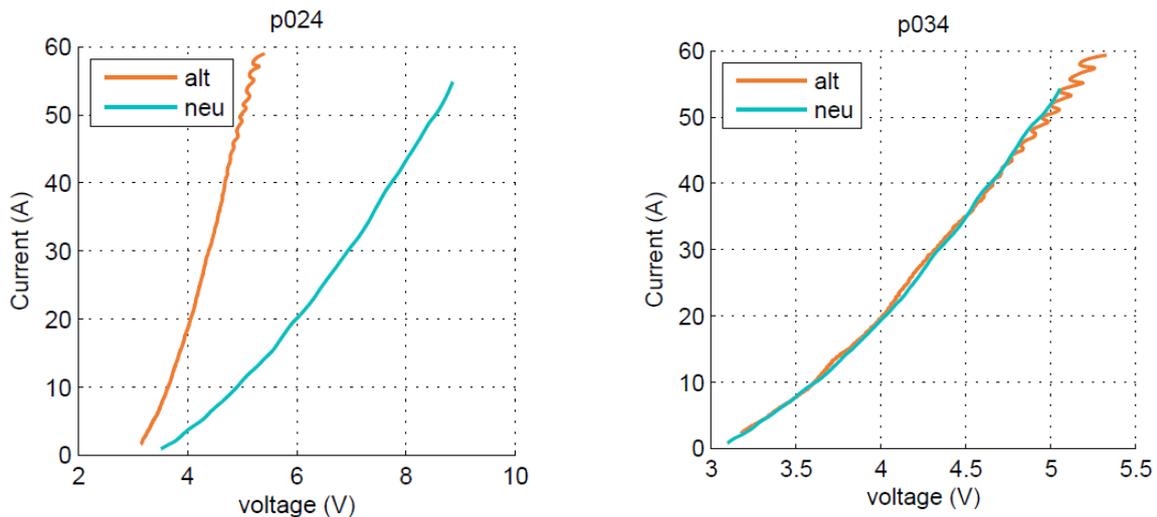


Abbildung 35: Degradation der Vorwärtscharakteristik von 2 pin-Dioden im TO-220 Gehäuse, belastet beim Projektpartner TU Dresden (Quelle: TU Dresden).

Links: Flusskennlinie der Diode P024 vor (orange) und nach Belastung (blau).

Rechts: Flusskennlinie der Diode P034 vor (orange) und nach Belastung (blau).

Während die Diode P034 sehr stabiles Verhalten zeigt, ist bei Diode P024 eine Degradation der Vorwärtscharakteristik zu erkennen (ΔV_F bei 7,5 A ca. 1 V). Diese beiden Dioden wurden für weitere Untersuchungen in der Fehleranalyse-Abteilung von Infineon in München bearbeitet.

2.3.4.5. Defektanalyse/EMMI-Untersuchungen

Um die beobachtete Degradation der Vorwärtscharakteristik besser verstehen zu können, wurde die in der Fehleranalyse bekannte EMMI-Methode („emission microscopy“) zur Visualisierung und Charakterisierung der Kristalldefekte angewandt. Dabei wird zuerst die Rückseite TO-220 Gehäuses geöffnet, ohne dass die Funktionalität der Diode zerstört wird. Anschließend erfolgt eine orts aufgelöste Messung der in der aktiven Fläche der Diode erzeugten Lumineszenz. Diese Lumineszenz wird durch die Rekombination der Elektronen und Löcher im Durchlassbetrieb der Diode erzeugt. In Abbildung 36 ist eine derart präparierte Diode dargestellt. Links ist die auf der Rückseite geöffnete Diode zu erkennen, rechts wurde das im Durchlassbetrieb der Diode gemessene EMMI-Bild überlagert. Aufgrund der Entfernung der Rückseitenmetallisierung (mit Ausnahme einer verbleibenden kleinen Kontaktzone am äußeren Diodenrand) und der Transparenz des Siliziumkarbids kann die in der aktiven Schicht im Durchlassbetrieb erzeugte Lumineszenz vom Detektor aufgenommen und die dargestellte Intensitätsverteilung erzeugt werden.

Bei einer Diode ohne Degradation mit homogenem Stromfluss durch die komplette aktive Fläche wäre auch ein homogenes EMMI-Ergebnis, also eine gleichmäßige EMMI-Intensitätsverteilung zu erwarten. In Abbildung 37 ist das EMMI-Ergebnis der beiden in Dresden belasteten Dioden 24 und 34 (Kennlinien s. Abbildung 35) dargestellt.

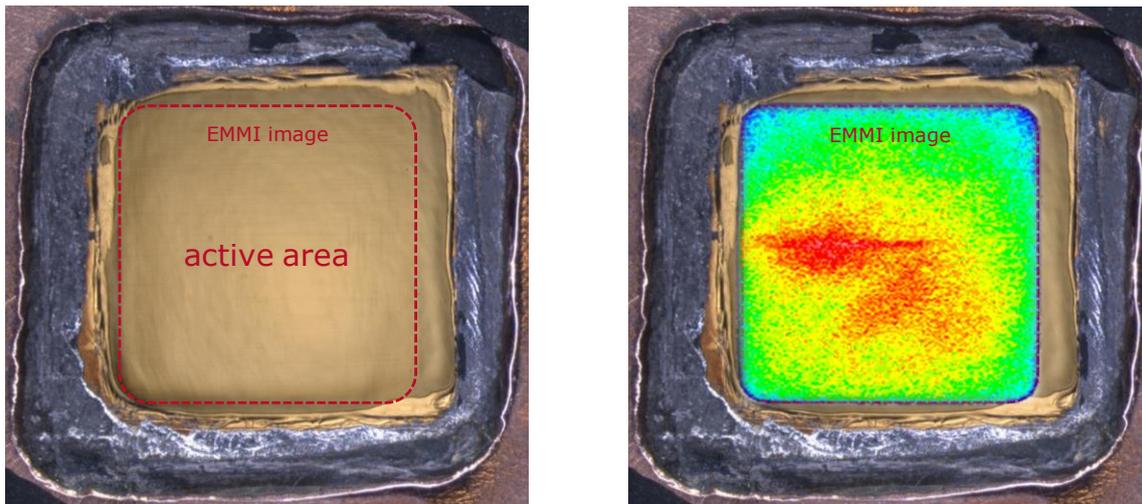


Abbildung 36: Auf der Rückseite geöffnete SiC pin-Diode im TO-220 Gehäuse mit markiertem Gebiet für die EMMI-Analyse (links) und überlagertem EMMI-Bild (rechts).

Insbesondere bei der elektrisch auffälligen Diode P024 zeigen sich starke Inhomogenitäten in der Stromverteilung (Abbildung 37 links). Aber selbst bei der elektrisch unauffälligen Diode P034 ist die Ausbildung eines dreieckigen Defektes mit reduzierter Stromtragfähigkeit zu erkennen (Abbildung 37 rechts). Der Verlust an aktiver Fläche ist hier allerdings noch so gering, dass die gemessene Vorwärtscharakteristik unverändert bleibt.

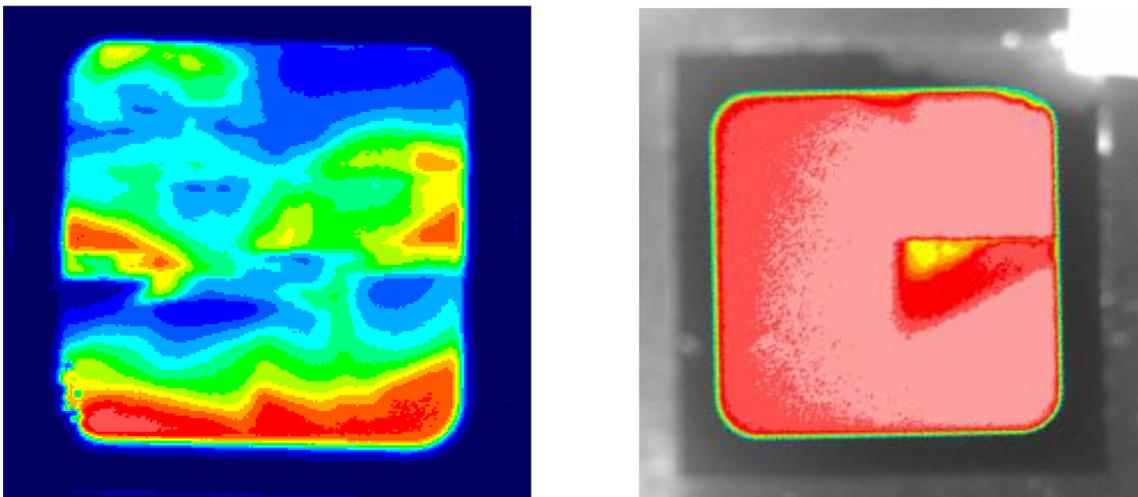


Abbildung 37: Rückseiten EMMI-Aufnahmen von pin-Dioden im Durchlassbetrieb nach elektrischer Belastung (rot = hohe Intensität, blau = niedrige Intensität).

Links: EMMI-Aufnahme der elektrisch auffälligen Diode P024.

Rechts: EMMI-Aufnahme der elektrisch unauffälligen Diode P034.

Die in den EMMI-Bildern sichtbaren dreiecksförmigen Gebiete mit reduzierter Intensität, welche bei der Diode P024 in größerer Anzahl vorhanden sind und sich dort überlagern, werden durch Stapelfehler im hexagonalen 4H Polytyp des Halbleitermaterials SiC verursacht. Diese können unter Strombelastung durch die bei der Elektronen-Loch Rekombination freiwerdende Energie entstehen. Für die Ausbildung und Ausbreitung dieser Stapelfehler müssen lokal jedoch Basalflächenversetzungen („basal plane dislocations“, BPD) in der Epitaxieschicht vorhanden sein. Diese liegen im aktuell verwendeten Grundmaterial noch in hoher Dichte ($>10^3 \text{ cm}^{-2}$) vor, werden aber beim Epitaxieprozess größtenteils in nicht elektrisch wirksame Versetzungstypen umgewandelt (90% - 99%). Für eine weitere Analyse der verschiedenen Versetzungstypen wurden ausgewählte Dioden nach den EMMI-Messungen komplett entschichtet und nachfolgend in einer heißen KOH-Ätze geätzt. Dadurch werden die an der

Oberfläche vorhandenen Versetzungen dekoriert und diese können anschließend im Mikroskop bestimmt werden. In Abbildung 38 ist die Rückseiten EMMI-Aufnahme einer Diode im Durchlassbetrieb (links) und die Ätzgrubenverteilung dieser Diode nach Entschichtung und Defektätze in KOH (rechts) dargestellt. Aufgrund der Auffälligkeit in der EMMI-Aufnahme am unteren Diodenrand wurden lokal an dieser Stelle weitere Untersuchungen durchgeführt.

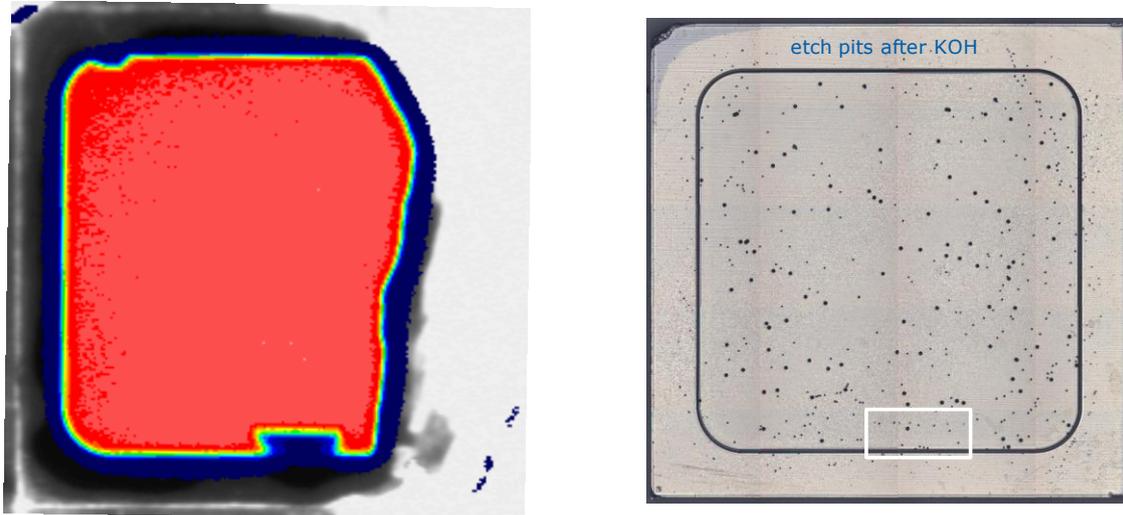


Abbildung 38:

Links: Rückseiten EMMI-Aufnahme von pin-Dioden P025 nach Belastung.

Rechts: Ätzgruben von pin-Diode P025 nach Defektätze in KOH (Vorderseite).

Durch sequentielles Ätzen in KOH und nachfolgender optischer Inspektion konnte die Ausbreitung der verschiedenen Versetzungen analysiert werden. In Abbildung 39 ist die nach 10 min Ätzeit erhaltene Oberfläche der Diode dargestellt (Ausschnitt aus Abbildung 38 rechts, weißer Rahmen), überlagert mit der ursprünglichen EMMI-Messung.

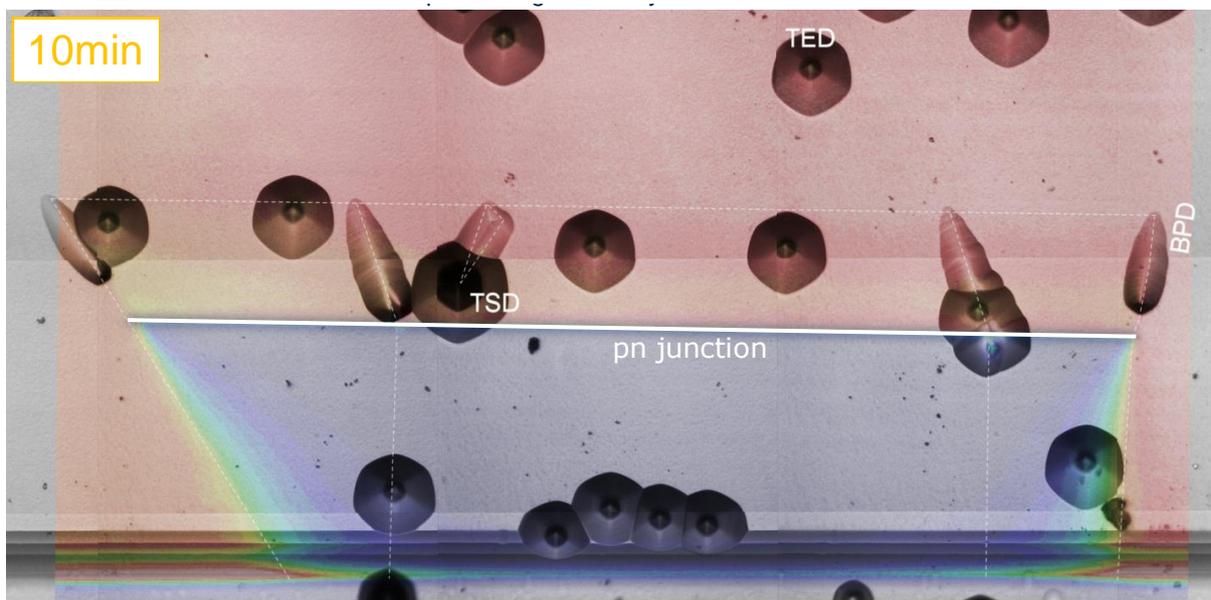


Abbildung 39: Überlagerung von Rückseiten-EMMI-Aufnahme und Mikroskopaufnahme der geätzten Diodenvorderseite (10 min KOH).

Interessant sind hier insbesondere die oval ausgeprägten Ätzgruben, welche Basalflächenversetzungen kennzeichnen. Bei den „rund“ bzw. symmetrisch ausgeprägten Ätzgruben handelt es sich dage-

gen um Stufen- bzw. Schraubenversetzungen, die keine Degradation der Vorwärtscharakteristik bewirken. Mittels der Überlagerung des EMMI-Bildes wird deutlich, dass die beiden äußeren ovalen Basalflächenversetzungen den dreiecksförmigen Stapelfehler aufspannen, der für die Reduzierung der EMMI-Intensität verantwortlich ist. Die horizontale weiße Linie kennzeichnet den in 4 µm Tiefe vorhandenen pn-Übergang, also den Wechsel vom p-dotierten Emitter zur n-dotierten Driftschicht.

Die durchgeführten Untersuchungen zeigen sehr deutlich, dass die Ausbildung von Stapelfehlern unter elektrischer Belastung der Dioden verantwortlich für die Degradation der Vorwärtscharakteristik ist. Ausgangspunkt für die Ausbildung der Stapelfehler sind in der Epitaxieschicht vorhandene Basalflächenversetzungen, die während des Epitaxieprozesses nicht vollständig in andere Versetzungstypen umgewandelt wurden. Die EMMI-Analyse hat sich als gut geeignetes Instrument erwiesen, das Vorhandensein von Stapelfehlern in den Dioden nachzuweisen. Weitere mögliche Methoden wären hier z.B. auch die Photolumineszenz und Röntgentopographie.

Um den beobachteten Effekt der Bipolardrift zu vermeiden und damit eine verbesserte Vorwärtsstabilität zu erreichen, sollten folgenden Maßnahmen ergriffen werden:

- Verwendung von Grundmaterial mit möglichst geringer BPD-Dichte. Die Grundmateriallieferanten sind aktuell bestrebt, defektfreieres Material herzustellen und anzubieten. Es ist zu erwarten, dass in absehbarer Zeit SiC-Wafer mit BPD-Dichten $\ll 1000 \text{ cm}^{-2}$ kommerziell verfügbar sein werden.
- Optimierung des Epitaxieprozesses hinsichtlich vollständiger Umwandlung BPD in Stufen-/Schraubenversetzungen. Hier müssen jedoch noch weitere Untersuchungen durchgeführt werden, da nicht ausgeschlossen werden kann, dass die umgewandelten BPD unter Belastung erneut generiert werden und wiederum die Ausbildung von Stapelfehlern bewirken. Tatsächlich wurden die zwei noch bei der SiCED hergestellten Diodenwafer P314 und P315 mit einem derartigen Epitaxieprozess hergestellt. Dennoch ergaben Stabilitätsmessungen im Econo-Serienmodul auch für einzelne Dioden dieser Wafer eine unzureichende Kennlinienstabilität mit einer Drift von 0,5 V – 0,7 V bei Nennstrom nach Belastung.
- Einführung eines optischen Screening-Verfahrens, um auf Waferlevel Bereiche zu identifizieren, in denen BPD vorhanden sind und die damit nicht für HV-Dioden verwendet werden sollten.

Diese im Rahmen des Projektes gewonnenen Erkenntnisse konnten zwar nicht mehr umgesetzt werden, bilden aber dennoch eine gute Grundlage, mit deren Hilfe die zukünftige Entwicklung bipolarer SiC-Bauelemente bei Infineon wesentlich beschleunigt werden kann.

2.4. Zusammenfassung Chip-Themen

Die Übernahme der ursprünglich bei der SiCED geplanten Chip-Arbeitspakete durch Infineon im ersten Projektjahr und der dadurch erforderliche Wechsel der Technologieumgebung führten zu Veränderungen und neuen Schwerpunkten bei der Bearbeitung der zur Erreichung der Gesamtprojektziele notwendigen Themengebiete.

Aufgrund der vielfältigen Veränderungen und komplexen Zusammenhänge gelang es nur eingeschränkt, die bei der SiCED vorhandene Technologie zur Herstellung der hochsperrenden pin-Dioden an den neuen Fertigungsstandort bei der FhG Erlangen zu transferieren. Sehr erfolgreich verlief dagegen die Umstellung der Epitaxieanlage von 3 Zoll auf 100 mm Wafer. Hier gelang es, einen hochvolttauglichen Prozess mit hoher Wachstumsrate zu entwickeln, der die gleichzeitige Prozessierung von 6 Stk. 100 mm SiC-Wafern erlaubt.

Lag der geplante Schwerpunkt der Chip-Arbeitspakete anfangs in der Bereitstellung der für den Modulaufbau erforderlichen großen Anzahl von hochsperrenden Dioden, zeigte sich während der Laufzeit des Projektes, dass die Themen Drift- und Sperrstabilität eine intensivere Bearbeitung benötigten. Zu diesem Zweck wurde in Absprache mit dem Projektträger auf die noch bei der SiCED geplan-

ten Arbeiten für ein bipolares SiC-Schaltbauelement verzichtet. Ausführliche Untersuchungen an unterschiedlichen Dioden u.a. in speziell konstruierten Sondermodulen zeigten, dass die Degradation der Vorwärtscharakteristik unter Belastung weder mit einem elektrischen Screeningtest auf Waferlevel vorhergesagt noch durch einen speziellen Epitaxieprozess unterdrückt werden kann. Die Veränderung der Flusskennlinie unter Strombelastung erfolgt im Driftfall mehr oder weniger ausgeprägt und erreicht innerhalb einer bestimmten Zeit (ca. mehrere Minuten) eine Sättigung. Verantwortlich dafür sind Kristalldefekte in der aktiven Schicht, die unter Strombelastung zur Ausbildung von elektrisch aktiven Stapelfehlern führen können. Eine Lösungsmöglichkeit könnte hier in einem optischen Screeningverfahren liegen, welches die für die Degradation verantwortlichen Kristalldefekte auf Waferebene identifizieren und somit ein automatisches Kennzeichnen defekter Waferbereiche ermöglichen könnte. Darüber hinaus arbeiten alle Grundmaterialhersteller derzeit an einer Reduzierung der für die Degradation verantwortlichen Basalflächenversetzungen, so dass die dadurch zu erwartende stetige Verbesserung der Substratqualität das Risiko der Bipolar drift bei den herzustellenden Dioden kontinuierlich reduzieren könnte.

Neben der Bipolardegradation musste insbesondere auch das Sperrverhalten der pin-Dioden sehr detailliert untersucht werden. Es stellte sich heraus, dass ein Teil der Dioden im aufgebauten Modul keine stabilen Sperreigenschaften zeigte. Vielfältige Simulationen diverser Randstrukturen führten zu einem besseren Verständnis der aufgetretenen Instabilitäten und insbesondere durch Absenkung der im Imid und im Weichverguss auftretenden hohen elektrischen Feldstärken zu einem grundlegend verbesserten Randdesign. Dies ermöglichte die Herstellung von Dioden mit einem deutlich stabileren Sperrverhalten. Die Implementierung einer Ringstruktur am Hochvoltrand konnte noch innerhalb der Projektlaufzeit erfolgreich vorgenommen werden. Dioden mit diesem deutlich verbesserten Layout wurden erstmals auf der 100mm Fertigungslinie in Villach hergestellt und zeigen auch im Modul ein stabiles Sperrverhalten.

Die insgesamt gewonnenen Erkenntnisse und insbesondere die vorgenommenen Verbesserungen bei der Randkonstruktion bilden eine fundierte Grundlage für die zukünftige Entwicklung von SiC-Hochvoltbauelementen bei Infineon.

3. Modul-Themen

3.1. Modulaufbauten

Aufgabe war die Bereitstellung von

- a) Modulen basierend auf der heute üblichen Aufbau- und Verbindungstechnologie zur elektrischen und thermischen Charakterisierung der SiC-Dioden in Einfach- und Mehrfachparallelschaltung,
- b) Modulen für Zuverlässigkeitsprüfungen an den SiC-Dioden in Einfach- und Mehrfachparallelschaltung und
- c) Modulen für den Test in MV-Umrichtern.

Des Weiteren wurden Aspekte für eine Modultechnologie untersucht, die eine Erhöhung der Sperrschichttemperatur über die heute maximal 125 °C für 6,5 kV-Bauelemente zulassen.

3.1.1. Module für Einzelchipversuche

Für die Untersuchungen zur Driftstabilität unter Vorwärtsstrombelastung der SiC-Dioden war es erforderlich, eine geeignete Modulplattform zu erzeugen, die den gleichzeitigen Betrieb von mehreren Dioden in Reihenschaltung unter thermisch wohldefinierten Bedingungen erlaubt. Gleichzeitig soll die Möglichkeit der Überwachung der Vorwärtsspannungsabfalls jeder einzelnen Diode ermöglicht werden.

Basierend auf der EconoPACK™-Serie wurden die Anforderungen wie in Abbildung 40 gezeigt realisiert. Als Materialsystem kam eine 3 mm dicke Kupferbodenplatte mit darauf gelöteten Al₂O₃-Keramiksubstraten zum Einsatz. Als Chiplot wurde SnAg_{3,5} eingesetzt. Die Dioden sind in diesem Design ausreichend weit voneinander separiert, um ein thermisches Übersprechen zu minimieren. Jedes Substrat ist mit einem NTC zur Temperaturüberwachung ausgestattet. Über die erzielten Untersuchungsergebnisse wird im Abschnitt 2.3.4.2. (Econo-Serienmodule) berichtet.

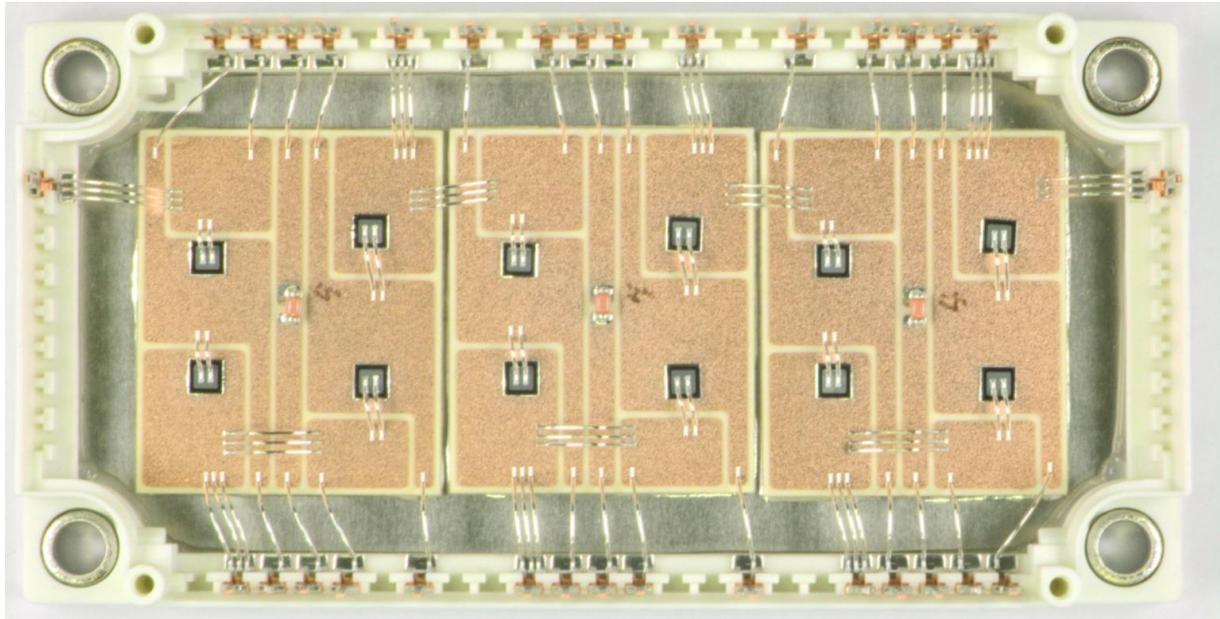


Abbildung 40: EconoPACK™ für Reihenschaltung. Das Modul layout ist für 6,5 kV SiC-Dioden zur Untersuchung des Vorwärtsbelastungsverhaltens optimiert.

Dieses Modulkonzept ist ebenfalls geeignet, Messungen zur Stoßstromfestigkeit an Einzelchips durchzuführen. Die Resultate werden in Abschnitt 3.5.3. berichtet.

3.1.2. Module für elektrische und thermische Charakterisierung

Für die elektrische Charakterisierung der SiC-Diodenchips in einer Parallelschaltung von sehr vielen Einzelchips wurde ein Modulaufbau ähnlich der heute produktiven 6,5 kV IGBT-Modultechnologie gewählt, d.h. eine 1 mm AlN-Keramik wird auf eine 5 mm AlSiC-Bodenplatte aufgelötet. Dabei wurden Keramiken des Projektpartners curamik GmbH erfolgreich eingesetzt. Das Layout wurde in mehreren Lernschleifen geändert (Details dazu im Abschnitt 3.3. Substratlayout). Als Bauformen der Substrate und äußere Abmessungen der Module wurden die aktuellen 6,5 kV Gehäusegrößen gewählt, um maximale Kompatibilität zu derzeitigen Fertigungsprozessen zu gewährleisten (s. Abbildung 41). Für die elektrische Charakterisierung wurden die Module mit verschiedenen Silikon-Gelen vergossen, um die notwendigen Isolationsfähigkeiten zu erreichen. Bei Modulen für ausschließlich thermische Untersuchungen (und geeigneten Zuverlässigkeitsuntersuchungen wie Power Cycling) wurde auf den Verguss verzichtet, da hier Messungen mit Infrarot-Kameras notwendig waren, die zwangsläufig offene Module voraussetzen. Dies stellt aber kein Problem dar, da für diese Untersuchungen keine Isolationsanforderungen erfüllt werden mussten.

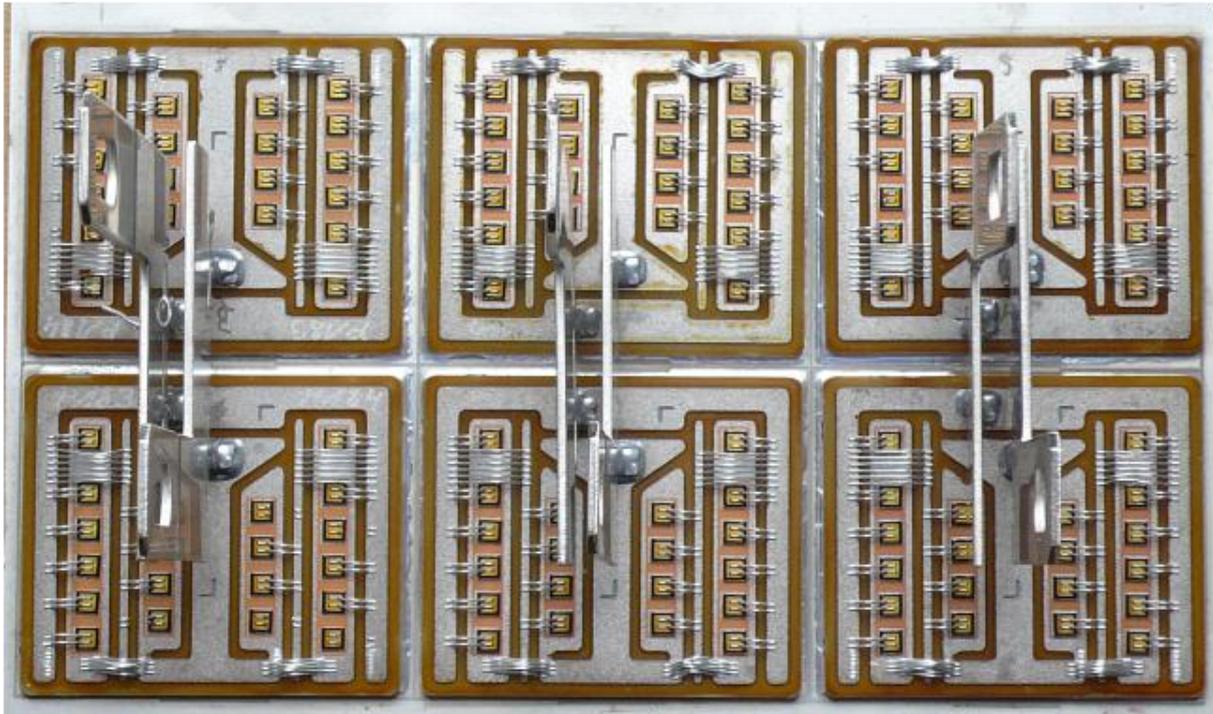


Abbildung 41: Beispiel eines vollbestückten SiC-Diodenmoduls basierend auf einer Bodenplattengröße 140 x 190 mm² mit 120 parallelgeschalteten SiC-Einzelchips im Montagezustand vor Befüllung mit Silikongel.

Die wesentliche Herausforderung war die sichere gleichzeitige Montage von vielen SiC-Diodenchips auf einer Keramik. Dazu wurden die Ergebnisse der Lötungen in Abhängigkeit der Lotgeometrien untersucht, siehe Abbildung 42. Vorteilhaft erwies sich die Verwendung rechteckiger Lote, die der Chipgröße angepasst waren. Eine wesentliche Verbesserung gegen Verdrehung der Chips wurde durch Einsatz von angepassten Lotstoppmasken erreicht. Die Chipverdrehung konnte damit in dem Maße reduziert werden, dass die Chips prozesssicher automatisiert bondbar waren. Ebenfalls konnte ein positiver Einfluss auf die Lothomogenität festgestellt werden.

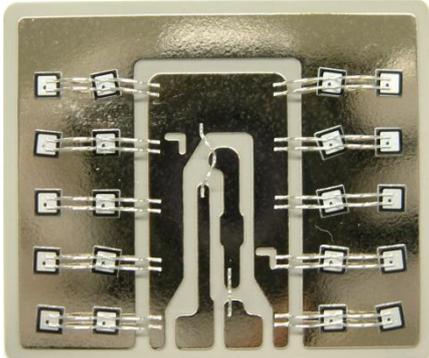
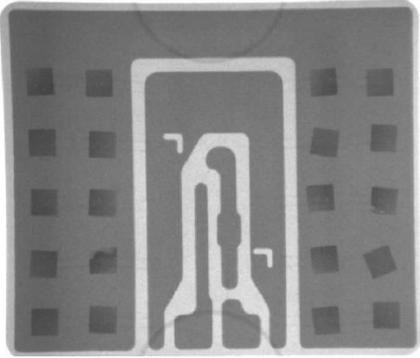
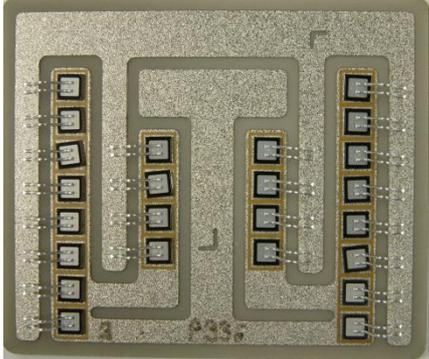
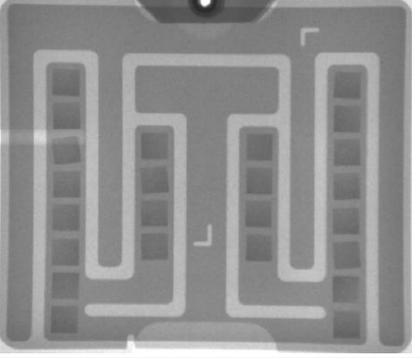
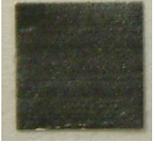
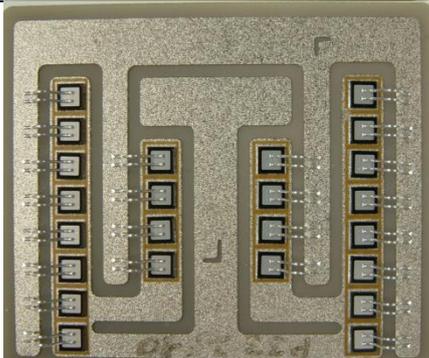
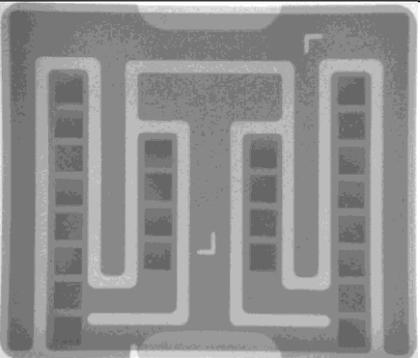
	Lotform	Gelötetes Substrat	Röntgenbild
1			
2			
3			

Abbildung 42: Evolutionsstufen der Chip-auf-Substratlötungen. Abgebildet sind die verwendeten Lote (rund in Stufe 1 und 2, sowie eckig in Stufe 3), Draufsicht auf gebondete und gelötete Substrate sowie entsprechende Röntgenaufnahmen. 1: Ausgangspunkt zu Beginn des Projektes, 2: Einführung von Lotstopplack, 3: Änderung der Lotform.

3.1.3. Module für Zuverlässigkeitsuntersuchungen

Neben den Versuchen zur Stabilität der Vorwärtscharakteristik in den EconoPACK™-Gehäusen war ein Ziel die Untersuchung der thermischen Wechsellastfähigkeit der SiC-Diodenmodule, die mit herkömmlicher Aufbau- und Verbindungstechnologie für Hochvoltchips montiert wurden. Diese dienten als Referenzen für Vergleichsproben mit Technologien, die eine Erhöhung der Sperrschichttemperatur zulassen.

Es gibt drei wesentliche wichtige Verbindungsstellen in einem Modul, die untersucht werden müssen, um die Erhöhung der Sperrschichttemperatur zu erreichen. Diese sind:

- a) Verbindung Bodenplatte-Keramiksubstrat
- b) Verbindung Keramik-Chip und
- c) Verbindung Chip-Bonddraht.

Weitere Verbindungsstellen wie z.B. die Metallisierung auf den Keramiken entziehen sich in aller Regel den Einflussmöglichkeiten der Modulhersteller. Auf entsprechende Untersuchungen wird hier auf den Projektpartner curamik GmbH verwiesen.

Untersucht wurden zur Verbindungsstelle Bodenplatte-Keramikssubstrat folgende Kombinationen:

- AlSiC-Bodenplatten und AlN-Keramiken, die mit SnPb-Lot verbunden wurden und
- AlSiC-Bodenplatten mit Cu-Spray-Inseln und AlN-Keramiken, die mit einem alternativen Lot verbunden wurden.

Die Zuverlässigkeit wurde im thermischen Schocktest (Zyklisierung zwischen -40 °C und 150 °C) durch den Projektpartner Siemens CT untersucht. Die neue Lötung konnte noch nicht ihre gewünschte Verbesserung in Lebensdauerzyklen demonstrieren, da die Verbindungsschicht zwischen der Bodenplatte und der Cu-Schicht nicht ausreichend stabil war.

Die Verbindungsstelle zwischen dem eigentlichen Chip und der Trägerkeramik (Punkt b)) ist heute ein PbSn-Lot, welches bei höherer Sperrschichttemperatur, die mit höheren Temperaturzyklen einhergeht, nicht mehr verwendbar ist. Deshalb wurden Versuche mit Ag-Sintern unternommen. Es wurde nachgewiesen, dass die 6,5 kV-SiC-Dioden prinzipiell sinterbar sind. Versuchsweise wurden dazu Substrate mit Ag-Sinterertechnologie aufgebaut. Die verwendeten AlN-Keramiken waren mit galvanisch versilberten Kupferleiterbahnen durch den Projektpartner curamik GmbH hergestellt worden. Die Verbindungsschicht zwischen Chip und Substrat war homogen und lunkerfrei.

Auch hier bestand die Herausforderung, viele kleine Chips gleichzeitig zu sintern. Auf jedes Demonstratorsubstrat wurden dazu 10 Dioden befestigt. Das Ergebnis ist in Abbildung 43 gezeigt. Bei einigen Proben traten Risse in der Keramik auf, was auf eine noch unzureichende Prozessführung für diese Keramiken mit den vielen kleinen Chips hindeutet.

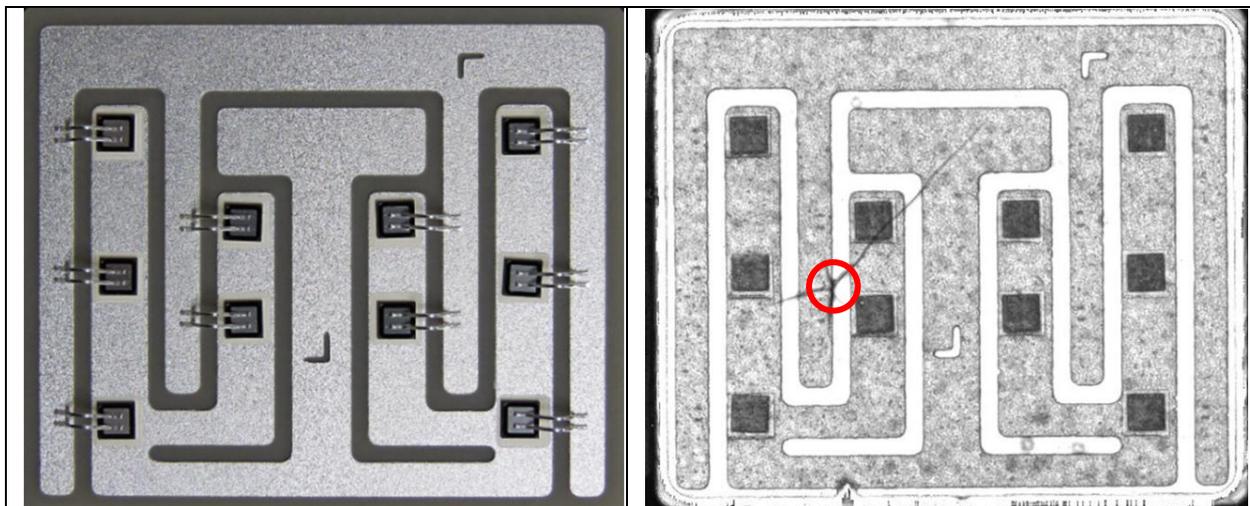


Abbildung 43: Links: Gesintertes und gebondetes Substrat. Rechts: Ultraschallaufnahme der Verbindungsschicht Chip-Substrat. Es sind keine Lunker sichtbar. Weiterhin sind Risse in der Keramik zu sehen (Ausgangspunkt rot markiert). Diese können durch eine noch nicht angepasste Prozessführung entstehen.

Basierend auf diesen Ergebnissen wurden Module in herkömmlicher PbSn- und Ag-Sinter-Technologie hergestellt, um sie im Power-Cycling vergleichend untersuchen zu können. Die Lebensdaueruntersuchungen endeten nach wenigen Zyklen, da die verwendeten Diodenchips zu extremen Stromumverteilungen aufgrund starker Vorwärtsdegradation tendierten. Dies führte zu einer schnellen Überbelastung und Zerstörung einzelner Dioden. Die Referenzproben mit herkömmlicher AVT zeigten ein ähnlich schlechtes Verhalten unter Bestromung.

Die Verbindungsstelle Chip-Bonddraht (Punkt c)) wurde durch eine Bonddrahtversiegelung aus Polyimid verstärkt. Diese ist unverzichtbar, um die notwendige Zyklenzahl im Power Cycling zu errei-

chen. Da die Chipmetallisierung der SiC-Dioden und die verwendeten Bonddrähte Aluminium-basiert sind, wurden alle Proben mit einer Bondfussversiegelung ausgestattet. Eine Verbesserung der Zyklenfestigkeit könnte durch Cu-Metallisierungen in Verbindung mit Cu-Bonddrähten erreicht werden, wie sie sich gerade für IGBT-Module der Spannungsklassen bis 1700V in der Entwicklung befindet. Für die Übertragung auf die Hochvolt-SiC-Dioden wäre chipseitig eine entsprechende Adaption erforderlich, die nicht im Rahmen des Projektes durchgeführt werden konnte.

Wichtig für alle Proben war die Rückverfolgbarkeit der Chips auf Einzelwaferniveau. Dies wurde durch einen gezielten Verbau in der Musterfertigung und eine eindeutige Kennung der Substrate realisiert. Die SiC-Chips selbst tragen eine eindeutige Kennzeichnung, so dass eine klare Zuordnung der verwendeten Chips möglich war. Auf eine vollautomatisierte Lösung wurde im Rahmen dieses Projektes verzichtet.

3.1.4. Übersicht der Moduldemonstratoren

Tabelle 6: Übersicht über Modulaufbauten im Projekt.

Kennnummer	Thema	Projektpartner
5925	Moduldemonstratoren für Thermografie	Siemens
6416	Moduldemonstratoren für Thermografie	Siemens
8073	Moduldemonstratoren für Thermografie SiN	Infineon
6910	EconoPACK™ für Driftstabilität	SiCED
7009	EconoPACK™ für Driftstabilität	SiCED
7810	EconoPACK™ für Driftstabilität	Infineon
7809	EconoPACK™ für Stossstromuntersuchung	Infineon
7168	Demonstratoren neues Substratlot	Siemens CT
7497	Demonstratoren gesinterte SiC-Dioden	Siemens
6570	Hochsperrende Module für dynamische Tests	Siemens, TUD
7006	Hochsperrende Module für Stabilitätstests	Infineon
8049	Hochsperrende Module für Stabilitätstests	Infineon
7047	Hochsperrende Module für Stabilitätstests	Infineon
7476	Hochsperrende Module für Stabilitätstests	Infineon
7804	Hochsperrende Module für Umrichter	Siemens

3.2. Weichverguss und Randpassivierung

Eine der wesentlichen Komponenten in einem SiC-Diodenmodul ist der verwendete Silikon-Weichverguss. Seine Aufgabe besteht darin, die Isolationsfähigkeit zwischen den unterschiedlichen elektrischen Potentialen sicherzustellen, die nicht ausschließlich durch feste Stoffe getrennt sind, wie z.B. Gräben zwischen Metallisierungsbahnen auf den Keramiks substraten. Insbesondere gilt dies auch für die Trennung zwischen der Anodenmetallisierung und der Seitenkante der Diodenchips. Es befindet sich zwar halbleiterseitig eine Passivierung auf der Hochvoltrandkonstruktion der Chips, diese ist aber nicht zwangsläufig ausreichend, unter Luft eine ausreichend große Entladungsstrecke bereitzustellen.

Die 6,5 kV-SiC-Diodenchips weisen einen Hochvoltrandabschluss auf, der deutlich von den herkömmlichen Si-Dioden abweicht. Die verwendete Randkonstruktion bedingt eine hohe Spitzenfeldstärke nicht nur in den äußeren Chip-Passivierungsschichten, sondern auch im umgebenden Weichverguss. Simulationen zeigen Werte für das elektrische Feld in der Größenordnung von >30 kV/mm (s. Abschnitt 2.3.3.).

Die kommerziell erhältlichen Weichvergussmaterialien auf Silikonbasis sind alle in ihrer Durchbruchfeldstärke vergleichbar: ~10 bis >50 kV/mm (Quelle: Wacker, Dow Corning). Diese werden aber an

idealisierten Probengeometrien vermessen, die nur bedingt aussagekräftig für Feldstärken im relevanten μm -Bereich sind. Daher ist der Vergleich der Spitzenfeldstärke nicht aussagekräftig. Getestet wurden Diodenmodule mit zwei unterschiedlichen Weichvergusstypen. Durchgängig zeigte sich, dass die 6,5 kV-Dioden oft sperrstrominstabil sind, unabhängig vom verwendeten Weichvergusstyp. Versuche mit wiederholtem Ausheizen oder einer Lagerung bei angelegter hoher DC-Spannung, alternativen weiteren Chippassivierungen wie GlobTop oder überlaufendes Polyimid zeigten keine klaren Tendenzen zur Stabilisierung. Nach mehrmaligem Anlegen hoher Sperrspannungen konnten Sperrstromstabilisierungen festgestellt werden, die jedoch nicht immer reproduzierbar nach anschließendem spannungslosen Lagern waren. Im Folgenden werden die experimentellen Ergebnisse zusammengefasst.

3.2.1. Gutteilkennlinien auf Substrat- und Modulniveau

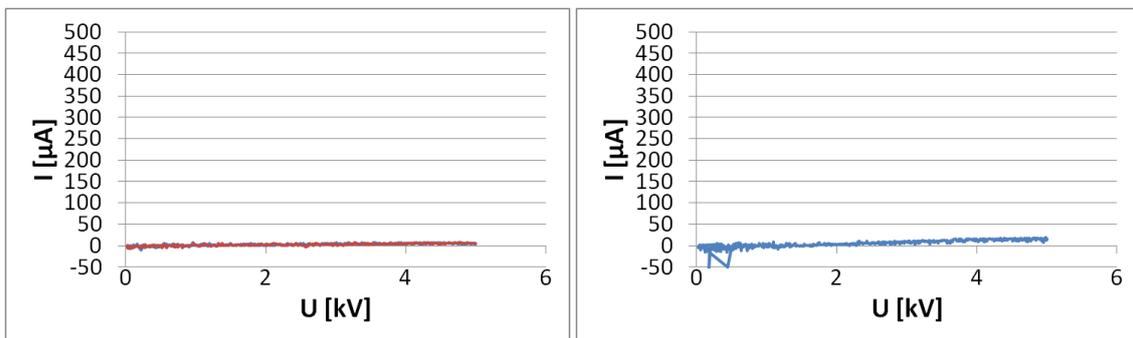


Abbildung 44: Beispiel für ein Modul mit unauffälligen Sperrkennlinien. Links: Sperrkennlinien der Einzelsubstrate des Moduls vor Verbau. Rechts: Sperrkennlinie des Moduls. Der Sperrstrom ist im Bereich der Testergenauigkeit.

Abbildung 44 zeigt exemplarisch Sperrstromkennlinien von Substraten und dem damit erstellten Modul. Die Kennlinien zeigen ein konstant niedriges Niveau und sind ein Beispiel von Gutteilen.

3.2.2. Schlechteilkennlinien auf Substrat- und Modulniveau

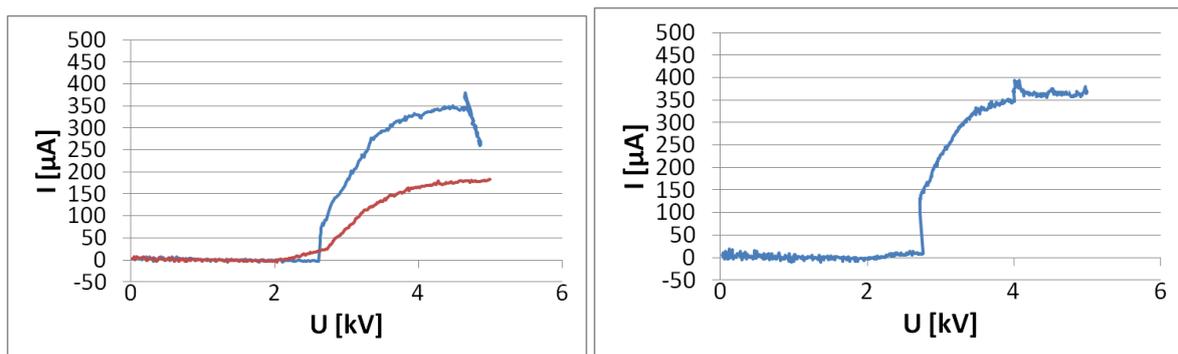


Abbildung 45: Beispiel für ein Modul mit auffälligen Sperrkennlinien. Links: Sperrkennlinien der Einzelsubstrate des Moduls vor Verbau. Beide Substrate zeigen ab $\sim 2,5$ kV eine Zunahme des Leckstromes, der zeitlich variabel ist (nicht gezeigt). Rechts: Sperrkennlinie des Moduls. Hier ist der Anstieg des Leckstromes ebenfalls sichtbar.

Abbildung 45 zeigt exemplarisch Kennlinien von Substraten, die ab einer Sperrspannung von $\sim 2,5$ kV eine untypische Sperrstromzunahme zeigen. Ein Substrat beginnt zudem, ab $\sim 4,5$ kV eine Sperrstromdrift zu zeigen. Dieses Verhalten ist in ähnlicher Weise auch im Modul, welches aus diesen Substraten aufgebaut wurde, sichtbar.

3.2.3. Sperrstromstabilisierung durch Sperrlagern oder Temperaturlagern

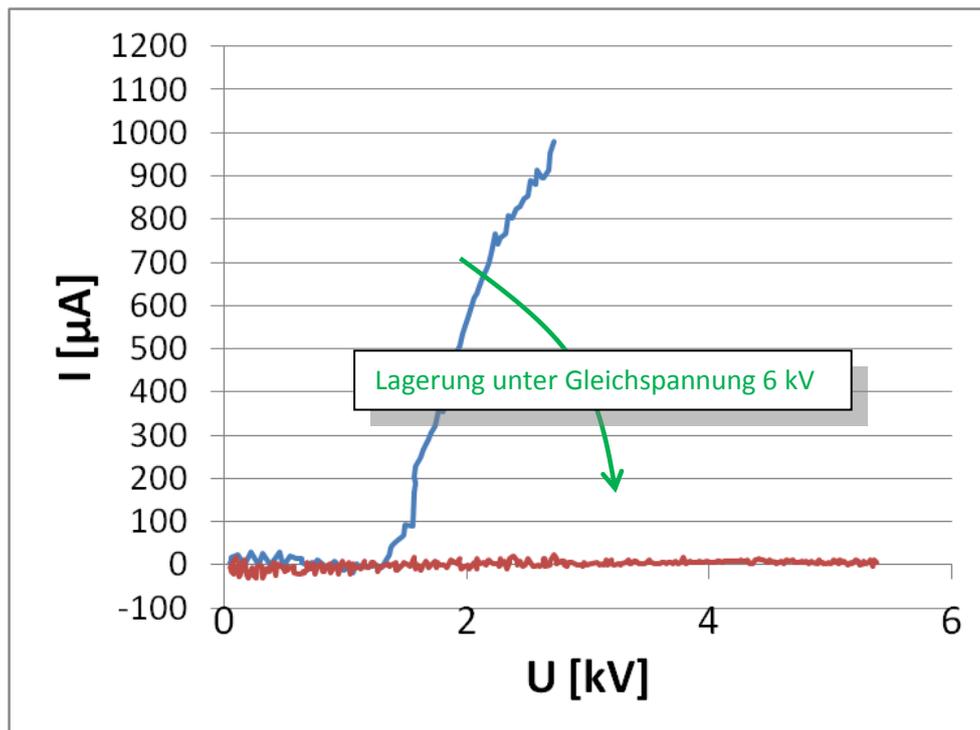


Abbildung 46: Sperrkennlinien eines Moduls mit Veränderung der Kennlinie nach Lagerung bei 6 kV bei Raumtemperatur. Blau: Ausgangskennlinie – Der Leckstrom beginnt bei $\sim 1,5$ kV zu steigen, Rot: Kennlinie nach Lagerung bei Gleichspannungsbelastung – Die Kennlinie ist unauffällig.

Abbildung 46 zeigt eine Sperrkennlinie vor und nach Lagerung bei einer Gleichspannung von 6 kV für 10 min. Die Kennlinie ist danach ohne Auffälligkeiten. Ein ähnliches Verhalten konnte manchmal durch Lagern des Moduls bei hohen Temperaturen ohne Spannung erzeugt werden, wie in Abbildung 47 exemplarisch gezeigt.

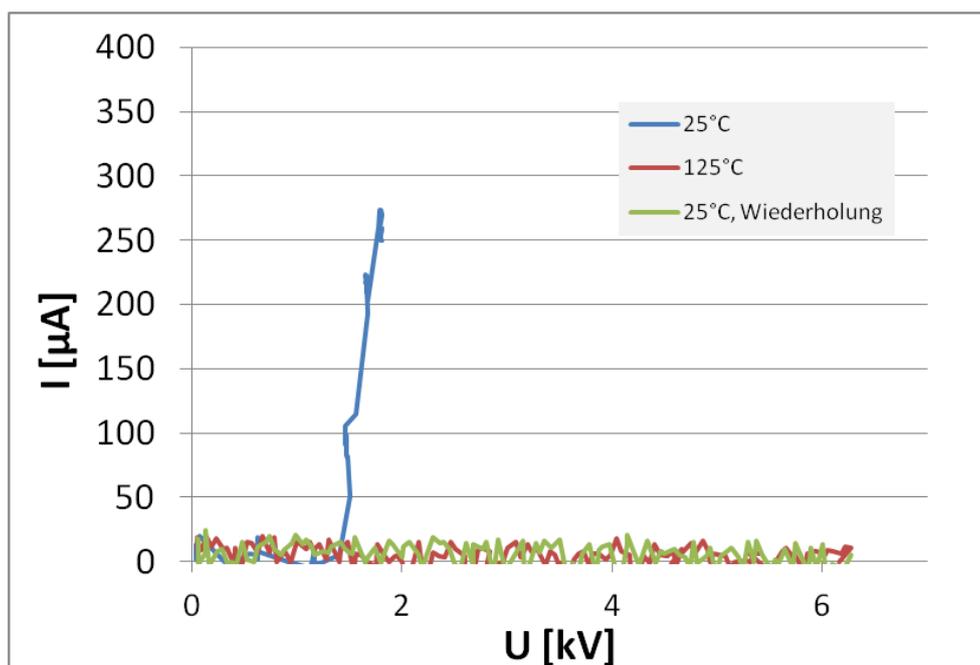


Abbildung 47: Sperrkennlinien eines Moduls mit Veränderung der Kennlinie nach Lagerung bei 125 °C. Blau: Ausgangskennlinie – Der Leckstrom beginnt bei $\sim 1,5$ kV zu steigen, Rot: Kennlinie während Lagerung bei 125 °C, Grün: Kennlinie nach Abkühlen auf 25 °C. Die Kennlinie ist unauffällig.

Das Modul aus Abbildung 47 wurde in Experimenten zur Bestimmung der dynamischen Eigenschaften der SiC-Diodenmodule an der TU Dresden vermessen. Nach mehreren erfolgreichen Pulsversuchen kam es zum Ausfall. Die Ausfallschaltkurve und das zerstörte Bauelement sind in Abbildung 48 zu sehen. Die Schaltkurve zeigt einen Ausfall bei einer Zwischenkreisspannung von 2,3 kV. Die Spannung V_D fällt über der Diode ab und bricht plötzlich zusammen. Dieser Ausfall ist damit als spontaner Sperrverlust zu klassifizieren. Die Ausfallanalyse weist einen zerstörten SiC-Diodenchip auf. Das Rissbild deutet auf einen Primärschaden im Hochvoltrand hin.

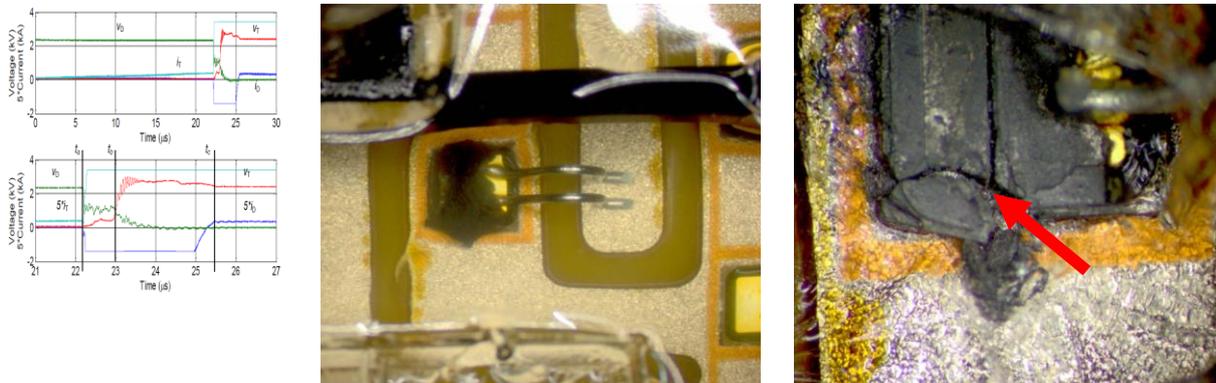


Abbildung 48: Links: Ausfallschaltkurve (Quelle: TU Dresden). Mitte: Blick auf den zerstörten SiC-Diodenchip durch das Silikon-Gel. Rechts: Blick auf den zerstörten Diodenchip im Detail. Der rote Pfeil zeigt auf den möglichen Primärausfallpunkt, der im Hochvoltrand lokalisiert ist.

3.2.4. Zusatzpassivierungen zwischen Weichverguss und Chip

Um einen möglichen Leckstrompfad an der Grenzfläche zwischen Weichverguss und Chip zu vermeiden, wurden Proben mit besonders viel Sekundär-Polyimid, welches gezielt über den Chiprand läuft, hergestellt. Diese Proben erwiesen sich als nicht stabiler im Vergleich zu denen mit normaler Menge beschichteten Dioden. Bei einem Extremversuch wurden Substrate mit einer dicken GlobTop Beschichtung hergestellt. Abbildung 49 zeigt ein solches Substrat.

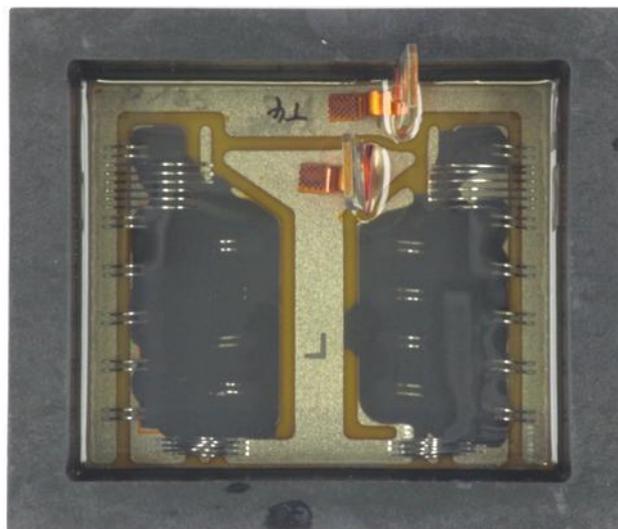


Abbildung 49: Substrat mit gebondeten Dioden, die zusätzlich mit einer GlobTop-Passivierung (schwarze Masse) nach Bonden versehen wurden. Anschließend wurden elektrische Anschlusslaschen angeschweißt und mit Silikon gel vergossen.

Alle diese Maßnahmen führten nicht zu einem reproduzierbar stabilisierenden Effekt. Es gab Substrate, die vor GlobTop-Passivierung Fröhndurchbrüche, danach aber stabile Kennlinien aufwiesen. Gegenteiliges Verhalten wurde ebenso festgestellt. Beispiele sind in Abbildung 50 gezeigt.

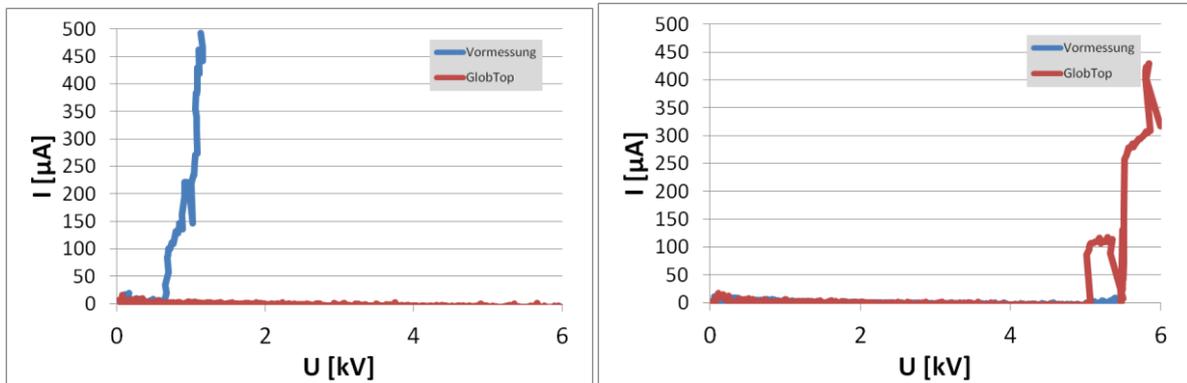
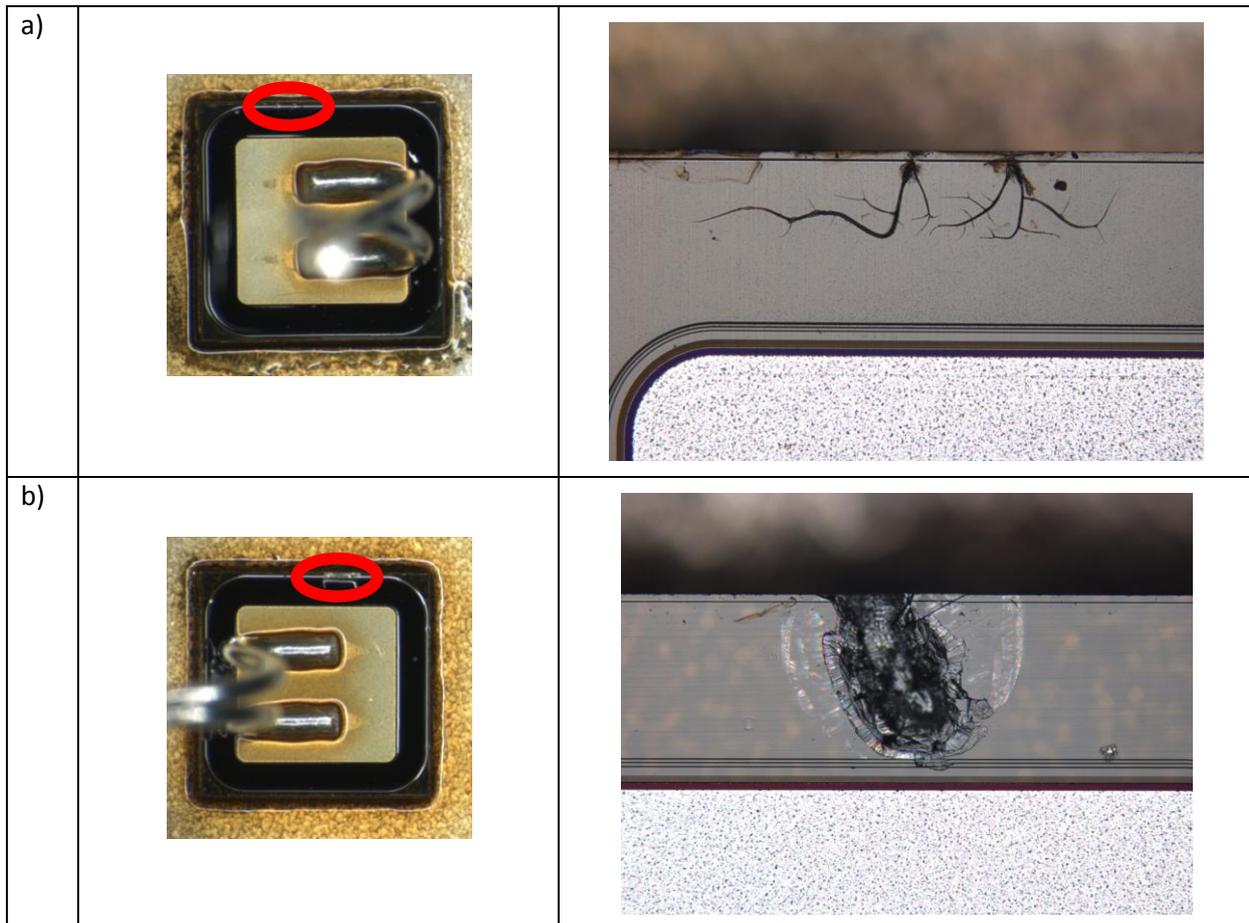


Abbildung 50: Links: Die Messung vor GlobTop-Passivierung zeigt einen Fröhndurchbruch. Rechts: Die Messung nach GlobTop-Passivierung weist einen Fröhndurchbruch auf.

3.2.5. Ursachenklärung der Fröhndurchbrüche und Drifteffekte

Bei vielen Proben mit instabilen Kennlinien wurden auf den Diodenchips Fehlerstellen lokalisiert. Eine Auswahl ist hier dargestellt.



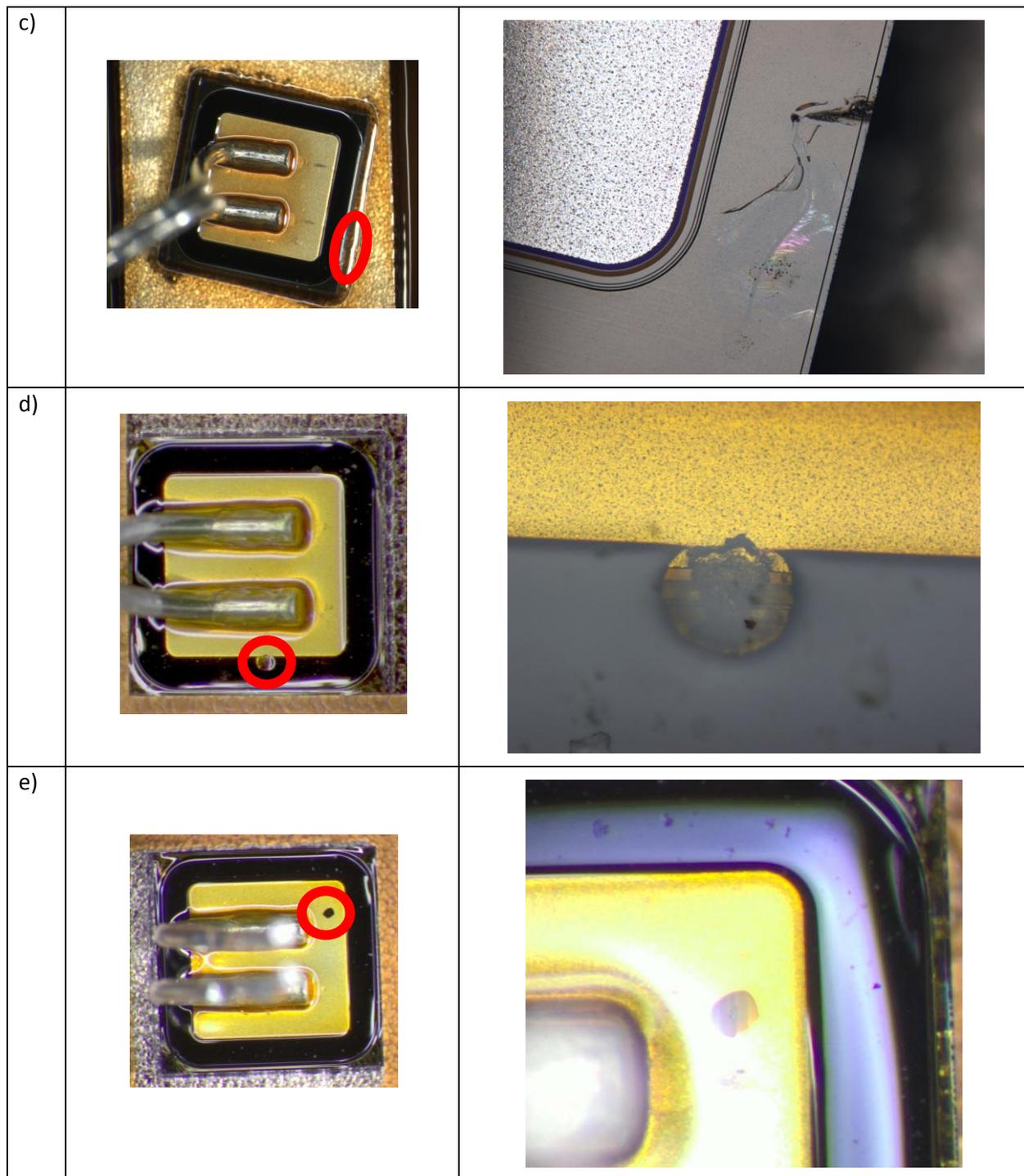


Abbildung 51: Durch Fehleranalyse identifizierte Dioden, die zu einer Leckstrominstabilität geführt haben. Details im Text. Rote Markierung: Lokalisierte Fehlerstelle auf den Diodenchips.

In Abbildung 51 sind einige Analysresultate dargestellt. Fall a) weist Überschlagspuren am Rand auf. Diese Überschläge haben sich unter der Polyimidabdeckung ausgebreitet, sind aber nicht am pn-Übergang lokalisiert. Fall b) könnte ursächlich durch eine Chipkantenbeschädigung, die bei der Chipvereinzlung durch Sägen oder im Montageprozess am Substrat entstanden ist, gewesen sein. Fall c) ist ein Strukturdefekt am Rand. Die Ursache war nicht rückverfolgbar, d) und e) sind Strukturdefekte in der Polyimidabdeckung des Chips bzw. in der Anodenmetallisierung.

Für einige weitere Proben konnten Fehlerstellen oder betroffene Chips nicht eindeutig identifiziert werden, da die Drieffekte in den Sperrkennlinien nicht reproduzierbar nachvollziehbar waren. Es ist aber davon auszugehen, dass ein Großteil der Sperrkennliniendrifts originär an der Grenzschicht des pn-Übergang des Hochvoltrandes zur chipeigenen Polyimid-Passivierung auftreten, da dort die

höchsten elektrischen Felder auftreten. Eine stabile und reproduzierbare positive oder negative Beeinflussung durch die Montageprozesse im Modulaufbau konnte wie oben diskutiert nicht nachgewiesen werden.

Eine wesentliche Verbesserung erbrachten die Änderung der Diodenrandstruktur wie im Abschnitt 2.3.3 gezeigt. Die damit aufgebauten Substrate und Module zeigten ein stabiles Sperrverhalten.

3.3. Substratlayout

Um den notwendigen Gesamtstrom im Modul zu realisieren, müssen viele Dioden parallel geschaltet werden. Diese massive Parallelschaltung von 6,5 kV-SiC-Diodenchips in einem Modul bedarf einer eingehenden Analyse und Optimierung der thermischen und elektrischen Eigenschaften. Dazu wurden Simulationen durchgeführt, um ein ausgewogenes Schaltverhalten bei gleichzeitig guter Entwärmung der SiC-Chips zu erreichen. Ziel ist dabei, die Chips so anzuordnen, dass die thermische und elektrische Belastung möglichst homogen erfolgt. Eine ideale Gleichbelastung ist aus konstruktiven Gründen nicht realisierbar, eine möglichst gute Optimierung aber das Ziel.

Wesentliches Werkzeug für die Designstudien waren Finite Elemente Simulationen für die Berechnung der thermischen Eigenschaften, vordringlich des thermischen Widerstandes, der dann eine Eingangsgröße für Simulationen des Umrichterbetriebs darstellte, die an der TU Dresden durchgeführt wurden.

3.3.1. Thermischer Widerstand

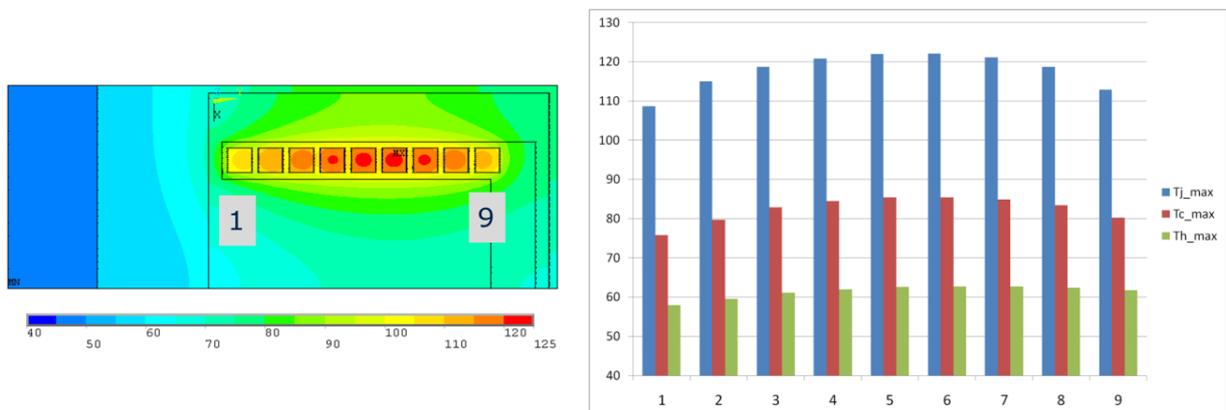


Abbildung 52: Links: Simulation der Temperaturverteilung (Angabe in °C) auf einer Substrathälfte mit neun in einer Reihe angeordneten SiC-Dioden für eine Verlustleistung von 30 W/Diode, einem Kühler mit einem effektiven Wärmeübergangskoeffizienten von 10 kW/K m² und einer Bezugstemperatur von 40 °C. Rechts: Maximaltemperaturen auf der Chipoberseite („T_{J_max}“) für jeden Einzelchip, an der Modulrückseite mittig unter der entsprechenden Chipposition („T_{c_max}“) sowie an der Kühleroberseite („T_{h_max}“). Deutlich sichtbar ist das „Temperaturgebirge“, d.h. die in der Reihe innenliegenden Chips werden am wärmsten.

Abbildung 52 stellt die Temperaturverteilung auf einer Substrathälfte für neun in Reihe montierte SiC-Dioden auf einem Cu-Leiterbahnschenkel dar. Deutlich sichtbar ist der Temperaturverlauf auf der Chipvorderseite durch die unterschiedliche Entwärmung der innen und außen liegenden Chips und der thermischen Wechselwirkung untereinander. Diese Art von Temperaturverteilung zeigte sich in den Experimenten (siehe dazu die Ergebnisse von Projektpartner Siemens CT).

Die Rechnung geht von einer gleichen Verlustleistung pro Chip aus, d.h. Stromfehlverteilungseffekte durch den negativen Temperaturkoeffizienten in der Durchlasskennlinie sind hier nicht berücksichtigt. Die Temperaturverteilung würde dadurch tendenziell noch inhomogener werden, da die SiC-Dioden einen ausgeprägten negativen Temperaturkoeffizienten ihrer Durchlasskennlinie besitzen.

In einem nächsten Schritt wurde die Leiterbahnbreite variiert, um eine bessere Entwärmung aufgrund erhöhter Wärmespreizung zu untersuchen. Abbildung 53 zeigt die Resultate wiederum als

Temperaturverteilung für neun aufgereihete Dioden. Die maximale Chiptemperatur nimmt mit einer Verbreiterung der Cu-Leiterbahnen ab.

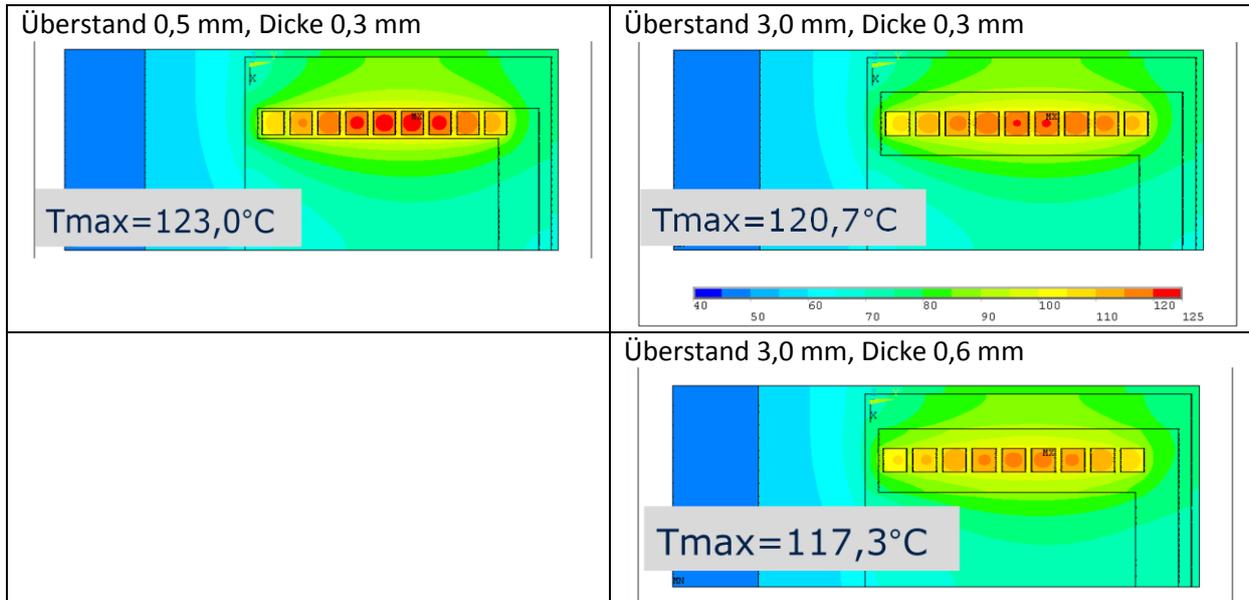


Abbildung 53: Temperaturverteilung für unterschiedlich breite Cu-Leiterbahnen. Je breiter die Cu-Leiterbahn, umso geringer die Chiptemperatur.

Die Erhöhung der Cu-Dicke der Substratleiterbahn hat ebenso einen positiven Effekt auf die Wärmespreizung und damit eine weitere Senkung der Chiptemperatur.

Die Temperaturniveaus werden in einen thermischen Widerstand zwischen Sperrschicht (j, „Junction“) und Bodenplattenunterseite (c, „case“) $R_{th,j-c}$ entsprechend

$$R_{th,j-c} = (T_{j,max} - T_{c,max}) / P$$

umgerechnet. Für die weiteren Bestandteile der thermischen Kette bis Bezugstemperatur (a, „ambient“) gelten analoge Gleichungen. In Abbildung 54 sind die thermischen Widerstände als Funktion des Cu-Leiterbahnüberstandes dargestellt. Für eine Angabe des eigentlichen thermischen Widerstandes eines SiC-Moduls muss dieser Wert durch die Anzahl von parallelgeschalteten Chips geteilt werden.

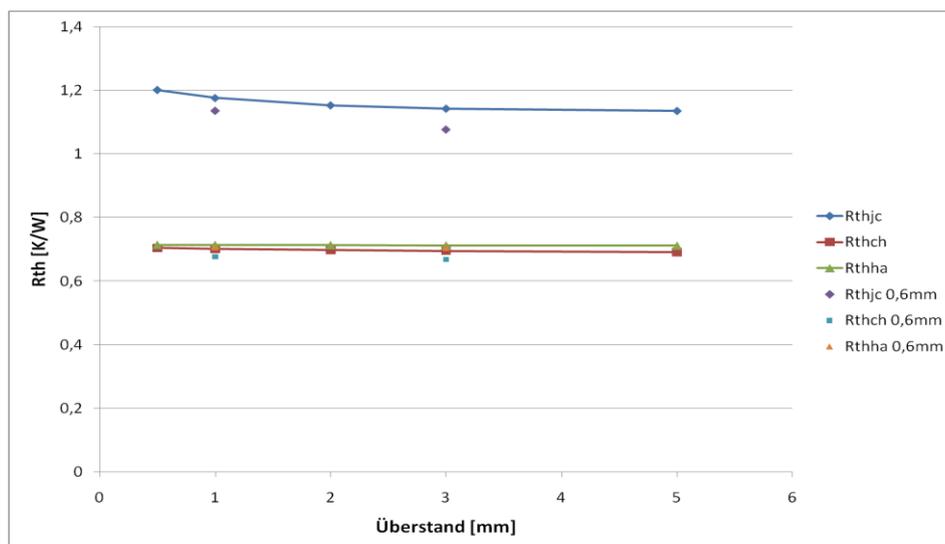


Abbildung 54: Thermische Einzelchipwiderstände in Abhängigkeit des Cu-Überstandes für zwei unterschiedliche Cu-Leiterbahndicken. Durchgezogen: Cu-Dicke 0,3 mm; Einzelrauten: Cu-Dicke 0,6 mm.

3.3.2. Stromtragfähigkeit

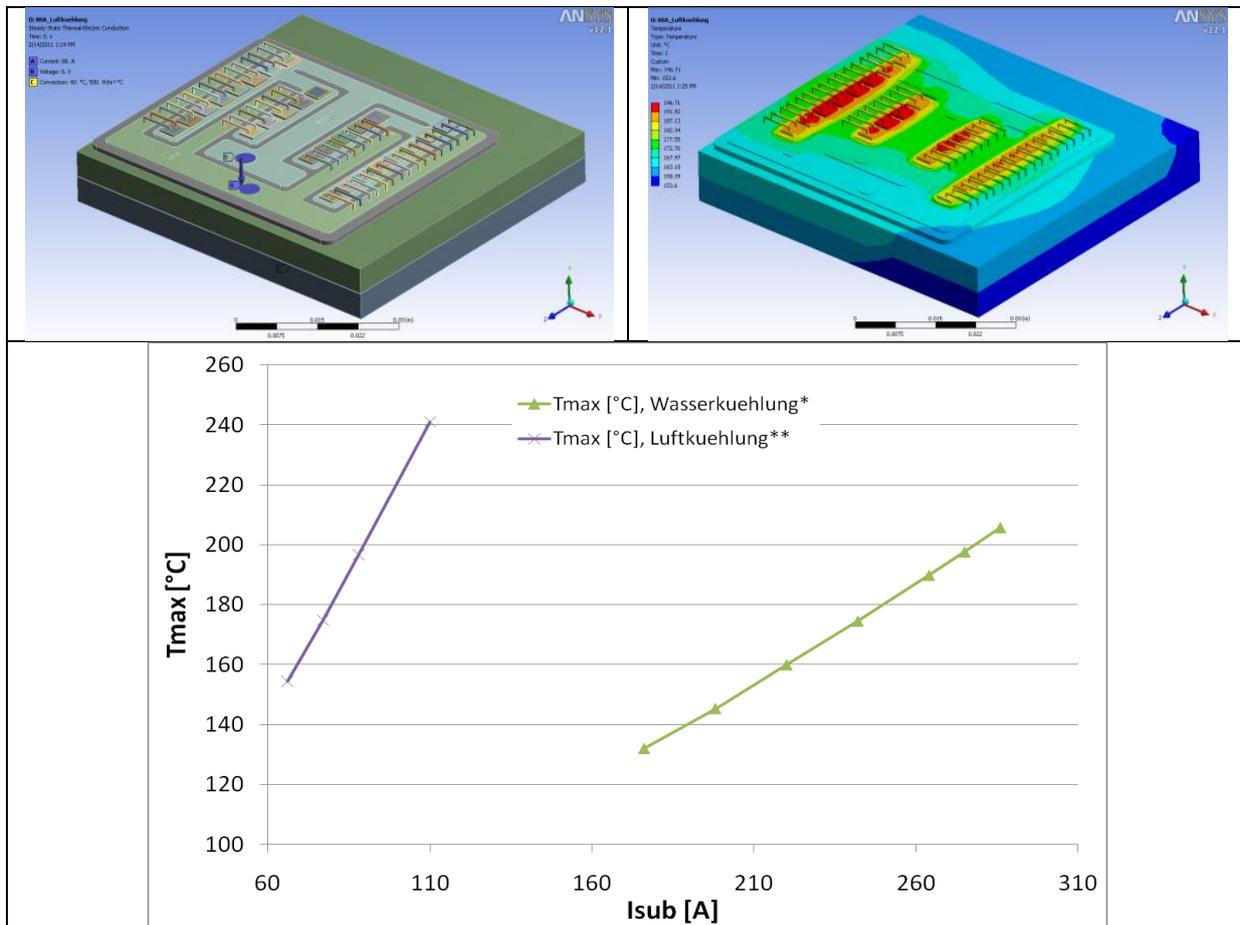


Abbildung 55: Rechnung zur Stromtragfähigkeit der Cu-Leiterbahnen auf einem mit SiC-Dioden bestückten Substrat. Gezeigt ist die Temperaturverteilung inklusive Dioden als Funktion des Gesamtstromes durch das Substrat für zwei unterschiedliche Kühlerrandbedingungen: * $\alpha = 500 \text{ W/m}^2\text{K}$, $T_{\text{amb}} = 40 \text{ }^\circ\text{C}$; ** $\alpha = 10 \text{ kW/m}^2\text{K}$, $T_{\text{amb}} = 40 \text{ }^\circ\text{C}$. Links oben: Simulationsmodell inkl. Bodenplatte und Kühler. Rechts oben: Temperaturverteilung exemplarisch. Die Diodenchips selbst sind limitierend. Unten: Maximaltemperatur in der Kupferleiterbahn in Abhängigkeit vom Gesamtstrom durch das Substrat.

Abbildung 55 zeigt die Temperaturverteilung auf einer mit Dioden bestückten Keramik in Abhängigkeit des Gesamtstromes. Deutlich sichtbar ist die Dominanz der Dioden in der Temperaturverteilung. Die Leiterbahn selbst ist nicht strombegrenzend. Eine maximale Temperatur über $150 \text{ }^\circ\text{C}$ ist für den heute verwendeten Modulaufbau nicht nutzbar. Deutlich ist der Einfluss des Kühlers sichtbar: $\alpha = 500 \text{ W/m}^2\text{K}$ entspricht einer forcierten Luftkühlung, $\alpha = 10 \text{ kW/m}^2\text{K}$ simuliert einen effizienten Wasserkühler.

3.3.3. Schaltverhalten

Die prädiktive Untersuchung des Schaltverhaltens der massiven Diodenparallelschaltung wurde auf Substratniveau mit einer Kombination aus einem RLC-Parasitensimulator und einem SPICE-Schaltkreissimulator durchgeführt. Zunächst wurde die Streuinduktivität eines Gesamtmoduls zu $L_s = 12 \text{ nH}$ ermittelt, siehe Abbildung 56.

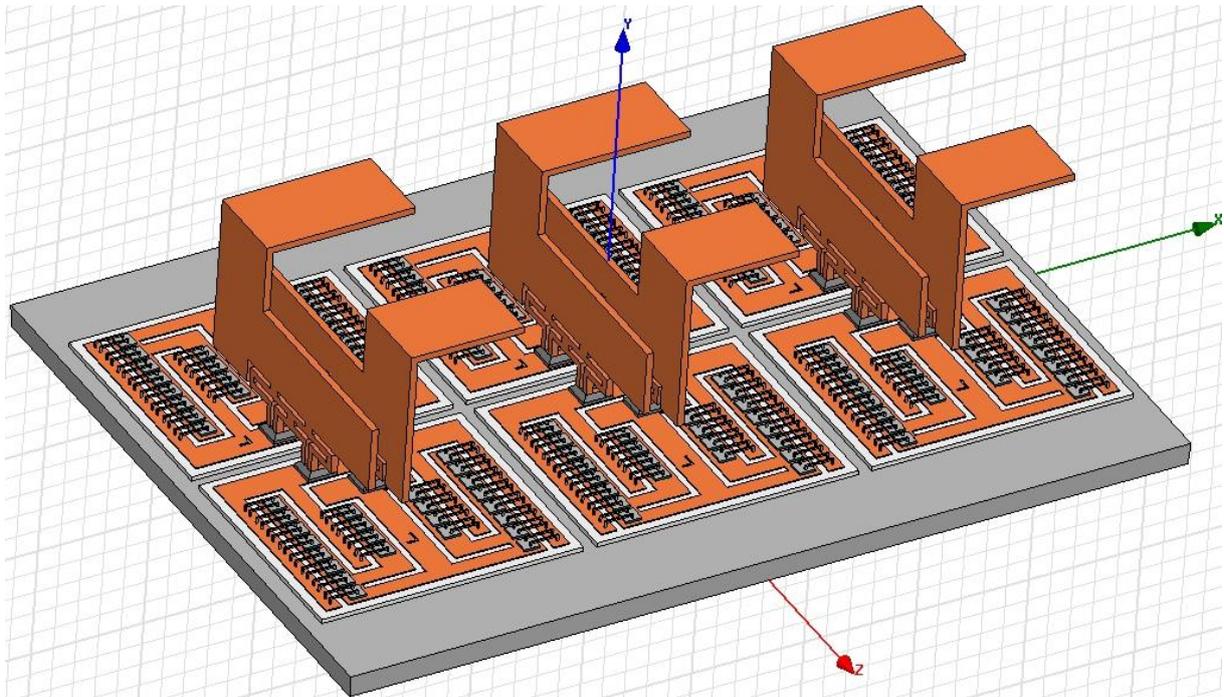


Abbildung 56: Modell eines Gesamtmoduls zur Ermittlung der Streuinduktivität.

Im Detail wurden die Einzelkommutierinduktivitäten auf einem Substrat berechnet. Hier ergeben sich deutliche Unterschiede zwischen den Einzeldioden. Abbildung 57 zeigt zwei Evolutionsstufen mit dem Ziel, die Kommutierkreise identischer zu gestalten. Ein Maß zur Beurteilung ist die F.o.M.

$$F.o.M. = \frac{L_{s,max}}{L_{s,min}} - 1$$

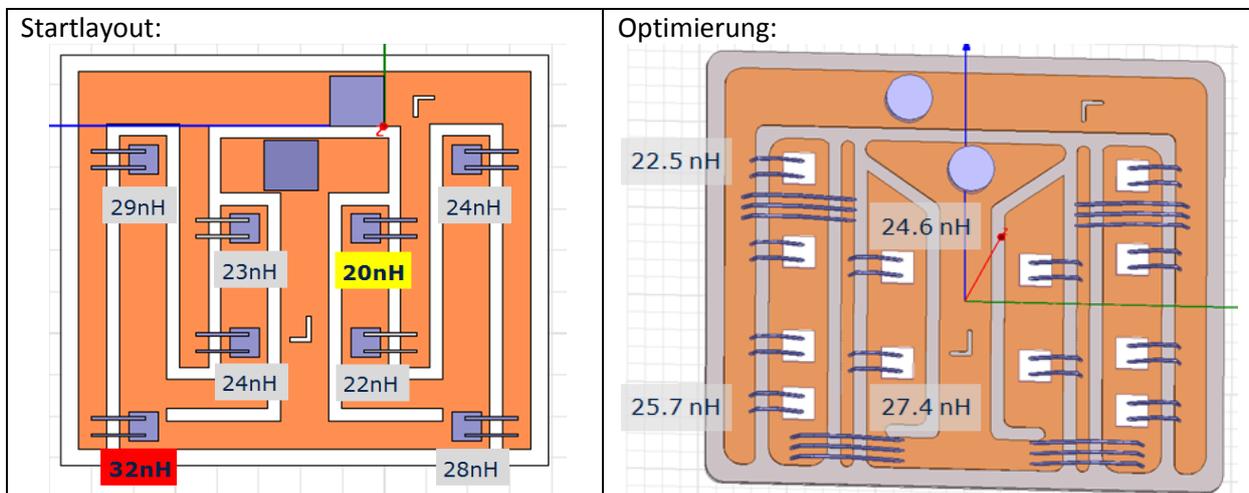


Abbildung 57: Einzelkommutierkreisinduktivitäten. Links: Ausgangsdesign, Rechts: Zieldesign.

Bei identischen Kommutierkreisen ist die F.o.M.=0. Die F.o.M. konnte im realen Design durch geeignete Maßnahmen von 0,6 auf 0,2 verbessert werden. Dies hat zur Folge, dass die dynamische Stromfehlverteilung abnimmt. Dies ist in einer entsprechenden Simulation des Diodeneinschaltens gezeigt, siehe Abbildung 58. Die Stromfehlverteilung $\Delta I / I_{avg}$ sinkt von $\sim (7,5 A) / (12,5 A) = 0,6$ auf $\sim (4 A) / (12,5 A) = 0,3$.

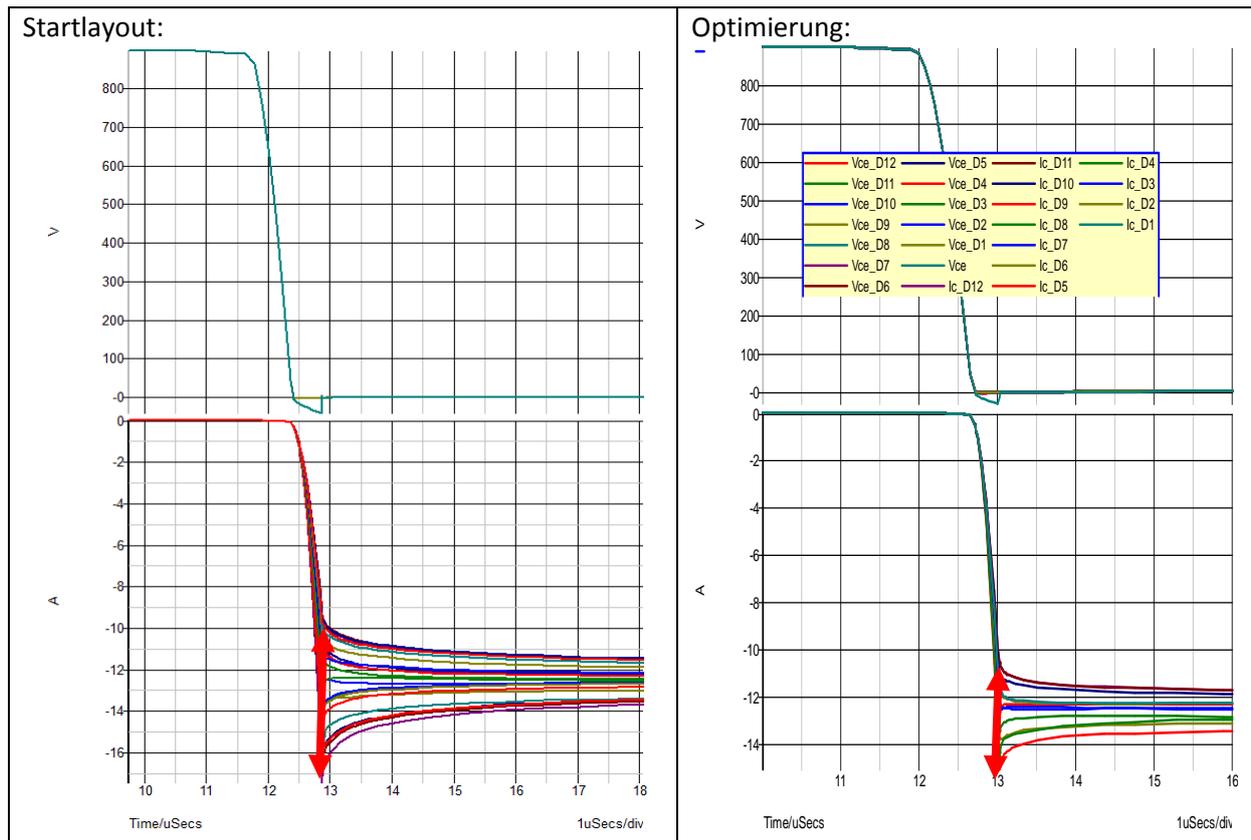


Abbildung 58: Dynamische Stromfehlverteilung bei Einschalten von Dioden. In diesem Falle wurden Si-Diodenmodelle verwendet. Die Stromunterschiede zwischen den Dioden variieren innerhalb eines Bandes von $\sim 7,5$ A gegenüber der optimierten Version mit ~ 4 A (rote Pfeile). Oben: Kathoden-Anoden-Spannung; unten: Teilströme diodenfein.

3.4. Mechanische Charakterisierung

Die SiC-Dioden werden mit Aluminium-Draht gebondet. Um eine fertigungstaugliche Bondausbeute bei optimaler Bondverbindung zu erreichen, wurden Bondparameter variiert. Das Bondabschneiden erfolgte dabei auf der Anodenmetallisierung der SiC-Dioden. Variiert wurden die Ultraschallleistung und die Bondkraft. Beurteilt wurden die Scherkräfte und die Scherfläche, d.h. die verbundene Fläche unter dem Bonddraht mit der Chipmetallisierung. Abbildung 59 zeigt die Resultate des DoE. Ausreichend hohe Scherkräfte bei einer sehr guten Flächenverbindung (hohe Werte in Abbildung 59, rechts) weisen eine ausreichend gute, stabile und prozesssichere Bondverbindung nach.

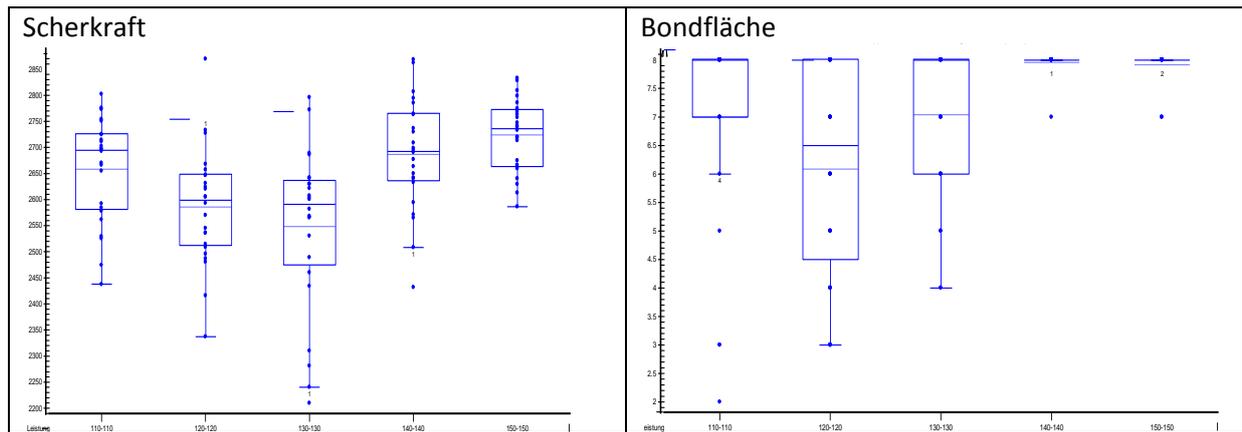


Abbildung 59. Links: Box-Plot der Scherkräfte in Abhängigkeit der Ultraschalleistung. Rechts: Bondfläche (bewertet entsprechend einer firmeninternen Skala) in Abhängigkeit der applizierten Ultraschalleistung.

3.5. Elektrische Charakterisierung

3.5.1. Substratvortest

Ziel war die Untersuchung der Machbarkeit für eine Integration der fertig prozessierten Substrate mit gebondeten Dioden in den bestehenden Testprozess bei Infineon. Substrate werden dabei unter einer Überdruckatmosphäre von trockenem Stickstoff mit Spannung beaufschlagt. Es stellte sich jedoch bei Laborversuchen heraus, dass dieses Konzept nicht für die 6,5 kV-SiC-Dioden nutzbar ist. Es kam reproduzierbar zu Überschlügen zwischen der Chipanodenmetallisierung und dem eigentlichen Chiprand, welcher auf Kathodenpotential liegt. Der Überschlag hat sich über das Chippassivierungspolyimid durch die Stickstoffatmosphäre ausgebreitet. In Abbildung 60 sind typische Überschlagspuren sichtbar.

Aus diesem Grunde wurde eine Auswechlösung benutzt. Die Substrate wurden in einer hochsperrenden Inertflüssigkeit (Fluorinierter Kohlenwasserstoff) gemessen. Dies limitiert die Temperatur während der Messung auf deutlich unter 80 °C und ist in dieser Form nur im Labormaßstab nutzbar. Für eine vollständige Vorkontrolle der Musteraufbauten ist dieses Vorgehen ausreichend.

Ein Einsatz unter produktiven Bedingungen ist in der Gestalt nicht vorstellbar. Dazu müssten Testzellen für Messungen unter Vakuum oder in geeigneten Gasen wie SF₆ bereitgestellt werden. Letztere scheidet aus Umweltaspekten aus. Eine weitere Option ist die chipnahe Komplettkapselung der Anodenfläche mit geeigneten Feststoffisolatoren. Dies wurde aber nicht weiter im Detail untersucht.

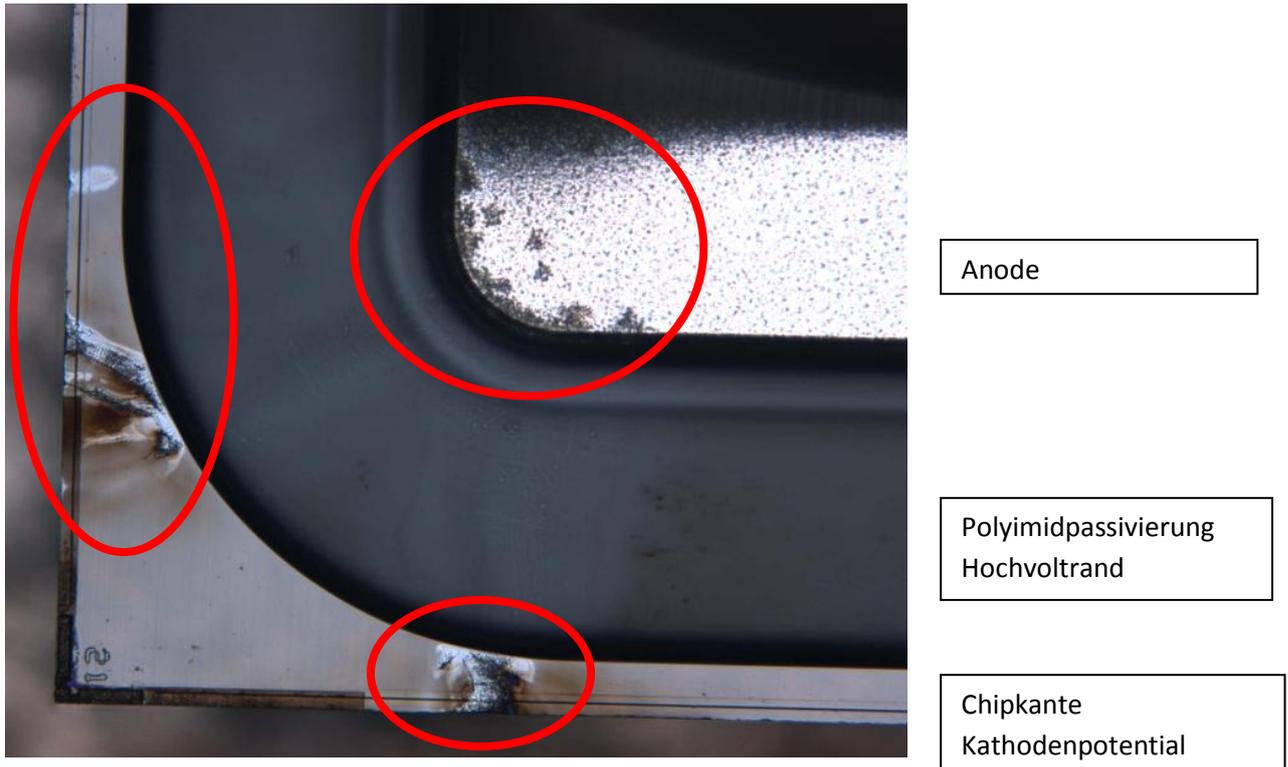


Abbildung 60: Brandspuren, verursacht durch Lichtbogenüberschläge (rot umkreist).

3.5.2. Modultest

Die fertig prozessierten Module entsprechen in ihrem wesentlichen äußeren Aufbau den kommerziellen Produkten. Aufgrund der beschränkten Menge von SiC-Dioden-Modulen und der Notwendigkeit der Aufnahme von vollständigen IU-Kennlinien wurden alle relevanten Tests im Labor an entsprechenden Testern durchgeführt. Dazu zählen in der Regel: Isolations- und Teilentladungstest, Prüfung des Sperrvermögens, Aufnahme der Durchlasskennlinie und dynamische Abschalttests. Die SiC-Dioden weisen bei Temperaturen bis 125 °C keine signifikante Sperrstromerhöhung im Rahmen der Testergenauigkeiten auf. Dies entspricht dem Verhalten der Einzelchips. Die untersuchten SiC-Diodenmodule zeigen üblicherweise ein Durchlassverhalten mit negativen Temperaturkoeffizienten (siehe Abbildung 61) über den gesamten relevanten Strombereich wie schon von Einzelchipmessungen bekannt ist.

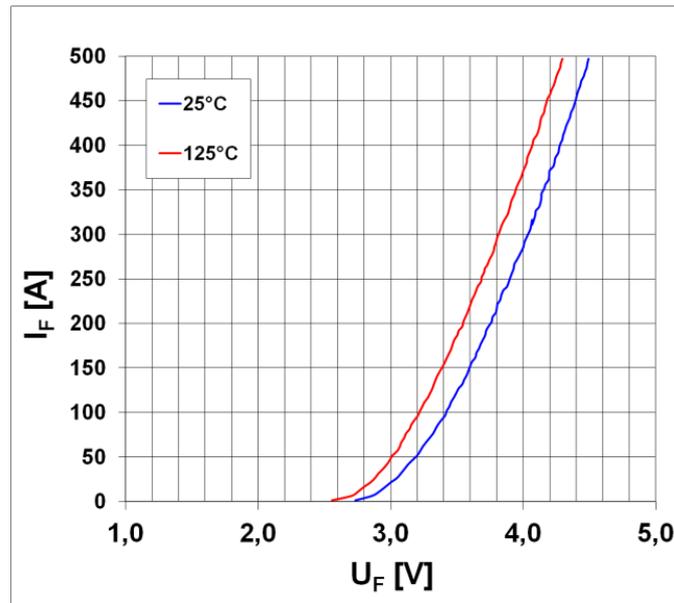


Abbildung 61: Durchlasskennlinien eines Diodenmoduls mit Nennstrom 250 A. Die Durchlasskennlinien zeigen durchgehend einen negativen Temperaturkoeffizienten.

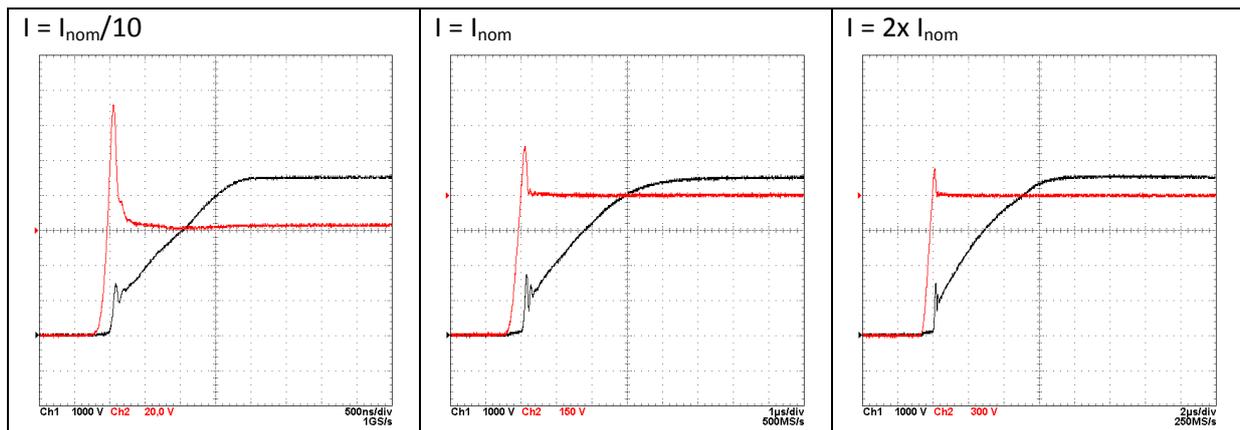


Abbildung 62: Beispiel dynamischer Abschaltkurven bei $V_{cc} = 4500$ V. Rot: Diodenstrom (Vorstrom ist negativ!), schwarz: Kathoden-Anoden-Spannung. Geschaltet wurde bei 25 °C mit einem FZ600R65KF1 ($R_{g,on} = 4,3 \Omega$) an einem Zwischenkreis mit einer Streuinduktivität von $L_s = 280$ nH.

Abbildung 62 zeigt Abschaltkurven eines Moduls in Abhängigkeit des Vorstromes. Deutlich sichtbar ist die stark reduzierte Rückstromspitze, die für die deutliche Reduktion der Abschaltverluste im Vergleich zu den herkömmlichen Si-Dioden ursächlich ist.

Abbildung 63 zeigt den Einfluss einer veränderten Schaltgeschwindigkeit: je kleiner der $R_{g,on}$ des aktiv schaltenden IGBTs, desto schneller schaltet die Diode. Mit steigender Kommutiergeschwindigkeit di/dt nehmen die parasitären Abschaltoszillationen deutlich zu. Diese Oszillationen ergeben sich aus der Sperrschichtkapazität der Dioden mit der Streuinduktivität des Kommutierkreises und werden initiiert durch Stromabrisseffekte, die bei den SiC-Dioden aufgrund der geringen Speicherladung auftreten.

Die SiC-Dioden-Module wurden beim Projektpartner TU Dresden detaillierter auf ihr dynamisches Verhalten untersucht. Auf die entsprechenden Passagen im Bericht sei hier verwiesen.

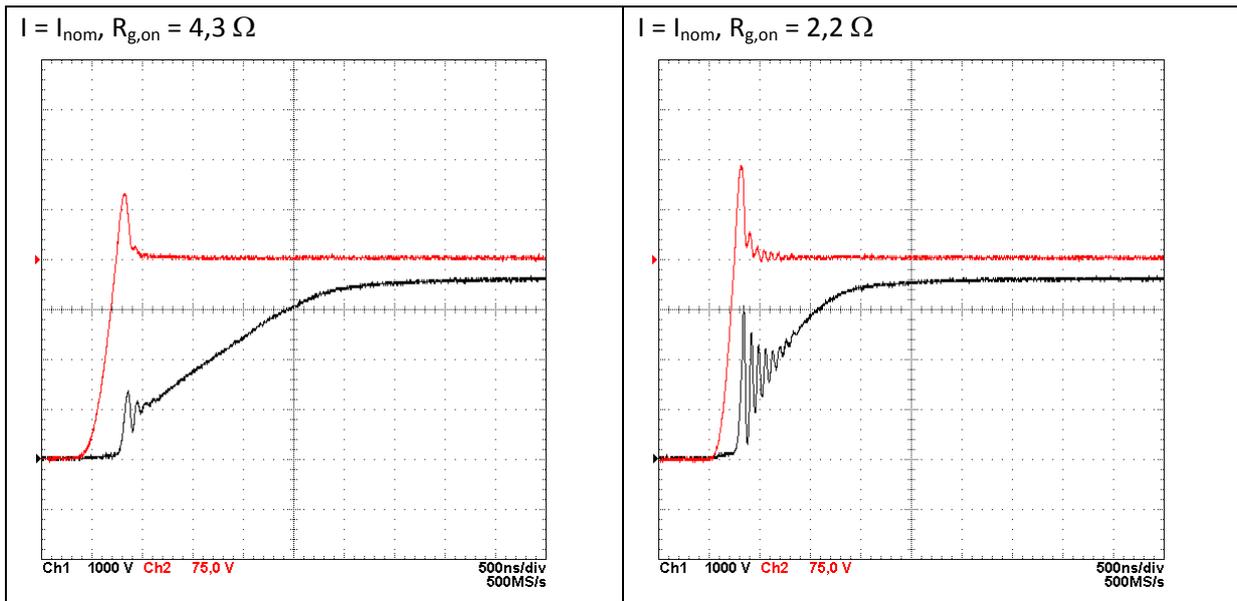


Abbildung 63: Messung der Abschalteigenschaften in Abhängigkeit des Einschaltwiderstandes $R_{g,on}$ des Hilfsmoduls bei $V_{cc} = 3600 \text{ V}$. Je kleiner der Widerstand, desto größer die Schaltgeschwindigkeit und desto größer der Oszillationen am Bauelement. Geschaltet wurde bei 25 °C mit einem FZ600R65KF1 ($R_{g,on} = 4,3 \text{ } \Omega$) an einem Zwischenkreis mit einer Streuinduktivität von $L_s = 280 \text{ nH}$.

3.5.3. Stossstromvermögen

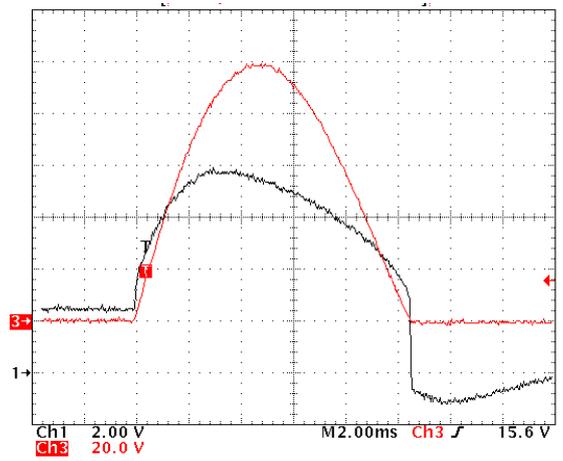


Abbildung 64: Beispiel einer nichtzerstörenden, sinusförmigen Stromhalbwelle (Stossstrompuls) mit Pulslänge 10 ms. Rot: Strom; Schwarz: Flussspannung.

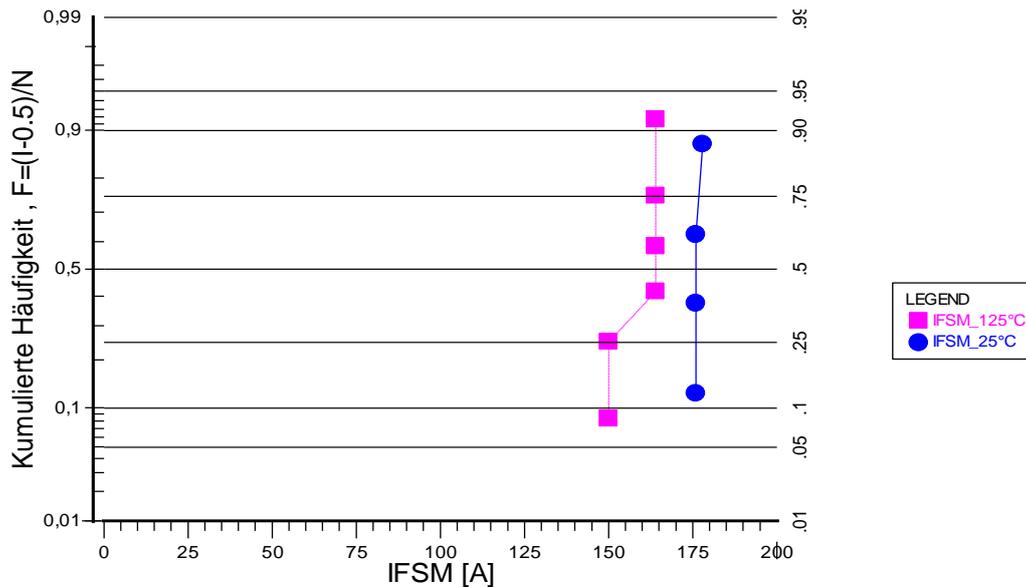


Abbildung 65: Kumulierte Summenhäufigkeit des letzten Pulses vor Zerstörung. Messungen bei 25 °C und 125 °C Ausgangstemperatur an Einzeldiodenchips.

Untersucht wurde die Stossstromfestigkeit an 6,5 kV-SiC-Einzeldiodenchips im EconoPACK™-Gehäuse für einen sinusförmigen Stromverlauf mit Pulslänge 10ms, um Vergleichbarkeit mit Datenblättern heutiger Si-Bauelemente herstellen zu können (Abbildung 64). Die Ausgangstemperaturen betragen 25 °C und 125 °C. Abbildung 64 zeigt einen typischen Stossstromverlauf.

Während des Experimentes wurde die Stromhöhe sukzessive von Puls zu Puls erhöht, um die Zerstörungsgrenze zu ermitteln. Der Zustand der Dioden wurde visuell kontrolliert, ob eine Veränderung der Metallisierung sichtbar wird (Ausfall-Kriterium). In Abbildung 65 sind die experimentellen Ergebnisse zusammengefasst. Die Grafik zeigt die Stromhöhe des letzten Pulses vor Zerstörung. Deutlich sichtbar ist, dass die Ausgangstemperatur die Höhe des erreichbaren Stossstrompulses bestimmt. Dies wird in Si-Bauteilen ebenso beobachtet. Die typische Ausfallsignatur zeigt Abbildung 66. Um die Bonddrähte befindet sich aufgeschmolzenes Aluminium der Vorderseitenmetallisierung des Chips. Hier verhält sich die SiC-Diode ebenfalls ähnlich zu Si-Bauteilen.

Die erreichte mittlere Stromhöhe bei einer Ausgangstemperatur von 125 °C vor Zerstörung beträgt 155 A. Dies entspricht bei einer aktiven Fläche von 7,6 mm² einer Spitzenstromdichte von ~20 A/mm². Für Si-Bausteine ergeben sich Werte von ~10 A/mm². Die SiC-Diode bietet hier also deutliche Vorteile.

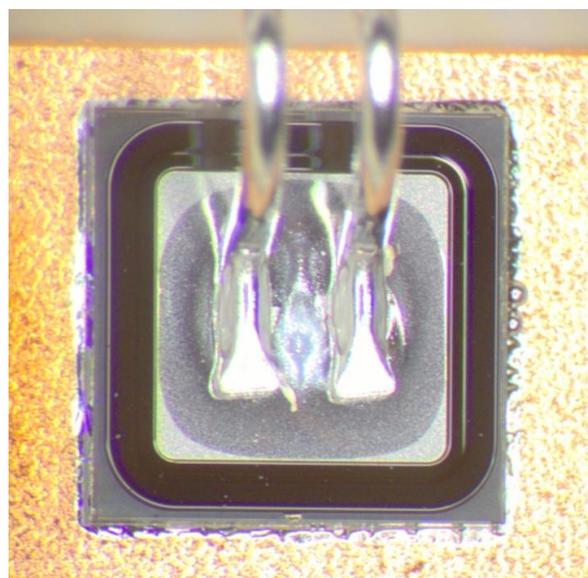


Abbildung 66: Typisches Ausfallbild einer 6,5 kV-SiC-Diode nach Stossstrombelastung.

3.6. Zusammenfassung Modul-Themen

Schwerpunkt der Modulthemen bildeten einerseits Untersuchungen zur Integration der 6,5 kV SiC-Einzeldiodenchips in verfügbare Modulplattformen, um damit den Projektpartnern schaltfähige Module bis hin zum Umrichtereinsatz zur Verfügung zu stellen. Andererseits sollten prinzipielle Betrachtungen zu einer möglichen Erhöhung der Sperrschichttemperatur $>125\text{ °C}$ durchgeführt werden, die die Option einer besseren Ausnutzung der Potentiale der SiC-Dioden ermöglichen. Beide Aspekte wurden im Projekt erfolgreich abgedeckt.

Die Bereitstellung von Modulen für Untersuchungen bei den Projektpartnern erforderte drei verschiedene Ansätze:

- Komplettdmodule für Schalt- und Umrichtertests
- Komplettdmodule für Thermografieuntersuchungen
- Module zur Untersuchung der Driftstabilität

Dazu waren vorhandene Technologieplattformen in geeigneter Weise zu adaptieren, um die vielen relativ kleinen SiC-Dioden-Einzelchips zu integrieren.

Die Untersuchung von Technologien für eine Sperrschichttemperaturerhöhung umfassten wesentliche Aspekte der Aufbau- und Verbindungstechnologie wie die Lötverbindungen Chip – Substrat und Substrat – Bodenplatte. Dabei konnten vielversprechende Ansätze demonstriert werden.

Zusammenfassend wurden die Meilensteine des Gesamtprojektes, insbesondere die Lieferung geeigneter Module für Umrichtertests, erfolgreich abgeschlossen. Wesentliche Erkenntnisse für eine zukünftige Integration von Hochvolt SiC-Bauelementen in Module bei Infineon konnten im Rahmen des Projektes erzielt werden.

Berichtsblatt

1. ISBN oder ISSN 16N10891 vormals 13N10891	2. Berichtsart (Schlussbericht oder Veröffentlichung) Schlussbericht
3. Titel „Steigerung der Energieeffizienz durch Einsatz von SiC Bauelementen in Mittelspannungsantrieben (MV-SiC)“ Teilvorhaben: „Integration von SiC-Bauelementen in den Modulaufbau für den Einsatz in Umrichtern für Mittelspannungsantriebe“	
4. Autor(en) [Name(n), Vorname(n)] Christian Hecht	5. Abschlussdatum des Vorhabens 31.10.2013
	6. Veröffentlichungsdatum 30.04.2014
	7. Form der Publikation Schlussbericht
8. Durchführende Institution(en) (Name, Adresse) Infineon Technologies AG Am Campeon 1 – 12 85579 Neubiberg	9. Ber. Nr. Durchführende Institution Infineon Technologies
	10. Förderkennzeichen 16N10891
	11. Seitenzahl 55
12. Fördernde Institution (Name, Adresse) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. Literaturangaben ---
	14. Tabellen ---
	15. Abbildungen ---
16. Zusätzliche Angaben ---	
17. Vorgelegt bei (Titel, Ort, Datum) ---	

18. Kurzfassung

Ziel des Teilprojekts war die Erforschung von Leistungsmodulen mit Halbleitern auf SiC-Basis (Leistungsmodule mit SiC Dioden und einer Sperrspannung von 6,5kV). Durch die, gegenüber heute verwendeten Siliziumhalbleitern, wesentlich geringere Größe und deutlich höheren elektrischen Feldstärken waren neue Ansätze beim Aufbau der Leistungshalbleiter notwendig. Der negative Temperaturkoeffizient der Durchlaßcharakteristik erforderte eine Anpassung der thermischen Auslegung des Modulaufbaus. Die Zuverlässigkeit und Robustheit gegenüber üblichen Aufbau- und Verbindungstechniken war weitgehend unbekannt und musste eingehend charakterisiert werden. Eine besondere Bedeutung kam der Untersuchung und dem Nachweis der Stabilität der elektrischen Durchlaßcharakteristik zu.

Während der Projektlaufzeit wurden, aufgrund einer Umorganisation, Arbeitspakete des Partners SiCED von der Infineon Technologies AG übernommen. Die Umorganisation führte zu neuen Schwerpunkten und einer Anpassung der Themengebiete. Trotzdem gelang es, einen hochvolt-tauglichen Prozess mit hoher Wachstumsrate zu erforschen, der die gleichzeitige Prozessierung von 6 Stk. 100 mm SiC-Wafern erlaubt. Während der Laufzeit des Projektes zeigte sich, dass die Themen Drift- und Sperrstabilität eine intensivere Bearbeitung benötigten. Ausführliche Untersuchungen zeigten Probleme bei der Vorhersage der Degradation aufgrund von Kristalldefekten in der aktiven Schicht, die unter Strombelastung zur Ausbildung von elektrisch aktiven Stapelfehlern führen können.

Neben der Bipolardegradation musste insbesondere auch das Sperrverhalten der pin-Dioden sehr detailliert untersucht werden da sie teilweise keine stabilen Sperreigenschaften zeigten. Dank vielfältiger Simulationen und intensiver Forschungen konnte dieses Problem gelöst, und Dioden mit einem deutlich stabileren Sperrverhalten erforscht werden. Diese Ergebnisse bilden eine fundierte Grundlage für die zukünftige Entwicklung von SiC-Hochvoltbauelementen bei Infineon.

Schwerpunkt der Modulthemen bildeten einerseits Untersuchungen zur Integration der 6,5 kV SiC-Einzeldiodenchips in verfügbare Modulplattformen um damit den Projektpartnern schaltfähige Module bis hin zum Umrichtereinsatz zur Verfügung zu stellen. Andererseits sollten prinzipielle Betrachtungen zu einer möglichen Erhöhung der Sperrschichttemperatur >125 °C durchgeführt werden, die die Option einer besseren Ausnutzung der Potentiale der SiC-Dioden ermöglichen. Beide Aspekte wurden im Projekt erfolgreich abgedeckt.

Die Bereitstellung von Modulen für Untersuchungen bei den Projektpartnern erforderte drei verschiedene Ansätze:

- Komplettdiodenmodule für Schalt- und Umrichtertests
- Komplettdiodenmodule für Thermografieuntersuchungen
- Module zur Untersuchung der Driftstabilität

Dazu waren vorhandene Technologieplattformen in geeigneter Weise zu adaptieren, um die vielen relativ kleinen SiC-Dioden-Einzelchips zu integrieren.

Die Untersuchung von Technologien für eine Sperrschichttemperaturerhöhung umfassten wesentliche Aspekte der Aufbau- und Verbindungstechnologie wie die Lötverbindungen Chip – Substrat und Substrat – Bodenplatte. Dabei konnten vielversprechende Ansätze demonstriert werden.

Zusammenfassend wurden die Meilensteine des Gesamtprojektes, insbesondere die Lieferung geeigneter Module für Umrichtertests, erfolgreich abgeschlossen. Wesentliche Erkenntnisse für eine zukünftige Integration von Hochvolt SiC-Bauelementen in Module bei Infineon konnten im Rahmen des Projektes erzielt werden.

19. Schlagwörter

Siliziumkarbid; Mittelspannungsantriebe; Leistungsmodul; Umrichter

20. Verlag

21. Preis

Document Control Sheet

1. ISBN or ISSN 16N10891 former 13N10891	2. type of document (e.g. report, publication) Final report
3. title „Increasing energy efficiency by using SiC components in drives for medium voltage (MV-SiC)“ Subproject : „Integration of SiC components into the module & converters concept for usage in drives for medium voltage	
4. author(s) (family name, first name(s)) Christian Hecht	5. end of project 31.10.2013
	6. publication date 30.04.2014
	7. form of publication Final report
8. performing organization(s) (name, address) Infineon Technologies AG Am Campeon 1 – 12 85579 Neubiberg	9. originator's report no. Infineon Technologies
	10. reference no. 16N10891
	11. no. of pages 55
12. sponsoring agency (name, address) Bundesministerium für Bildung und Forschung (BMBF) 53170 Bonn	13. no. of references
	14. no. of tables
	15. no. of figures
16. supplementary notes	
17. presented at (title, place, date)	

18. abstract

Goal of the subproject was research of power modules with semiconductors based on silicon carbide (SiC). In detail, power modules with SiC diodes and a reverse voltage of 6,5kV. In opposite to silicon semiconductors, as used today, components of silicon carbide offer a substantially smaller size and clearly higher electrical field strengths. These facts require a new construction of the module and components itself as well as adapted interconnection technologies. The negative temperature coefficient and the characteristic of the forward voltage, required an adjustment of the thermal management of the power module. The reliability and robustness compared to state of the art interconnection technologies were to a large extent unknown and had to be characterized in detail. Of special concerns were the research activities in the stability of the forward voltage concepts.

During the project duration, caused by a reorganization, work packages of the partner SiCED were taken over by Infineon Technologies AG. The reorganization led to new emphasis and an adjustment of the research topics. Nevertheless, Infineon succeeded in developing a high-volt-process with high growth rate and the technical possibility to simultaneous processing 6 SiC-wafers with a diameter of 100 mm. During the run time of the project it showed up that the topics drift and stability of the blocking voltage needed more and intensive research activities. Detailed investigations showed problems with the forecast of the degradation due to crystal defects in the active layer. Under current load this could lead to a formation of electrically active stacking faults.

Apart from the bipolar degradation in particular the blocking behavior of the pin diodes had to be examined in detail because the blocking behavior was (partly) not stable. Owing to various simulations and intensive research this problem could be solved, and diodes with a clearly more stable blocking behavior could be developed. These results form a solid base for the future development activities of SiC-high voltage components of Infineon.

In the focus of the module research activities were, on the one hand investigations for the integration of the 6.5 kV SiC single diodes into the available module platforms to offer the project partners switchable modules, for integration into converters. On the other hand research activities should be made for increasing T_j to $> 125^\circ\text{C}$. This would enable customers to make better usage of the higher performance of SiC components. Both aspects were covered successfully in the project.

The supply of modules for investigations with the project partners required three different approaches::

- Complete modules for switching- and converter tests
- Complete modules for thermal imaging
- Modules for the investigation of drift stability

This required the adaptation of existing technology platforms, in order to integrate the high amount of very small SiC diodes.

The research activities concerning a junction temperature increase included several aspects of the interconnection technologies like the interfaces Chip to substrate or substrate to base plate. Promising beginnings could be demonstrated.

In summary the milestones of the overall project, in particular the supply of suitable modules for tests on converter level, were successfully finished. Substantial knowledge could be gained concerning a future integration of high volt SiC elements into modules.

19. keywords

Silicon Carbide, drives for medium voltages; Power module; converter

20. publisher

21. price