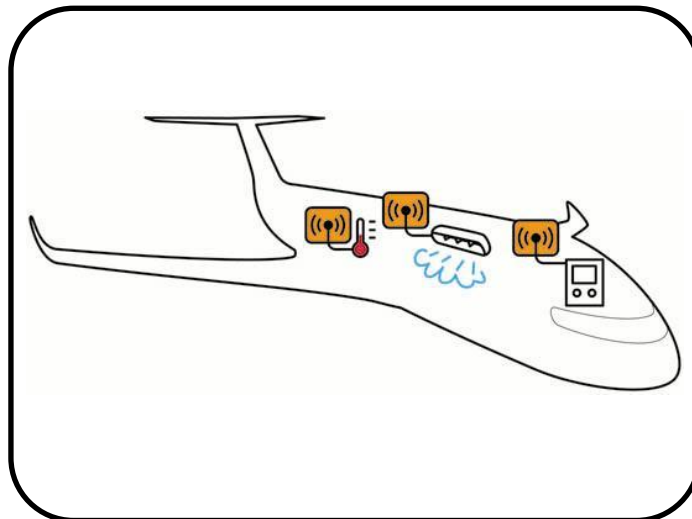


Proteg-O Angewandte Kabinennetzwerke (CabWiSe)

FKZ 20K0905I

PROTEG-O

Schlussbericht



Ausgabe 1

Revision 2

Autor:	IMST PROTEG-O Team IMST GmbH	Datum: 26.03.2014	
Qualitätsverantwortlicher:	Dipl.-Ing.(FH) T. Leineweber	Datum: 26.03.2014	
Projektleiter:	Dipl.-Ing. Frank Henkel	Datum: 26.03.2014	



PROTEG-O

Schlussbericht



Dok.-ID: PROTEG-O-IMST_AB

Datum: 26.03.14

Seite 2 von 17

Dokumenten-Information

Projekt:	PROTEG-O
Dokumenten-Titel:	Schlussbericht
Ausgabe/Revision:	1.2
Dateiname:	Proteg-O-IMST-AB_TIB_v1.2.docx
Umfang:	17 Seiten

Änderungsnachweis

Ausgabe	Revision	Datum	Änderungen	Autor
1	0	26.03.2014	Ersterstellung, alle Kapitel	IMST
1	1	24.07.2014	Überarbeitung, alle Kapitel	IMST
1	2	28.07.2014	Überarbeitung Kapitel 2.2	IMST

Inhalt

1.	Einführung.....	5
1.2	Liste der Abkürzungen.....	6
2.	Aufgabenstellung	7
2.1	Planung und Ablauf	7
2.1.1	Planung.....	7
2.1.2	Ablauf	8
2.2	Zusammenarbeit mit anderen Stellen.....	9
3.	Kurzdarstellung der erzielten Ergebnisse	11
3.1	System- und Konzeptphase (AP310)	11
3.1.1	Auswahl des Mikroprozessors.....	11
3.1.2	Bestimmung der Sende- und Empfängerarchitektur	11
3.1.3	Systemauslegung.....	11
3.2	Entwicklung der SoC-Hardware und Basis-Softwareentwicklung (AP320).....	12
3.2.1	Übersicht über das Gesamtsystem	12
3.2.2	Implementierung des Powermanagementkonzepts.....	13
3.2.3	HF-Transceiver-Entwicklung.....	13
3.2.4	Digitalimplementierung	14
3.2.5	Erstellung des Chip-Layouts und Halbleiter-Fertigung	14
3.2.6	Basis-Software-Entwicklung.....	15
3.3	Test und Charakterisierung des SoC (AP330).....	16
3.4	Modulintegration (AP340).....	16
4.	Zusammenfassung	17

Abbildungsverzeichnis

Abbildung 1:	Arbeitsplan mit Hauptarbeitslinien.....	8
--------------	---	---

Tabellenverzeichnis

Tabelle 1: Vertragsdaten der Förderung	5
Tabelle 2: Verbundpartner	9
Tabelle 3: Assoziierte Partner	9
Tabelle 4: Unterauftragnehmer.....	9

1. Einführung

Das Fördervorhaben „PROTEG-O – Angewandte Kabinen Netzwerke“ wurde über den Zeitraum Januar 2010 bis September 2013 durchgeführt. Die ursprünglich geplante Projektdauer bis März 2013 wurde aufgrund von zeitlichen Verschiebungen und wegen der Insolvenz des zunächst für das Projekt gewählten Halbleiterherstellers um 6 Monate bis zum Ende September 2013 verlängert.

Ziel des Projekts war die Erforschung eines drahtlosen Sensor-Netzwerkes (Wireless Sensor Network, kurz WSN) auf Basis einer System-On-Chip (SoC) Lösung als Plattform für eine flugzeugweite Gesamtarchitektur.

Die Anwendung des drahtlosen Sensornetzwerkes ist die Erfassung sowie Funkübertragung von Zustandsparametern (z.B. Temperatur, Schwingungen, mechanische Lasten sowie Systemzustände und Fehlermeldungen) einzelner Flugzeugkomponenten (z.B. Flugzeugsysteme, Kabinensysteme oder Flugzeugstruktur). Desweiteren soll durch die erweiterten Möglichkeiten der Sensorik die Zufriedenheit der Passagiere sowie die Wartbarkeit des Flugzeuges verbessert werden.

IMST hat in diesem Projekt den SoC als Kernelement des WSN gemäß den Vorgaben des Projekts ausgelegt, entwickelt und charakterisiert. Dies beinhaltet System-Design, analoge und digitale Schaltungsentwicklung, Labormessungen, Basissoftwareentwicklung und Unterstützung der Projektpartner bei Integration des SoC in deren Sensormodule.

Dieser Schlussbericht stellt die von der IMST GmbH im Rahmen des Fördervorhabens „PROTEG-O – Angewandte Kabinen Netzwerke“ durchgeführten Arbeiten dar. Die Arbeiten zu PROTEG-O wurden vom BMWi/DLR unter eigenen Förderkennzeichen für jeden Partner im Verbundvorhaben gefördert.

Fördergeber	DLR Bonn / BMWi
Förderkennzeichen IMST	20K0905I
Bewilligungszeitraum	01.01.2010 – 30.09.2013
Gefördert	IMST GmbH

Tabelle 1: Vertragsdaten der Förderung

1.2 Liste der Abkürzungen

ADC	Analog-to-Digital Converter (Analog/Digitalwandler)
ASIC	Anwendungsspezifische Integrierte Schaltung (engl. Application Specific Integrated Circuit)
CMOS	Complementary Metal Oxide Semiconductor
CRC	Cyclic Redundancy Check (zyklische Redundanzprüfung)
DAC	Digital-to-Analog Converter (Digital/Analogwandler)
dB	Dezibel
dBm	Dezibel Milliwatt
EVM	Error-Vector-Magnitude
FPGA	Field Programmable Gate Array
FR-4	Platinenmaterial
GHz	Giga-Hertz
HF	Hochfrequenz
IC	integrierte Schaltung (Integrated Circuit)
IF	Zwischenfrequenz (engl. Intermediate Frequency)
kB	kiloByte
LDO	Low-Drop-Out voltage regulator (Spannungsregler mit geringem Verlust)
LNA	Low-Noise-Amplifier (rauscharmer Verstärker)
MHz	Mega-Hertz
PA	Power Amplifier (Leistungsverstärker)
PLL	phasengekoppelter Regelkreis (engl. Phase-Locked-Loop)
PPF	Polyphasenfilter
RC	Resistor Capacitor (Zeitkonstante oder Eckfrequenz definiert von den Werten eines Widerstands und eines Kondensators)
RF	Radio frequency (Hochfrequenz)
RSSI	Received Signal Strength Indication (Empfangsleistungs-Indikator)
RTC	Echt-Zeit-Uhr (engl. Real-Time-Clock)
SAR	Successive Approximation Register (Sukzessive Approximation)
SoC	System-on-Chip (System integriert auf einem Chip)
VCO	Voltage Controlled Oscillator (spannungsgesteuerter Oszillator)
WSN	Wireless Sensor Network (Drahtloses Sensorik-Netzwerk)
XO	Xtal (Crystal) Oscillator (Quarzreferenz-Oszillator)

2. Aufgabenstellung

Im Projekt PROTEG-O hat die IMST GmbH ein neues Konzept für einen Sensornetzwerk-IC erarbeitet, welches den besonderen Anforderungen bei Luftfahrtanwendungen entspricht. Dazu gehört die Unterstützung neuer Frequenzbänder bei gleichzeitiger Universalität bzgl. der Sensoranbindung und Energieversorgungseinheit. Der IC wurde als System-on-Chip (SoC) bestehend aus einem HF-Transceiver, Sensor-ADC und Mikroprozessor definiert, im Laufe des Projekts exemplarisch entwickelt (Software/Hardware), in zwei Technologiedurchläufen gefertigt und jeweils anschließend getestet. Dafür wurde von IMST ein Referenzdesign eines Sensor-Modul gefertigt welches den Projektpartnern zur Entwicklung der finalen Sensormodule zur Verfügung gestellt wurde.

2.1 Planung und Ablauf

2.1.1 Planung

Der in der folgenden Abbildung 1 dargestellte Arbeitsplan gibt einen Überblick über die logischen Zusammenhänge der einzelnen Themenschwerpunkte und Arbeitspakete des Fördervorhabens PROTEG-O. Die ursprüngliche Projektlaufzeit war dabei von Januar 2010 bis März 2013 geplant. Die Hauptarbeitspakete von IMST sind farblich gelb hervorgehoben. Diese folgten im Wesentlichen dem SoC-Designflow mit einer System- und Konzeptphase (AP310) zu Beginn gefolgt von der eigentlichen IC- und Software-Entwicklung (AP320). Der entwickelte SoC wurde getestet und charakterisiert (AP330) und anschließend in ein Modul integriert (AP340).

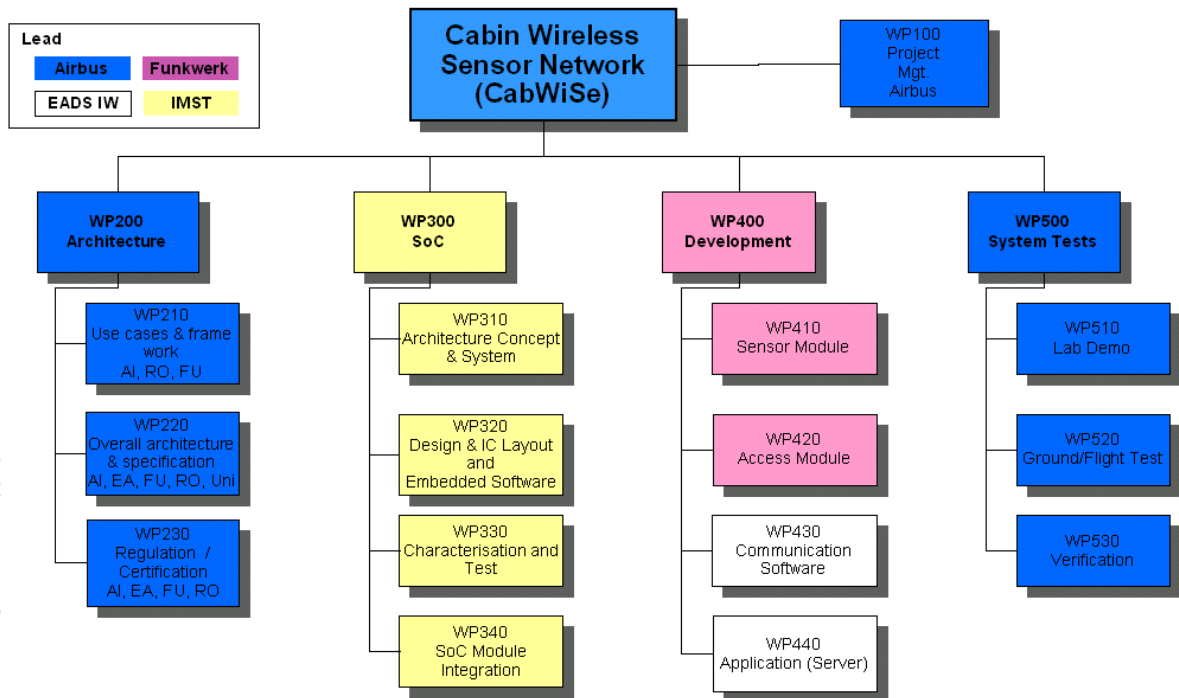


Abbildung 1: Arbeitsplan mit Hauptarbeitslinien

2.1.2 Ablauf

Die von IMST geplanten Arbeitspakete (siehe 2.1.1) bauen aufeinander auf und wurden somit im Prinzip nacheinander bearbeitet, allerdings mit gemeinsamen Übergangsphasen bzw. Iterationen.

Allerdings gab es Verzögerungen bei den Arbeitspaketen WP200, so dass die Arbeiten bei IMST später als geplant gestartet werden konnten.

Im Laufe des Projekts musste die gewählte Zieltechnologie des Halbleiterprozesses wegen großer Unsicherheiten bei der weiteren Verfügbarkeit gewechselt werden. Der zunächst gewählte Anbieter hatte für die betroffene Tochterfirma ein Insolvenzverfahren eröffnet. Um den Erfolg des Projekts nicht zu beeinträchtigen wurde auf einen Prozess gewechselt. Ein Vorteil der jetzt gewählten Technologie ist, dass sie derzeit (in leichten Varianten) von mehreren Herstellern angeboten wird.

Durch die oben erläuterten Verzögerungen wurde das Projekt kostenneutral um 6 Monate verlängert.

2.2 Zusammenarbeit mit anderen Stellen

Zu Beginn des Projekts bildeten Airbus Operations GmbH, IMST GmbH und Funkwerk Avionics GmbH die drei Verbundpartner von PROTEG-O. Im Laufe des Projekts wurden drei assoziierte Partner aufgenommen. Die Übersicht über die Verbundpartner, assoziierte Partner und Unterauftragnehmer ist in ist in Tabelle 2 bis Tabelle 4 dargestellt.

Verbundpartner
Airbus Operations GmbH
IMST GmbH
Funkwerk Avionics GmbH


Tabelle 2: Verbundpartner

Assoziierte Partner
TriaGnoSys GmbH
Diehl Aerospace GmbH
Rosemount Aerospace Inc.

Tabelle 3: Assoziierte Partner

Unterauftragnehmer
EADS Innovation Works
Technische Universität Hamburg Harburg
Technische Universität Ilmenau
Technische Universität Berlin

Tabelle 4: Unterauftragnehmer

	PROTEG-O Schlussbericht		PROTEG <small>Produktionsoptimierende Technologien</small> PROTEG-O <small>Angewandte Kabinen Netzwerke</small>
	Dok.-ID: PROTEG-O-IMST_AB	Datum: 26.03.14	Seite 10 von 17

Es wurde eng mit den Projektpartnern zusammengearbeitet. So wurden spezielle luftfahrtspezifische Anforderungen an den SoC mit Airbus diskutiert und definiert. Systemuntersuchungen der TUHH wurden berücksichtigt. Funkwerk und EADS-IW wurden als Anwender des SoC im Bereich Hardware- und Softwareschnittstellen und Inbetriebnahme unterstützt. Es fanden regelmäßige Projekttreffen statt.

3. Kurzdarstellung der erzielten Ergebnisse

3.1 System- und Konzeptphase (AP310)

Gemeinsam mit den Projektpartnern wurden die Möglichkeiten der Integration von Funktionalitäten diskutiert. Daraus wurden Anforderungen an den SoC abgeleitet und als Spezifikation festgehalten.

Zu Beginn des Projekts wurden im AP310 System- und Konzeptstudien durchgeführt. Ziel dieser Studien war es, die optimale SoC-Architektur in Hinblick auf Sensitivität, Effizienz und Chipfläche zu finden. Dazu wurden verschiedene Teilsysteme des SoC untersucht.

3.1.1 Auswahl des Mikroprozessors

Es wurde eine Studie über verschiedene Mikroprozessoren erstellt, welche von diversen Anbietern zur Integration in einen SoC angeboten wurden. Dafür wurden Geschwindigkeit, Leistungseffizienz, Codedichte, Flächenbedarf, Implementierungsaufwand und Beschaffungskosten miteinander verglichen. Der optimale Prozessor wurde unter diesen Aspekten ausgewählt und die Entwicklung des eigentlichen SoC-Digitalteils und der Basissoftware (siehe 3.2) für diesen Prozessor durchgeführt.

3.1.2 Bestimmung der Sende- und Empfängerarchitektur

Als eine sehr wichtige Anforderung an den SoC wurde eine niedrige Leistungsaufnahme angestrebt, um möglichst lange Batterielebensdauern zu gewährleisten. Dafür musste die am besten geeignete Architektur für Sender und Empfänger gefunden werden.

Die Vor- und Nachteile verschiedener Konzepte wurden bewertet und die jeweils optimale Architektur ausgewählt.

3.1.3 Systemauslegung

Nach Bestimmung der optimalen Systemarchitektur (Prozessorkern, Sende- und Empfangskonzept) wurden umfangreiche Systemsimulationen und Berechnungen durchgeführt, um die SoC Anforderungen auf die benötigten Unterschaltungen und Untersysteme aufspalten und definieren zu können.

Dies beinhaltete z.B. die Auslegung des digitalen Basisbands bestehend aus Modulator/Demodulator und Fehlerkodierung/Korrektur um die angestrebten Bitfehlerraten noch mit möglichst niedrigem Signal-Rauschabstand erreichen zu können. Dafür wurden auch Parameter wie Chip/Rate, Anzahl der Wiederholungen beim Senden, und Receiver-Linearität berücksichtigt. Hierbei ging es um zu erwartende Funkbandstörungen und der

Minimierung der Anfälligkeit des Funksystems auf diese Störungen. Die IMST GmbH führte hier umfangreiche Simulationen durch, die zu einer Auslegung des Funksystems in Richtung einer erhöhten Störungstoleranz führen.

Genauso wurden Parameter (z.B. Verstärkung, Rauschen, Linearität, Stromaufnahme) für alle benötigten analogen Einzelschaltungen definiert, damit diese Blöcke im folgenden Arbeitspaket auf Transistorebene realisiert werden konnten.

Die Auswahl eines Chipgehäuses wurde getroffen und die Gehäuse-Pin-Belegung definiert. Dies musste in vorläufiger Version möglichst früh im Projekt durchgeführt werden, um ein Simulationsmodell für das Chipgehäuse generieren zu können. Mit diesem konnten die Hochfrequenzeigenschaften (Verluste, Anpassung) des Gehäuses simuliert und entsprechend in der Schaltungsentwicklung berücksichtigt werden.

Ferner wurde mit die Spezifikation für benötigte externe Bauelemente erstellt, welche auf der Evaluierungsplatine berücksichtigt wurden (z.B. HF-Anpassnetzwerk, Quarzresonatoren für die Referenztakte).

3.2 Entwicklung der SoC-Hardware und Basis-Softwareentwicklung (AP320)

3.2.1 Übersicht über das Gesamtsystem

Die einzeln dargestellten Schaltungsblöcke lassen sich in die folgenden wesentlichen SoC-Komponenten mit ihren jeweils angestrebten Hauptkenndaten gliedern:

→ Digitalteil:

- Leistungseffizienter 32bit Mikroprozessor
- 128kB Programmspeicher und 16kB Datenspeicher
- AES128 Verschlüsselungs-Koprozessor
- 11 GPIOs
- JTAG, UART, TWI, SPI Schnittstellen
- Integrierte RTC Oszillatoren
- 3x 32bit Timer
- Spreiz-Coder, Viterbi und CRC

→ Leistungsoptimierter HF-Transceiver für zwei Frequenzbänder

- Kompatibel zu IEEE 802.15.4
- Hohe RSSI Auflösung <1dB
- (G)MSK und O-QPSK Modulation; 250k/500k/1M/2M bps Datenraten

- 12bit ultra-leistungsarmer Sensor ADC
- 4 "single-ended" Eingänge; als 2 differentielle Eingänge rekonfigurierbar
 - Interne Batterie- und Temperaturüberwachung
 - Referenzspannungsausgang

3.2.2 Implementierung des Powermanagementkonzepts

Um verschiedene Betriebsmodi (Optimierung der Stromaufnahme durch Abschaltbarkeit nicht benötigter Untersysteme) unterstützen zu können wurde ein SoC-internes Versorgungsspannungskonzept erstellt, welches die Aufteilung der einzelnen Blöcke in verschiedene Versorgungsspannungsbeiche und den Übergang zwischen den Betriebsmodi definiert. Für die jeweiligen Versorgungsspannungsbeiche wurden unterschiedliche Spannungsregler für die benötigten Strombudgets optimiert.

3.2.3 HF-Transceiver-Entwicklung

Für den Transceiver werden verschiedene Untersysteme benötigt. Um auf der HF-Frequenz senden oder empfangen zu können wird eine PLL benötigt, mit dessen Hilfe der entsprechende Kanal ausgewählt und auf die Zwischenfrequenz zur weiteren Signalverarbeitung konvertiert werden kann.

Das Untersystem „PLL“ besteht wiederum aus mehreren Teilschaltungen. Diese wurden zunächst gemäß den abgeleiteten Spezifikationen (siehe 3.1.3) jeweils einzeln entwickelt und optimiert. Anschließend wurde die PLL als Gesamtsystem simuliert. Besonderes Merkmal der PLL bzw. des gesamten Transceivers ist die Abdeckung von 2 verschiedenen Frequenzbändern. Um dies zu gewährleisten mussten an verschiedenen Stellen in der PLL entsprechende Umschaltmöglichkeiten gefunden werden.

Sehr wichtige Kenngröße der PLL ist das Phasenrauschen als Maß der Frequenzstabilität. Diese wird benötigt, um die angestrebten Datenraten mit möglichst geringen Daten- bzw. Paketfehlern zu erreichen. Die Phasenrauschbeiträge der einzelnen Komponenten wurden deshalb sorgfältig optimiert.

Als besonderes Merkmal für den Sendepfad gilt die angestrebte hohe Ausgangsleistung. Um die damit verbundene Stromaufnahme möglichst gering zu halten wurde die PA Effizienz (Ausgangsleistung bezogen auf eigene Verlustleistung) soweit möglich optimiert. Die Mittenfrequenz der PA musste gemäß der Anforderung der Anwendung in zwei verschiedenen Bändern umschaltbar ausgelegt werden.

Das Verhalten der entwickelten analogen Schaltungen wurde mit Hochsprache-Modellen approximiert; anschließend wurde die Funktion dieser Blöcke und deren Interaktion mit der Digitallogik in System-Simulationen verifiziert. Insbesondere wurde das „Locking“ des Frequenz-Synthesizers sowie die korrekte Arbeitsweise der nötigen Kalibrierrouninen (siehe

3.2.4) zur Wahl des benötigten Oszillatorbandes und genauen Modulationshub im Sendefall sichergestellt.

3.2.4 Digitalimplementierung

Kernelement des Digitalteils bildet der 32 bit Mikrocontroller. Die Schnittstellen UART, TWI, SPI lassen sich ebenso wie die integrierten Timer über die insgesamt 11 GPIOs ansprechen. Außerdem sind interne Schnittstellen zum Powermanagement-Block und Sensor-ADC definiert, über diese z.B. die Einschaltsequenz der verschiedenen LDOs nach Reset oder Anlegen der Versorgungsspannung („power-up“) bzw. die Verarbeitung der ADC-Daten gesteuert wird. Ein integrierter Boot-Loader liest nach „power-up“ den Programmcode aus einem externen Speicher. Dafür sind 128kB SRAM integriert; weitere 16kB SRAM dienen als Datenspeicher.

Desweiteren enthält der Digitalteil das digitale Basisband bestehend aus Modulator/Demodulator, Fehlerkodierer/-dekodierer, Spreizkodierer/-dekodierer, PacketHandler, Impulsformer sowie Sende-/Empfangsdatenpuffern. Die Daten können mittels AES-128 verschlüsselt und in Pakettlängen von bis zu 2^{16} Bits gesendet und empfangen werden. Das gesamte Basisband wurde kompatibel zum IEEE 802.15.4™ Standard ausgelegt, wobei aber auch gemäß den im Projekt definierten Anforderungen an den SoC proprietäre Paketdefinitionen möglich sind.

Für mehrere Komponenten des Analogteils wurden Kalibrierroutinen als finite Zustandsautomaten realisiert, um den Softwareoverhead für die SoC-Anwender gering zu halten.

- RC-Oszillator Frequenz
- VCO Bank gemäß gewählter Kanalfrequenz
- DAC im Sendemodulationspfad
- PPF Bandbreite

3.2.5 Erstellung des Chip-Layouts und Halbleiter-Fertigung

Als Abschluss der SoC-Entwicklungsphasen wurde von jeder Einzelschaltung das Layout erstellt. Parasitäre Effekte wurden soweit möglich extrahiert und durch Maßnahmen im eigentlichen Schaltungsdesign kompensiert. Die Einzellayouts wurden hierarchisch bis zur obersten Ebene in ein Gesamtlayout überführt und verifiziert. Dieses Layout wurde anschließend für jeden Technologiedurchlauf zur Fertigung an den Halbleiter-Hersteller übermittelt.

Nach der Produktion wurden die Chips wie in 3.1.3 definiert in das gewählte Gehäuse assembliert.

Die gefertigten und gehäuteten SoCs wurden in der vereinbarten Menge zum Aufbau der Funkmodule an die Projektpartner ausgeliefert.

3.2.6 Basis-Software-Entwicklung

Noch vor Fertigung der SoC-Chips wurde der ausgewählte Mikroprozessor auf einem FPGA Board in Betrieb genommen und hinsichtlich seiner Funktionalitäten wie z.B. Ansprechbarkeit der I/O Schnittstellen getestet.

Zusätzlich wurde das FPGA Board um eine AD/DA-Erweiterungsplatine ergänzt, um auch das gesamte digitale Basisband testen zu können.

Zur Inbetriebnahme der einzelnen Funktionen des SoCs wurden Beispielsoftwareroutinen erstellt und in einer Programmieranleitung dokumentiert.

Die Basissoftware wurde in einer Bibliothek („Device Driver Library“) zusammengefasst mit den folgenden Funktionen:

- “Low-level” Routinen
- Zugang zum Transceiver, UART, GPIOs,
- Behandlung von Interrupts
- Verwendung der Timer

Außerdem wurde eine Software mit Benutzeroberfläche entwickelt, mit welcher von einem PC über RS232 Schnittstelle mit dem SoC kommuniziert werden kann.

3.3 Test und Charakterisierung des SoC (AP330)

Zur Vermessung und Charakterisierung der gefertigten Samples wurden ein Testplan und das Platinenlayout eines Evaluierungsboards basierend auf FR-4 erstellt. Anschließend wurden diese gefertigt und bestückt. Kernelement der Evaluierungsplatine ist der entwickelte SoC. Darüber hinaus wurde entsprechende Hardware berücksichtigt die zum Test der SoC-Funktionen benötigt wurde.

Die Messergebnisse wurden ausgewertet und mit den simulierten Parametern verglichen.

3.4 Modulintegration (AP340)

Zur Modulintegration wurden Evaluierungsplatinen in abgesprochener Menge gefertigt, mit dem entwickelten SoC und externer Hardware bestückt und an die Projektpartner ausgeliefert. Zwecks Demonstration der Funktion als Sensormodul war auf der Evaluierungsplatine u.a. bereits ein Temperatursensor vorgesehen, welcher über den SoC angesprochen werden konnte.

Die im Kapitel 3.2.6 beschriebene Basissoftware und Programmieranleitung wurde ebenfalls an die Projektpartner in Ihrer Funktion als Anwendungsentwickler verteilt. Entwicklungsunterstützung wurde ebenfalls von IMST geleistet. Z.B. wurden Hinweise dokumentiert, mit welcher Beschaltung der SoC in einem von den Projektpartnern entwickelten Sensormodul betrieben werden sollte.

Zusätzlich wurde zu Demonstrationszwecken eine Kommunikationssoftware erstellt, welche es erlaubt, zwei der Module in einem Netzwerk zu betreiben. Dabei werden unterschiedliche Modi unterstützt. So kann ein Demoboard als Sensorknoten oder als Master in einem Sensornetzwerk fungieren. Als Beispielanwendung dient dabei das Auslesen der Temperatur über das Sensornetzwerk (s.o.). Weiterhin ist z.B. das Versenden einfacher Textnachrichten zwischen den Modulen möglich.

Somit konnte die Netzwerkfähigkeit des SoC anschaulich und erfolgreich demonstriert werden.

4. Zusammenfassung

Unter Federführung der Airbus hat sich ein Forschungsverbund bestehend aus der Airbus Operations GmbH (Hamburg), der IMST GmbH (Kamp-Lintfort) und der Funkwerk Avionics GmbH (Waal) zusammengeschlossen, um Methoden und Technologien für den Aufbau eines drahtlosen Sensor-Netzwerkes auf Basis einer System-On-Chip (SoC) Lösung als Plattform für eine flugzeugweite Gesamtarchitektur zu erforschen und zu entwickeln.

IMST hat in diesem Projekt den SoC als Kernelement des drahtlosen Sensornetzwerkes für Luftfahrtanwendungen gemäß den Vorgaben des Projekts ausgelegt, entwickelt und charakterisiert. Dies beinhaltet System-Architektur-Design, analoge und digitale Schaltungsentwicklung, Labormessungen, Basissoftwareentwicklung und Unterstützung der Projektpartner bei Integration des SoC in deren Sensormodule. Die Funktionalität des entwickelten SoC und dessen Betrieb in einem drahtlosen Sensornetzwerk konnte erfolgreich demonstriert werden.

Gefördert durch:



Bundesministerium
für Wirtschaft
und Energie

aufgrund eines Beschlusses
des Deutschen Bundestages