

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung

## Schlussbericht

Verbund: 05H2012 - BELLE II

Zuwendungsempfänger: Ruprecht-Karls-Universität Heidelberg  
Projektleitung: Prof. Dr. Peter Fischer  
E-Mail: peter.fischer@ziti.uni-mannheim.de  
Förderkennzeichen: 05H12VHH  
Förderzeitraum: 01.07.2012 - 30.06.2015

Thema: Verbundprojekt 05H2012 - BELLE II: Auslesechips für den Vertexdetektor bei Belle II

Zuwendung: 533.478,00 €  
Projektträger: Projektträger DESY

Zusätzlicher Kontakt:  
Zusätzlicher Name:

| Genutzte Großgeräte: | Labor | Gerät | Experiment |
|----------------------|-------|-------|------------|
|                      | KEK   | KEKB  | Belle-II   |
| Diplomarbeiten:      | 0     |       |            |
| Dissertationen:      | 0     |       |            |
| Habilitationen:      | 0     |       |            |
| Publikationen:       | 7     |       |            |
| Konferenzbeiträge:   | 2     |       |            |
| Patente:             | 0     |       |            |
| Bachelorarbeiten:    | 0     |       |            |
| Masterarbeiten:      | 0     |       |            |

Dieser Bericht wurde beim Projektträger über einen individuellen Online-Zugang vom Projektleiter eingereicht und am 31.12.2015 15:59 für eine Veröffentlichung freigegeben.

## **Schlussbericht zum Förderprojekt „Auslesechips für den Vertexdetektor bei Belle II“**

**Zuwendungsempfängerin:** Universität Heidelberg  
**Projektleitung:** Prof. Dr. P. Fischer (vormals Dr. Ivan Peric)  
**Förderkennzeichen:** 05H12VHH  
**Berichtszeitraum:** 01.07.2012 bis 30.06.2015

Die in diesem Bericht beschriebenen Arbeiten wurden im Rahmen des Verbundprojekts "Belle II - DEPFET Pixeldetektor" durchgeführt. Eine Beschreibung des Gesamtprojekts, eine Übersicht über alle Arbeitspakete und die Verteilung auf die einzelnen Projektpartner ist im beigefügten Rahmendokument enthalten.

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung gefördert. Die Verantwortung für den Inhalt der Veröffentlichung liegt beim Autor.

## Zusammenfassung

Die Beiträge der Heidelberger Gruppe zum Verbundprojekt „Belle II - DEPFET Pixeldetektor“ lagen in der Entwicklung und im Test von Auslese- und Steuerchips, in der Flip-Chip Montage von Chips in der Prototypenphase, im Layout des Sensormoduls, sowie in der Entwicklung von Software-Infrastruktur und Software-Komponenten für die Slow-Control Steuerung der verschiedenen Hardwarekomponenten. Die wichtigsten Ergebnisse sind:

- Der ‚SWITCHER‘ Steuerchip, der auf den DEPFET Sensor-Matrizen die Zeilen kontrolliert, wurde weiterentwickelt. Eine im Projektverlauf neu entstandene Anforderung war ein ‚Gated Mode‘, mit dem alle Pixel in einen ‚blinden‘ Zustand versetzt werden können, um durch parasitäre Teilchensignale während der Füllung des Beschleuniger-Rings nicht gesättigt zu werden. Notwendige Änderungen für diesen ‚Gated Mode‘ wurden implementiert. Außerdem wurde die Geschwindigkeit der Ausgangssignale erhöht und der Chip an die Bedürfnisse des Moduls angepasst.
- Der Auslesechip ‚DCD‘ wurde weiterentwickelt um einen zuverlässigeren schnelleren Betrieb, niedrigeres Rauschen, eine bessere ADC Charakteristik und eine höhere Ausbeute zu erreichen. Dazu wurden mehrere Chips mit unterschiedlichen ADC Architekturen (zyklisch, pipelined, asynchrone sukzessive Approximation) entworfen, submittiert und charakterisiert. Das Design mit dem Pipeline-ADC erfüllt inzwischen die Anforderungen des Experiments und dient als Grundlage für die endgültige Produktion Ende 2015.
- Eine große Zahl SWITCHER und DCD Chips wurde in Heidelberg auf einer Probestation mit hierfür dediziert entwickelter Hard- und Software getestet, damit nur voll funktionsfähige Exemplare auf die kostbaren Sensormodule montiert werden.
- Die SWITCHER Chips werden kopfüber mit dem Substrat verlötet (‚Flip-Chip‘ Montage). Da die Chips der Prototyp-Herstellung aber keine Lötkekeln haben, mussten diese Kugeln mit Hilfe einer Gold-Stud Bondmaschine und einem Gerät zum platzieren einzelner Lötkekeln aufgebracht werden. Diese Arbeitsschritte, sowie das Flippen einzelner Chips für Testaufbauten, wurden in Heidelberg mit den dort verfügbaren Maschinen durchgeführt.
- Um ein sehr kompaktes und materialarmes Modul zu erhalten werden alle Steuer- und Auslesechips auf einen Randbereich des DEPFET Sensors montiert. Das Layout dieses ‚Multi-Chip Modules‘ (MCM) wurde in Heidelberg in Abstimmung mit den verschiedenen beteiligten Gruppen erstellt.
- Im Laufe der Förderperiode wurde der Kollaboration klar, dass die Konfiguration der verschiedenen Chips und anderer Systemkomponenten (DAQ, Netzgeräte zur Versorgung von Chips und Sensoren), die Überwachung von Betriebsparametern (Strömen, Temperaturen), das konsequente Protokollieren aller Veränderungen, sowie die Implementierung von Alarmreaktionen bei Überschreiten bestimmter Grenzparameter (z.B. das Herunterfahren von Spannungen bei Übertemperatur) in einem eigenen, neuen Arbeitspaket ‚Slow-Control‘ umgesetzt werden müssen. Diese (im Antrag nicht in diesem Umfang vorhergesehenen) Arbeiten wurden in Heidelberg koordiniert und umgesetzt: Es wurden Software Frameworks evaluiert und ausgewählt, Server, Repositorien und Design Flows aufgesetzt und ‚Rahmen‘-Bibliotheken (Kommunikation der Systemkomponenten, grafische Oberfläche) erstellt. Als erste konkrete Anwendungen dieses EPICS / CSS Frameworks wurden u.a. die Netzgeräte des Pixeldetektors gesteuert und beim Teststrahl der Systemzustand mit diversen Umgebungssensoren überwacht.
- Das Slow-Control System erwies sich als so gut und sinnvoll, dass andere Gruppen (BEAST, SVD) und auch Belle II insgesamt darauf zurückgreifen wollen. Es wurden daher mehrere Treffen und Workshops abgehalten, um die Nutzung von EPICS / CSS innerhalb von Belle II zu unterstützen.

## Bericht

Die Zielsetzung des Experiments, eine Beschreibung der einzelnen Systemkomponenten sowie Ergebnisse z.B. aus verschiedenen Teststrahlzeiten sind im allgemeinen Teil des Verbundprojekts enthalten. In diesem Teilbericht werden daher lediglich die Heidelberger Beiträge

1. Weiterentwicklung und Test der SWITCHER Chips,
2. Weiterentwicklung und Test der DCD Chips,
3. Prototyp Bumping & Flip-Chip Montage von SWITCHER Chips,
4. Test von Chips auf der Probe Station (Selektion funktionierender Chips)
5. Layout des Multi-Chip Moduls
6. Beiträge zur Slow-Control

etwas genauer dargestellt.

### 1. Weiterentwicklung und Test der SWITCHER Chips

Die in der vorangegangenen Projektphase entwickelten SWITCHER Chips wurden bereits erfolgreich zur Ansteuerung von DEPFET Matrizen genutzt. In der Förderperiode tauchte bei Belle II dann die Befürchtung auf, dass bei der regelmäßigen Befüllung des Beschleunigerrings kurzzeitig ein sehr hoher Untergrund an unerwünschten Spuren entstehen könnte. Durch die relativ lange Integrationszeit der DEPFET Sensoren würde dieser Untergrund jeweils das erste darauf folgende Spurbild ‚überbelichten‘ und so zu einer unangenehmen Ineffizienz führen. Der DEPFET Sensor bietet nun bei einer trickreichen Ansteuerung die Möglichkeit, im so genannten ‚Gated-Mode‘ für eine bestimmte Zeit für einfallende Teilchen unempfindlich gemacht zu werden. Bereits erfasste Teilchensignale bleiben während der ‚Gated‘ - Phase erhalten und können später ausgelesen werden.

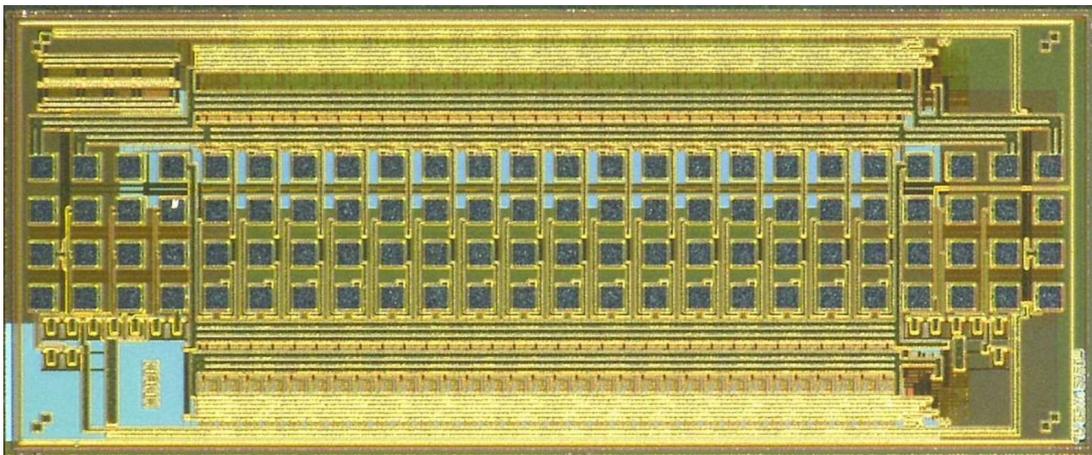


Abb. 1: Fotografie des SWITCHER Chips in 180nm Technologie. Im sehr unkonventionellen Layout befinden sich alle Anschluss pads in der Mitte, um die Verkabelung auf dem Sensormodul zu erleichtern.

Zum Betrieb der DEPFETs im ‚Gated-Mode‘ muss der SWITCHER die erforderlichen neuen Steuersequenzen erzeugen zu können. Daher musste das Design verändert werden. Der neue Chip (Abb. 1) wurde mit guten Ergebnissen getestet, sowohl als Einzelchip auf dem Spitzennessplatz oder auf Single-Chip-Leiterplatten als auch auf dem EMCM Modul und dem vollständigen DEPFET Pilot-Modul.

Im August 2015 wurde die während der Förderperiode erstellte Produktionsversion des SWITCHER als Multiprojekt-Wafer Run (MPW) submittiert. Der Chip hat im Vergleich zur vorherigen Version stärkere Clear- und Gate-Treiber, sowie getrennt programmierbare Abschlusswiderstände. Diese Änderungen wurden in Design-Reviews mit externen Gutachtern besprochen.

## 2. Weiterentwicklung und Test der DCD Chips

Zu Beginn der Förderperiode wurde der bereits vorhandene Chip DCDBv2 sorgfältig getestet. Der Chip funktionierte weitestgehend gut (Verstärker, ADC, automatische Offsetkorrektur), ein Problem war jedoch eine hohe Sensitivität mancher Kanäle auf die ADC Einstellungen (wenige Prozent der Kanäle zeigen eine erhöhte Nichtlinearität bei manchen ADC Einstellungen). Um durch dieses Problem keine Kanäle (ganze Sensorspalten) zu verlieren, wurden drei mögliche Lösungen evaluiert.

- Verwendung von zusätzlichen Kanälen, die defekte Kanäle ersetzen können. Diese Lösung wurde evaluiert und im Zwischenbericht 2012 beschrieben, aber bis jetzt nicht als Chip implementiert.
- Verwendung eines Pipeline-ADCs. Der bisherige ‚zyklische‘ ADC nutzt eine sehr schnelle Stromspeicherzelle, die in 100 ns acht Zyklen abarbeiten muss. Laut Simulation ist das Design schnell genug (10 ns / Zyklus), Messungen deuten aber darauf hin, dass manche Zellen durch Prozessschwankungen doch nicht schnell genug sind, und dadurch die beobachteten Nichtlinearitäten entstehen. Bei einem ‚Pipeline‘ ADC nutzt man mehr Zellen, die entsprechend langsamer arbeiten können (das müssen sie auch, um den Stromverbrauch nicht zu stark zu erhöhen). Ein solcher Pipeline ADC wurde implementiert indem die zusätzlichen Speicherzellen in die Kanäle eingebaut und ein neuer Digitalteil entworfen wurden. Der neue Chip DCdv4\_Pipeline wurde im Juni 2013 submittiert. Neben dem neuen ADC wurden auch einige weitere Schaltungen entworfen, z.B. temperaturstabile Stromgeneratoren, ein präziser Strom-ADC für die Kalibration, eine schaltbare Offset-Korrektur etc.. Parallel wurde eine DCD Variante mit einem leicht verbesserten zyklischen ADC (DCDBv4) submittiert um beide ADC Varianten vergleichen zu können.
- Verwendung des asynchronen ADCs. Dieses neuere ADC Konzept verspricht einen niedrigen Stromverbrauch bei guter Abtastrate. Es wurde daher ein asynchroner, auf sukzessiver Approximationen basierender ADC entworfen und auf einem Testchip submittiert. Der ADC funktioniert mit einer Abtastrate von 100 - 200ns, hat gute Linearität, niedriges Rauschen und einen viermal kleineren Stromverbrauch als der Pipeline ADC.

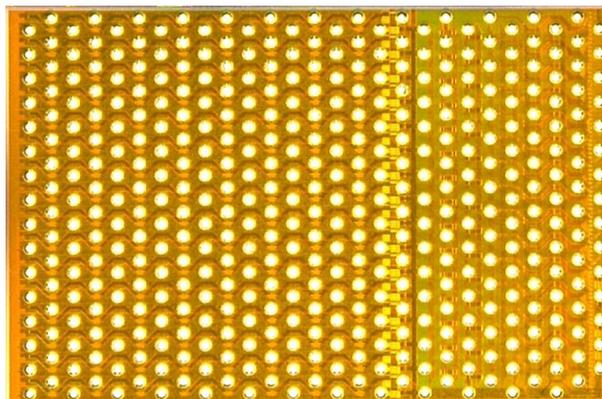


Abb. 2: Foto eines DCDB Chips. Der Chip ist auf der gesamten Fläche mit Bumps bedeckt, um 256 Kanäle an den Sensor anschließen zu können.

Die Charakterisierung des DCDBv4\_Pipeline Chips erfolgte zuerst auf der Probe Station, dann auf Single-Chip-Systemen mit dem DCdRO Chip in Heidelberg. Danach wurde der Chip auch auf Hybrid 5 Systemen mit dem DHPTv1 und auf elektrischen Multichip-Modulen (EMCM, Messung in Abb. 3) in Bonn und München getestet. Bestrahlungstests wurden durchgeführt. Schließlich kommt der Chip auch auf dem DEPFET Pilot-Run Modul zum Einsatz. Die Charakterisierungsphase dauerte, insbesondere wegen der Komplexität der Multi-Chip Module, länger als erwartet. Seit September 2015 stimmen die Messergebnisse von verschiedenen Systemen gut überein.

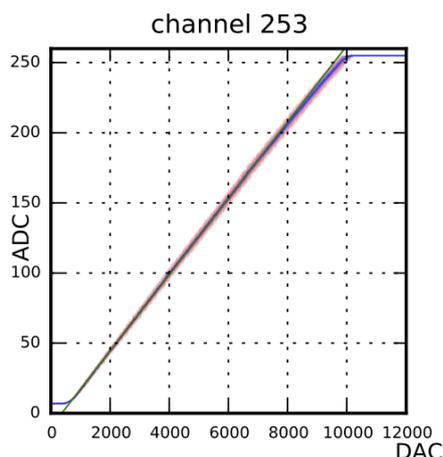


Abb. 3: Beispiel einer der 256 Kennlinien des ADCs auf dem DCD Chip. Geplottet ist das Konversionsergebnis (und die Streuung) als Funktion eines mit einem präzisen On-Chip DAC eingespeisten Stroms.

Im DCDBv4\_Pipeline Chip haben alle ADCs auf den getesteten Einzelchips eine integrale Nichtlinearität  $INL < 2.5$  LSB („Peak to Peak“) und ein Rauschen von  $45$  nA (Sigma), was bei einer Sensorverstärkung von  $g_q = 650$  pA/e einem Rauschen von nur  $60$  Elektronen entspräche. Auch dieser Chip zeigt aber leider noch immer gelegentlich unerwünschte Nichtlinearitäten. Diese konnten trotz ausführlicher Monte-Carlo Simulationen nicht quantitativ nachvollzogen werden, so dass der Verdacht nahe liegt, dass die Transistor-Modelle des Herstellers zu optimistisch sind (was wir auch in anderen Projekten beobachten). Die Nichtlinearitäten lassen sich in der Regel durch sorgfältige Konfigurierung der Biaseinstellungen eliminieren. Der Pipeline ADC verhält sich dabei besser und stabiler (im Sinne vom Rauschen, Linearität, maximale Taktrate) als der zyklische ADC. Nach sorgfältiger Analyse der Messdaten wurde abgeschätzt, dass die wenigen Nichtlinearitäten, die nicht korrigiert werden können, kein Problem im Experimentalbetrieb darstellen werden. Da der neue Chip ein niedrigeres Rauschen als seine Vorgänger (DCDBv2 bzw. DCDBv4) hat ( $\sim 45$  nA gegenüber  $\sim 65$  nA) hat sich die Kollaboration entschieden die Pipeline ADC Struktur (DCDBv4\_Pipeline) als Hauptoption zu wählen und die zyklische ADC Struktur (DCDBv4) nicht weiter zu verfolgen.

Ein verbleibendes Problem sind vereinzelte Bitfehler in der seriellen Übertragung der Daten von den DCDs zu den DHP Chips, insbesondere nach Bestrahlung. Der Grund ist eine höhere Leitungskapazität des Moduls als ursprünglich angenommen. Als vorläufige Lösung wurde im ASIC Review im August 2015 vorgeschlagen sowohl DCD Leitungstreiber als auch DHP Empfänger an die höhere Kapazität anzupassen. Die neuesten Messungen (Dezember 2015) mit DHPv2 Chip zeigen, dass alleine die Änderung am DHP Empfänger ausreichend ist um sichere Datenübertragung zu gewährleisten. In der Massenproduktion des DCDs in einem Engineering Run Ende 2015 werden, wie in den Design Reviews abgestimmt, noch einige kleinere Änderungen vorgenommen, z.B. ein optional um  $50\%$  höherer Biasstrom im DCD Digitaltreiber oder so genannte ‚Antenna-Dioden‘ und ‚Dummy Strukturen‘ im Layout des ADCs um den Mismatch weiter zu reduzieren. Wir sind sehr zuversichtlich, dass dieser Chip alle Anforderungen des PXD auch nach Bestrahlung erfüllen wird.

### 3. Prototyp Bumping & Flip-Chip Montage von SWITCHER Chips

Die SWITCHER Chips werden im Flip-Chip Verfahren auf die Sensormodule gelötet. Sie müssen daher auf ihrer Oberfläche Lötugeln erhalten. Da der Hersteller der SWITCHER Chips diesen Technologieschritt (noch) nicht anbietet, muss das Aufbringen nachträglich erfolgen. In Heidelberg stehen Geräte zur Verfügung, mit denen dies für kleine Stückzahlen (‚halb-manuell‘) möglich ist. Für erste Prototypen wurde daher eine kleinere Anzahl SWITCHER mit Gold-Stud-Balls versehen, diese wurden abgeflacht und anschließend mit einer ‚Solder-Ball-Placement‘ Maschine kleine Portionen Lötzinn aufgebracht. Abb. 4 zeigt eine Mikroskopaufnahme eines so gebumpten Chips sowie eine Seitenansicht der Balls, in der die zwei Lagen sichtbar sind. Derart vorbereitete Chips wurden für Chiptests auf geeignete Adapter montiert.

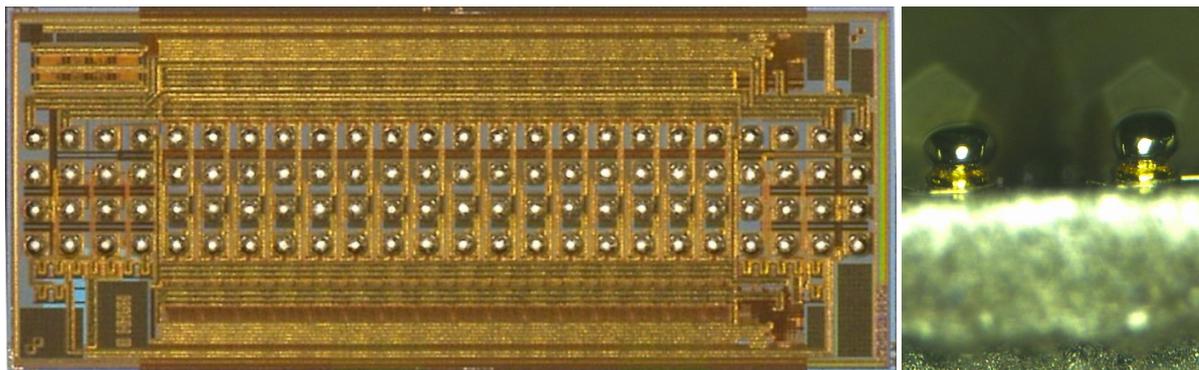


Abb. 4: SWITCHER Chip mit in Heidelberg aufgebrachtten Bumps (links). Zwei Bumps sind rechts von der Seite gezeigt. Eine Lötugel sitzt auf einem Gold-Stud.

#### 4. Test von Chips auf der Probe Station

Da auf einem Sensormodul (oder in der Entwurfs-Phase auf dem funktionalen ‚Electrical Multi Chip Module‘) sehr viele Chip montiert werden (s. Abb. 7), würde bereits ein geringer Anteil defekter Chips zu einer sehr geringen Ausbeute an ‚perfekten‘ Modulen führen. Es werden daher SWITCHER und DCDs benötigt, bei denen durch Tests auf einem Nadelmessplatz sichergestellt wurde, dass keine Fertigungsfehler vorliegen, also alle Kanäle einwandfrei funktionieren. Für diese ‚Know-Good-Die‘ (KGD) Messungen wurde eine Nadelkarte und zugehörige Auslese-Infrastruktur (Leiterplatten, Firmware, Software) erstellt. Da die Switcher Chips mit Flip-Chip Technologie auf die Module montiert werden, befinden sich auf ihrer Oberfläche Lötkekeln, die mit den Nadeln kontaktiert werden müssen. Dies ist eine große Herausforderung für die Kontaktierung, da die Nadeln die Zinn-Kugeln nicht beschädigen dürfen. Bei den Switcher Chips, die als Unterlage eine ‚harte‘ Gold-Kugel haben, gelang dies nach anfänglichen Vorarbeiten recht problemlos. Insgesamt wurden ca. 100 Chips einzeln getestet und an die Partner verschickt. Abb. 5 zeigt einen kontaktierten Switcher Chip auf dem Nadelmessplatz (hier ohne Kugeln).

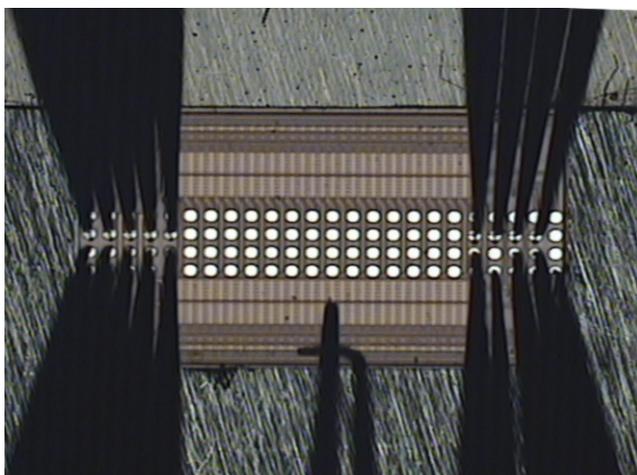


Abb. 5: Test eines SWITCHERs am Nadelmessplatz. Die Nadeln kontaktieren nur die benötigten Signal-Pads.

Die DCD Chips kommen bereits mit Lötkekeln aus der Fertigung. Es stellte sich heraus, dass das Kontaktieren des weichen Lots sehr problematisch ist. Auch nach Einsatz von Spezialnadeln für diesen Zweck waren die Messungen oft nicht reproduzierbar. Ein erschwerender Faktor ist der recht hohe Leistungsverbrauch des Chips, der zu einem Strom von  $\sim 0.1$  A pro Nadel führt so dass sich bereits kleine Widerstände stark als Spannungsabfälle bemerkbar machen. Eine weitere Komplikation ist die sehr hohe Zahl von 256 Kanälen in einem DCD, so dass sehr viele Nadeln gleichzeitig richtig positioniert sein müssen. Die Firm- und Software zur Datenerfassung musste verbessert werden um die vielen Messungen schnell auszuführen. Da für 256 Nadeln kein Platz ist, wurden zwei Nadelkarten entwickelt, die jeweils einen halben Chip testen (s. Abb. 6). Der Umbau von einer Karte zur anderen erfordert leider

jeweils aufwändige Justierarbeiten. Trotz großem zeitlichen Aufwand für die Verbesserung der Messprozedur ist der Zeitbedarf für das Testen eines Chip noch sehr hoch (z.T. mehrere Stunden). Insgesamt wurden über 60 DCDs getestet und an die Kollaboration weitergeleitet.

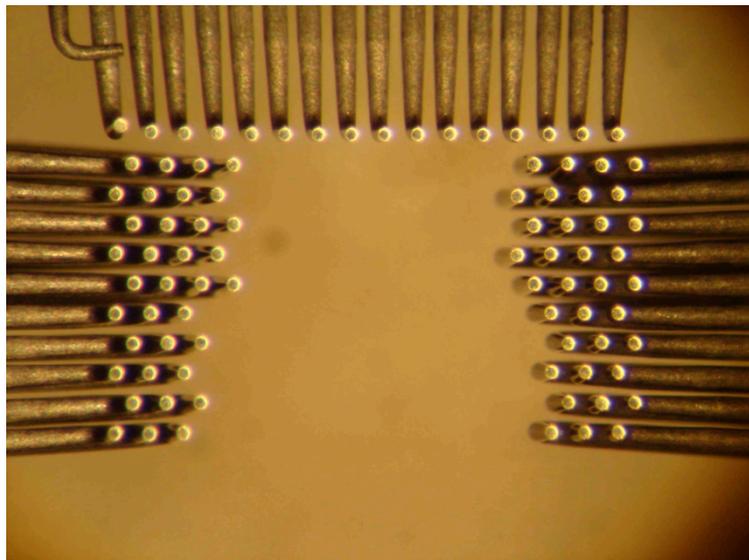


Abb. 6: Nadelkarte für DCD Tests (Ansicht von unten).

## 5. Layout des Multi-Chip Moduls

In Heidelberg wurden in der Vergangenheit bereits alle Layouts der Sensormodule oder der ‚Electrical Multi Chip Modules‘ (EMCM) außerhalb der eigentlichen Sensorfläche erstellt, also die komplette Spannungsversorgung und Verkabelung der Chips sowie des Anschlussfeldes zum Captonkabel. Auch das in Abb. 7 gezeigte endgültige Moduldesign für den ‚PXD9‘ Run wurde in Heidelberg erstellt. Die Herausforderung bestand dabei darin, alle Komponenten mit nur 3 Metalllagen zu verbinden und insbesondere die Versorgungsspannungen so ‚breit‘ wie möglich anzuschließen. Zur Verifikation der Geometrie wurden die Designregeln (minimale Abstände,...) der PXD9 Technologie in den ‚Design-Rule-Check‘ des Entwurfsprogramm integriert. Zum Test der Verbindungstopologie wurden Extraktionsregeln implementiert und so eine Netzliste generiert, die mit einem Schaltplan verglichen werden konnte.

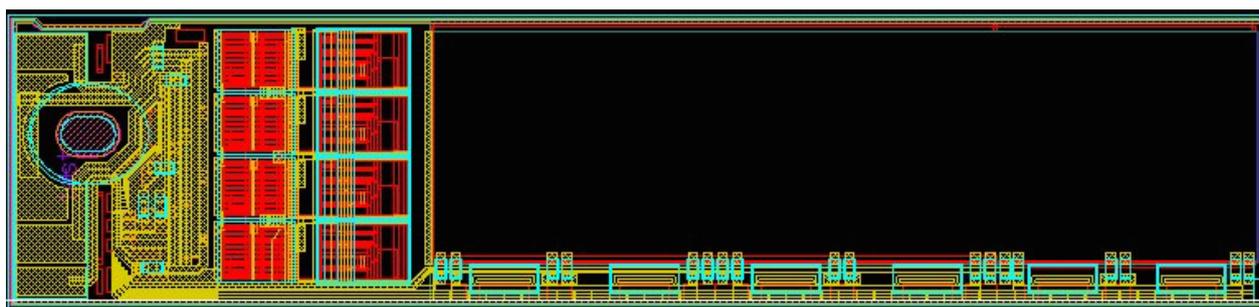


Abb. 7: Layout des PXD9 Sensormoduls. Das Layout der DEPFET Sensoren wird in die schwarze Fläche rechts oben eingesetzt. Sechs SWITCHER Chips befinden sich auf einem schmalen ‚Balkon‘ unten rechts. Je 4 DCD und DHP Chips sowie Anschlusspads für ein Captonkabel sitzen auf einer Verlängerung links.

## 6. Beiträge zur Slow-Control

Im Laufe der letzten Förderperiode wurde deutlich, dass für die Integration der von den verschiedenen beteiligten Gruppen entwickelten Bestandteile des PXD-Systems eine einheitliche Software-Plattform benötigt wird, welche die Konfiguration und die Überwachung des Gesamtsystems übernimmt. Diese ‚langsame‘ Kommunikation zwischen den vielen einzelnen Systemkomponenten wird üblicherweise als ‚Slow-Control‘ (SC) bezeichnet (im Gegensatz zur schnellen Datenerfassung ‚data acquisition‘, DAQ). Weitere typische Funktionen der SC sind die Aufzeichnung von (Umgebungs-) Messdaten sowie der jeweils aktuellen System-Konfiguration

zur späteren Analyse und die Benachrichtigung der Operatoren im Falle von Fehlerzuständen im System. Bei besonders schweren Störungen muss der Detektor automatisch in einen sicheren Zustand überführt werden (z.B. Abschalten der HV bei hohen Strömen im Sensor oder Ausfall der Kühlung – ‚Interlock‘). Zur Umsetzung dieser Funktionen müssen so unterschiedliche Systeme wie ASICs, Netzgeräte oder Kühlsysteme auf gleiche Weise erreichbar sein. Mit EPICS (Experimental Physics and Industrial Control System) existiert ein weltweit in vielen Hochenergiephysiklaboren und -experimenten (u.a. am KEK für SuperKEKB) eingesetztes, frei verfügbares Slow-Control System. Nach einer Evaluation der von EPICS zur Verfügung gestellten Funktionen wurde der Aufbau einer PXD-weiten EPICS-Infrastruktur beschlossen. Als Benutzeroberfläche wurde die Software ‚Control System Studio‘ (CSS) gewählt.

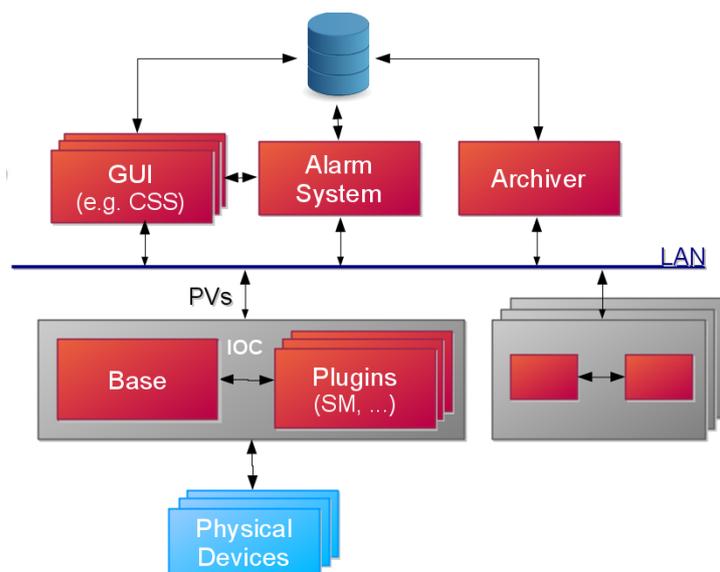


Abb. 8: Übersicht über die Komponenten des EPICS-basierten Slow-Control Systems. Der Zugriff auf die Hardware wird in I/O-Controllern (IOCs) abstrahiert, so dass für die verschiedenen Dienste (GUIs, Alarm-System,...) alle Daten in einheitlicher Form als Prozess-Variablen (PVs) zur Verfügung stehen.

Die grundlegende Struktur eines EPICS-basierten Slow-Control Systems ist in Abb. 8 dargestellt. Wichtigster Bestandteil ist das Slow-Control Netzwerk („LAN“), über das alle Komponenten des Systems miteinander kommunizieren. Informationen über den aktuellen Zustand des Systems werden in Form von Prozess-Variablen (PV) ausgetauscht. Um ein neues Gerät in das Slow-Control System zu integrieren, muss ein sogenannter I/O-Controller (IOC) geschrieben werden, der die Hardware anspricht und den aktuellen Zustand als PVs zur Verfügung stellt, bzw. als PVs empfangene Befehle in der Hardware umsetzt. Da die Hardware des PXD in weiten Teilen innerhalb der Kollaboration selbst entwickelt wurde, existierten in den meisten Fällen noch keine entsprechenden IOCs.

Für die Slow-Control wird eine grafische Oberfläche (Graphical User Interface, GUI) entwickelt, die sowohl im Kontrollraum für den regulären Shift-Betrieb, als auch auf den Laptops von Experten zur Verfügung stehen wird. CSS ist eine auf Java und Eclipse aufbauende GUI für Slow-Control Systeme und wurde auf Grund des großen Funktionsumfangs als GUI für die PXD Slow-Control ausgewählt.

Im Folgenden sind die in verschiedenen Bereichen der Slow-Control von Heidelberg geleisteten Beiträge zusammengestellt.

#### SC Koordination:

- Die Slow-Control Aktivitäten werden von Heidelberg koordiniert.
- Um die Wiederverwertbarkeit der Ergebnisse zu gewährleisten, wurde ein Referenzsystem definiert, auf dem alle SC Software lauffähig sein muss. Um die Installation eines EPICS-Systems auf dieser Plattform zu vereinfachen, wird in Heidelberg ein RPM-Repository mit vorcompilierten Paketen des EPICS-Frameworks und der PXD-Erweiterungen gepflegt.

- Ebenso wird für CSS ein Repository mit vorcompilierten Paketen in Heidelberg gepflegt.
- Um die Entwicklung der Software zu erleichtern, werden in Heidelberg die zentralen Dienste eines EPICS-Systems in einer Testsystem-Hardware zur Verfügung gestellt. Dieser Server ist für alle Entwickler zugänglich. Alle binär verteilten Pakete für EPICS und CSS sind vorkonfiguriert, um dieses System zu nutzen.
- Zur Koordination der Softwareentwicklung, die in vielen Fällen direkt von den Entwicklern der entsprechenden Hardware durchgeführt wird, wurde ein zentrales redmine-Projekt und SVN-Repository eingerichtet, zu dem alle Entwickler Zugang haben. Aus dem Code im SVN wird in Heidelberg automatisch ein RPM-Paket erzeugt sobald ein neuer Meilenstein erreicht ist.
- Um eine möglichst systemweit einheitliche Namensgebung der PVs zu erreichen, wurde ein Dokument ‚PV Naming Conventions for Belle II PXD‘ entworfen und in Abstimmung mit den restlichen Entwicklern für verbindlich erklärt. Dieses Dokument wurde inzwischen auch von der SVD-Gruppe übernommen.

#### **Zusammenarbeit mit anderen Gruppen und verwandten Projekten:**

- Im Bereich der Slow-Control existiert eine enge Zusammenarbeit mit der SVD-Gruppe, die ebenfalls EPICS/CSS verwendet. Außerdem werden das IBelle CO<sub>2</sub>-Kühlsystem und einige Umweltsensoren von PXD und SVD gemeinsam verwendet. Neben regelmäßigen gemeinsamen Telefonkonferenzen der PXD- und SVD-Entwickler wurde im Mai 2014 ein Treffen in Wien organisiert. Die Entwickler der SVD Slow-Control verwenden ebenfalls die in Heidelberg bereitgestellten Binärpakete für CSS und EPICS.
- Der BEAST-Detektor, der während der ersten Phase des SuperKEKB-Betriebs die Strahlbedingungen testen soll, wird auf Empfehlung der PXD-Gruppe ebenfalls mit einem EPICS/CSS-System gesteuert. Der Heidelberger Koordinator besuchte im Sommer 2014 den BEAST-Workshop in Honolulu, um der BEAST-Gruppe eine Einführung in die Entwicklung mit EPICS zu geben und beteiligt sich regelmäßig an der Entwicklung konkreter EPICS-Schnittstellen für BEAST-Systeme, zuletzt auch im Rahmen eines weiteren zweiwöchigen Aufenthalts in Honolulu im Juni 2015.
- Auf dem Belle II General Meeting im Juni 2014 wurde beschlossen, CSS als einheitliche GUI für die *gesamte* Slow-Control von Belle II zu verwenden. Für das KEK-eigene Kommunikationsprotokoll NSM2 wurde dafür bei einem Besuch im September 2014 am KEK in Japan das entsprechende Interface geschrieben. Bei diesem Besuch wurde ebenfalls die Kommunikation mit SuperKEKB auf EPICS-Ebene erfolgreich getestet. Dabei wird ein Gateway-System verwendet, das beide Systeme auf Lesezugriffe auf ausgewählte PVs des jeweils anderen Systems begrenzt, um Störungen durch unbeabsichtigte Schreibzugriffe auszuschließen.

#### **Treiber Entwicklungen:**

- Zur Ansteuerung und Überwachung der  $\mu$ TCA-Crates, die ONSEN, DATCON und DHH aufnehmen, wurde ein IOC geschrieben, der mittels des in den Crates und vielen Servern verwendeten IPMI-Protokolls aktuelle Informationen zum Zustand der Hardware (Temperaturen, Lüfterdrehzahlen, ...) ermittelt und über EPICS zur Verfügung stellt, und der Aktionen in den Crates – z.B. Hardware-Resets – auslösen kann. Hierfür wurde die freie Software ipmitool als Grundlage genommen und um das EPICS-Interface erweitert. Augenmerk wurde insbesondere auf eine gründliche Initialisierungsroutine gelegt, um alle per IPMI verfügbaren Sensoren der Crates zu entdecken.
- Ein IOC zur Auslese der Fasersensoren (fibre-optical sensors, FOS) wurde entwickelt. Das auf der TCP-Netzwerkverbindung gesprochene herstellereigene Protokoll wurde analysiert und von Grund auf neu implementiert.
- Eine in C++ geschriebene Logfile-Klasse wurde in Heidelberg entwickelt. Sie erlaubt es, Statusmeldungen aller IOCs mit den entsprechenden Meldungen der CSS-Programme zusammenzuführen. Eine erste Version ist für alle Entwickler verfügbar.

- Die Ansteuerung der Hardware des Kühlsystems erfolgt durch einen PLC (Programmable Logic Controller). Die Software zur Kommunikation mit dem PLC nutzt das CERN-eigene Entwicklungssystem UNICOS für WinCC OA (eine kommerzielle Alternative zu EPICS/CSS). Zur Integration in die PXD-Umgebung wurde beschlossen, UNICOS zu erweitern, um die zum Betrieb des PLC mit EPICS und CSS benötigten Konfigurationsdateien zu erzeugen. In Zusammenarbeit mit DESY und TUM wurden in Heidelberg die entsprechenden Anpassungen an UNICOS und Erweiterungen für CSS entwickelt und in einer ersten Version mit einem einfachen Testsystem am CERN erfolgreich getestet.
- Eng mit der Slow-Control verwandt ist das Gebiet der Run-Control (RC), die sich auf höherer Ebene um die Konfiguration des Gesamtsystems kümmert. Von KEK-Seite wird für Belle II ein RC-Interface auf Grundlage des KEK-eigenen NSM2-Protokolls entwickelt. Für den PXD wird in Heidelberg ein IOC zur Umsetzung von NSM2 nach EPICS entwickelt. Neben der Steuerung durch die Belle II-weite RC wird ein PXD-lokaler Modus unterstützt. Ein erster erfolgreicher Test mit einer früher Version des Belle II RC Interfaces erfolgte im Rahmen des Testbeams am DESY.

### GUI Entwicklung:

- In einigen Bereichen müssen noch PXD-spezifische Anpassungen und Erweiterungen vorgenommen werden. Insbesondere zur Implementierung der Slow-Control für IBelle musste CSS erweitert werden (in Java), um die Umstellung von WinCC OA, wie während der Entwicklung am CERN genutzt, zu EPICS zu ermöglichen.
- Im April 2015 wurde bei einem zweitägigen Treffen der PXD-Entwickler in München ein Leitfaden zur Entwicklung und Gestaltung der grafischen Oberfläche für die PXD Slow-Control entworfen

### Alarm- und Interlock-System:

Zur Implementierung des Alarmsystems wird das CSS-Paket „AlarmServer“ verwendet. Auf GUI-Seite werden die in CSS integrierten Anzeigemöglichkeiten genutzt. Um aussagekräftige und für den Operator verständliche Alarmmeldungen zu erhalten, ist es meistens es nicht ausreichend, auf einzelne Variablen zu schauen („Spannung zu niedrig“). Stattdessen müssen oft komplexere Bedingungen („Spannung zu niedrig UND nicht in Strombegrenzung“) ausgewertet werden, um möglichst wenige Alarmmeldungen zu generieren, die auf das eigentliche Problem hinweisen.

- Eine erste Implementierung eines Regelsatzes für das Netzteilssystem wurde entwickelt und der TUM für die Integration in das System zur Verfügung gestellt.

Das Interlock-System setzt sich aus zwei Komponenten zusammen: Der Hardware-Interlock, erkennt (meistens durch fehlerhafte Hardware entstandene) gefährliche Zustände im System und ergreift automatisch Gegenmaßnahmen (z.B. Abschalten der HV), um den Detektor zu schützen.

- Das Design des PXD Hardware-Interlock-Systems mit Bestandteilen in den Netzgeräten, dem Kühlsystem, und Softwarekomponenten wurde in einer Belle II-Note dokumentiert.

Der Software-Interlock überprüft Eingaben der Benutzer, bevor sie an die Hardware geschickt werden auf offensichtliche Bedienfehler und verwirft solche.

- Eine Implementierung für die Netzgeräte, die die PXD-spezifischen Sicherheitskriterien (z.B. Abhängigkeiten zwischen verschiedenen Spannungen) abbildet, wurde in Heidelberg entwickelt und ebenfalls den Entwicklern der TUM zur Verfügung gestellt.

Beim PXD+SVD-Teststrahl am DESY wurden bereits erste Systeme (FOS, DHH) problemlos unter EPICS betrieben. Der Archiv-Dienst, der den zeitlichen Verlauf von EPICS-Daten in einer Datenbank verwaltet und grafisch aufbereiten kann, wurde insbesondere zusammen mit der ebenfalls am DESY installierten Weboberfläche allgemein als sehr nützlich angesehen.

## Publikationen

Die Heidelberger Beiträge zu PXD bestanden in Detailverbesserungen und Optimierungen der Chips, in technologischen Hilfestellungen für das Projekt (Bumping, Modul-Layouts), sowie in der Entwicklung weitgehend projektspezifischer Software. Die Fortschritte wurden auf PXD und Belle II Treffen vorgestellt, eigneten sich aber (noch) kaum für Veröffentlichungen in wissenschaftlichen Zeitschriften. Natürlich haben auch die Heidelberger Beiträge das Projekt als Ganzes weitergebracht, wie aus den Veröffentlichungen der DEPFET Kollaboration sichtbar wird, z.B.:

- C. Marinas for the DEPFET Collaboration: *The Belle II DEPFET Vertex Detector: Current Status and Future Plans*, JINST 7 (2012) C02029 (DOI:10.1088/1748-0221/7/02/C02029)
- C. Kreidl (Uni Heidelberg) for the DEPFET and SVD Collaborations: *The Belle Tracker Upgrade*, Vertex 2012 (2013) 034
- C. Marinas for the DEPFET Collaboration: *DEPFET pixel detectors for future electron-positron experiments*, EPS-HEP2013 (2013) 505
- C. Marinas for the DEPFET Collaboration: *The Belle II pixel detector: High precision with low material*, Nucl.Instrum.Meth. A731 (2013) 31-35 (DOI: 10.1016/j.nima.2013.03.025)
- O. Alonso for the DEPFET Collaboration: *DEPFET active pixel detectors for a future linear e+e- collider*, arXiv:1212.2160 (DOI: 10.1109/TNS.2013.2245680)
- C. Marinas for the DEPFET Collaboration: *DEPFET detectors for future electron-positron colliders*, JINST 10 (2015) 11, C11002 (DOI: 10.1088/1748-0221/10/11/C11002)
- P. Avella for the DEPFET Collaboration: *Production quality characterisation techniques of sensors and prototypes for the BELLE II Pixel Detector*, JINST 10 (2015) 01, C01049 (DOI: 10.1088/1748-0221/10/01/C01049)

Publikationen zum abschließenden Stand der Chipentwicklungen (DCD, SWITCHER) sind nach erfolgreicher Serienproduktion geplant.

Die Softwareentwicklungen wurden auf Workshops präsentiert oder in Belle II Notes, z.B.

- M. Ritzert, I. Perić, P. Fischer, S. Rummel, C. Marinas, C. Kiesling: *Hardware protection systems in the PXD detector*, Belle II Note <https://belle2.cc.kek.jp/~twiki/pub/Archive/Belle2note0023/PXD-Interlocks.pdf>, 2013.

Zwei Präsentationen der Softwareentwicklungen auf der ICALEPCS Konferenz (International Conference on Accelerator & Large Experimental Physics Control Systems)

- M. Ritzert for the DEPFET Collaboration: *Status of the EPICS-Based Control and Interlock System of the Belle II PXD*
- M. Ritzert for the DEPFET Collaboration: *Interfacing EPICS to the Widespread Platform Management Interface IPMI*

wurden als Veröffentlichung akzeptiert und erscheinen bald via [www.jacow.org](http://www.jacow.org).

|                              |  |
|------------------------------|--|
| <b>Verbund:</b>              | BELLE II   |
| <b>Beteiligte Institute:</b> | Bonn, DESY, Gießen, Göttingen, Hamburg, Heidelberg, HLL, Karlsruhe, Mainz, LMU, MPP, TUM |
| <b>Projektleiter:</b>        | Prof. Dr. C. Kiesling (MPP)  |
| <b>Verbundkoordinator:</b>   | Prof. Dr. J. Dingfelder (U Bonn)   |
| <b>Bewilligungszeitraum:</b> | 01.07.2012 bis 30.06.2015  |

## **Abschlussbericht Belle II, Förderperiode 2012-2015**

### **Allgemeiner Teil**

#### **Vorbemerkung**

In diesem Abschlussbericht wird der Stand der Entwicklungen des Pixel-Vertex-Detektors (PXD) für das Belle II Experiment am zukünftigen SuperKEKB-Collider beim KEK in Tsukuba, Japan, und weiterer Aktivitäten im Zusammenhang mit dem Belle/Belle II Experiment zum Ende der Förderperiode 2012-2015 dargestellt. Die vorangegangenen Zwischenberichte dokumentierten die jeweiligen Fortschritte während der Förderperiode.

Der PXD, der auf einem neuartigen und weltweit einzigartigen Prinzip („DEPFET“-Pixel) basiert, wird von der DEPFET-Kollaboration entwickelt und gebaut. Eine detaillierte Beschreibung des DEPFET-Sensors wurde in früheren Berichten an das BMBF gegeben, worin auch auf die physikalische Motivation für das Belle II Experiment und auf das Potenzial des PXD-Detektors bei Belle II eingegangen wurde. Weitere Schwerpunkte der Kollaboration sind Softwareentwicklungen zu verschiedenen Aspekten der Rahmen-Software (Simulation, Rekonstruktion), in der jüngeren Zeit insbesondere die Detektorkontrolle („Slow Control“) und Analysewerkzeuge (Flavorbestimmung und Vertexrekonstruktion) für das Belle II Experiment. Analysen zur B-Physik werden weiterhin zur Vorbereitung auf Belle II mit den Daten des Vorläuferexperiments Belle durchgeführt.

Die DEPFET-Kollaboration besteht weitgehend aus deutschen Gruppen, nämlich den Universitäten Bonn, Gießen, Göttingen, Hamburg, Heidelberg, Karlsruhe (KIT), weiterhin LMU, TUM und MPI für Physik in München, sowie DESY (Hamburg). Im Oktober 2014 wurde auch die Universität Mainz in die DEPFET-Kollaboration aufgenommen. Als ausländische Gruppen beteiligen sich die Karls-Universität Prag, PAN Krakau, die spanischen Institute IFIC Valencia, die Universitäten Barcelona und Santander, IHEP Beijing. Im Frühjahr 2014 wurde auch die Universität von Tabuk (Saudi-Arabien) und Ende 2014 die Gruppe KEK-PF (Tsukuba, Japan) in die DEPFET-Kollaboration aufgenommen.

#### **Allgemeine Planung für SuperKEKB, Belle II und den PXD**

SuperKEKB ist, wie schon KEKB, ein Doppelspeicherring für Elektronen und Positronen unterschiedlicher Energie („Asymmetric B-Factory“). Der Niederenergie-Ring (LER, Positronen) erhält neben dem neuen Vakuumsystem einen Dämpfungsring, der Hochenergie-Ring (HER, Elektronen) ein neues „low emittance“ Injektionssystem. Der Umbau begann schon im Jahre 2011, die neue Strahlröhre für den Positronring und das Magnetführungssystem für beide Ringe wurden im Sommer 2015 fertiggestellt. Die Vorarbeiten für den Dämpfungsring sind

---

weitgehend abgeschlossen. Auch der neue Elektron-Injektor und das Strahltransportsystem für die Positronen zum und vom Dämpfungsring wurden fertiggestellt. Leichte Verzögerungen gibt es für die Final-Focus-Quadrupole zu geben, aber der Zeitplan für die Inbetriebnahme des Beschleunigers, wie er im letzten Zwischenbericht gezeigt wurde (siehe auch Abb. 1) scheint nicht in Gefahr.

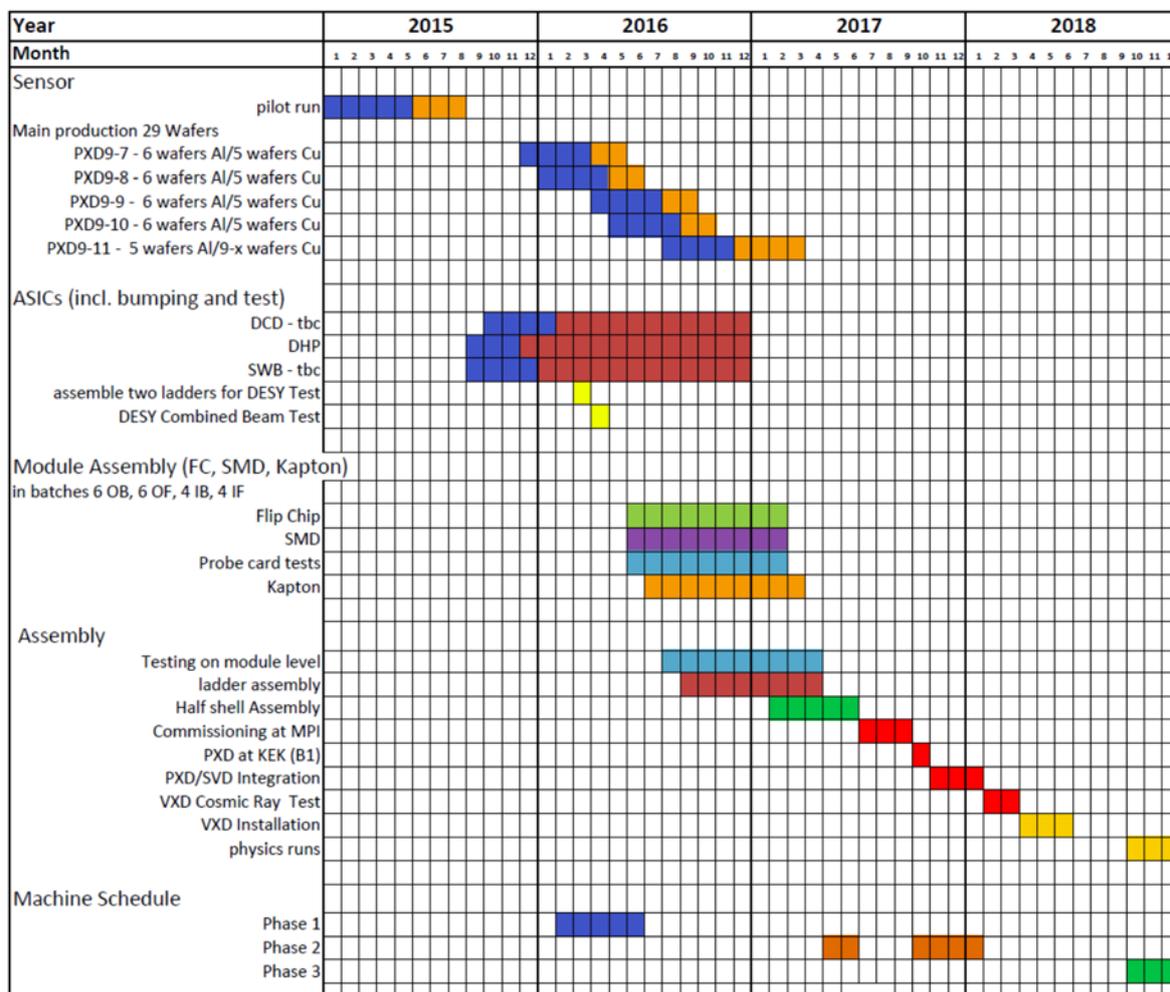


Abb. 1: Zeitplan für die Fertigstellung des PXD, zusammen mit dem Zeitplan für die drei Phasen des SuperKEKB-Projekts (unten).

Die Inbetriebnahme („Commissioning“) der Maschine gliedert sich in drei Phasen: Während der Phase 1 werden die neuen Strahlröhren „ausgebacken“ und erste Strahl-Orbit-Studien betrieben, Belle II steht zu dieser Zeit in der Parkposition. Um die Strahlröhre am Wechselwirkungspunkt wird ein einfacher Detektor („BEAST 1“) installiert, der im Wesentlichen den Teilchenuntergrund in Abhängigkeit der Strahlkollimatoren entlang der Ringe studieren soll. In Phase 2 wird der Belle II Detektor ohne den VXD (=PXD + der vierlagige Silizium-Streifen-Detektor SVD) auf die Strahlposition geschoben und die Quadrupole für den „Final Focus“ werden installiert. Zur Messung des Untergrundes und der ersten Teilchenkollisionen wird ein spezieller Detektor („BEAST 2“, siehe weiter unten) eingebaut. Die Phase 2 ist dann beendet, wenn eine Luminosität von  $1 \times 10^{34} / [\text{cm}^2 \text{s}]$  erreicht ist und der Maschinenuntergrund für den VXD tolerabel ist. Sind diese beiden Bedingungen erfüllt, wird der BEAST 2 durch den VXD

ersetzt und die Phase 3 (Physik-Datennahme) gestartet. Während der Phase 3 soll die Luminosität dann Zug um Zug innerhalb weniger Jahre um einen Faktor 80 auf den Designwert von  $80 \times 10^{34} / [\text{cm}^2 \text{ s}]$  gesteigert werden.

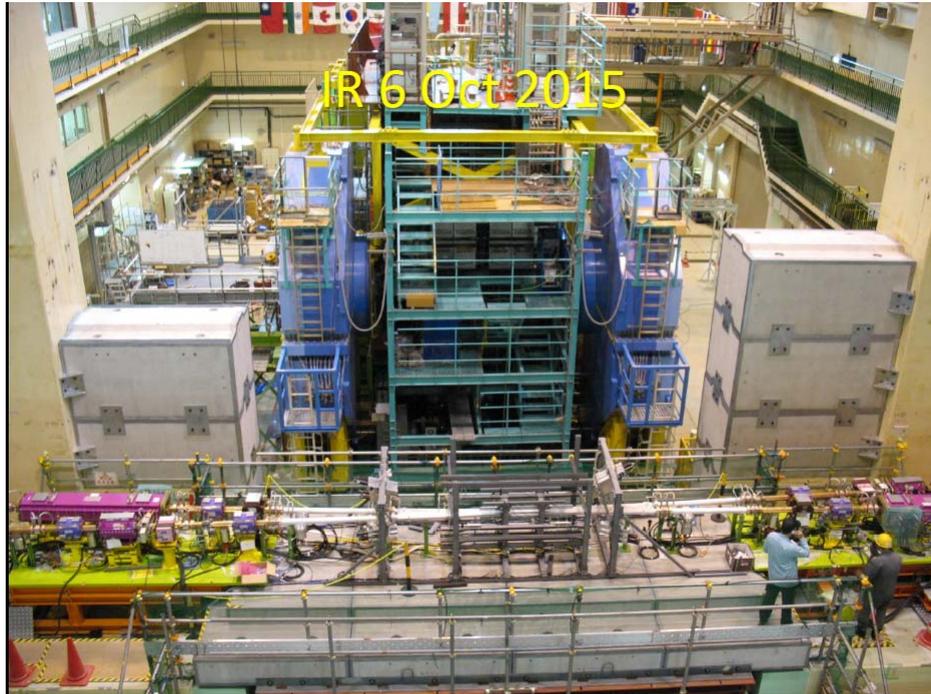


Abb. 2: Blick in die Tsukuba-Halle und auf die Wechselwirkungszone, in der die Elektron- (von rechts) und Positronstrahlen (von links) kollidieren. Für die Phase 1 befindet sich der Belle-Detektor (im Hintergrund) in der Parkposition (siehe Text).

Der Zeitplan sieht den Start der Phase 1 im Februar 2016 vor (siehe unterer Teil in Abb. 1). Der Belle II Detektor befindet sich während der Phase 1 in der Parkposition, die neuen Subdetektoren (TOP, ARICH, CDC) werden in dieser Position bis zum Sommer 2016 schrittweise in den Belle II Detektor integriert. Das QCS-System (fokussierende, supraleitende Quadrupole in der Nähe des Kollisionspunktes, sie befinden sich momentan in der Produktionsphase) wird während der Phase 1 nicht auf Strahlposition stehen, so dass keine Luminosität produziert wird. In Abb. 2 ist die Wechselwirkungszone mit einer speziellen Strahlröhre und die dort installierten Zähler für die Phase 1 zu sehen.

Die Pläne zur Inbetriebnahme von SuperKEKB und Belle II sind, wie sie in Abb. 1 unten dargestellt, weitgehend konsolidiert, das KEK Management konnte das „Conceivable Budget“ für 2015 (siehe letzter Zwischenbericht) auch tatsächlich einwerben. Der neue Zeitplan gestattet es, das neue Time-of-Propagation-System (TOP: Zähler zur Teilchen-Identifikation) fertig zu stellen, danach wird die neue Driftkammer in den Belle II Detektor eingebaut. Dieses Szenario ist auch für die PXD-Kollaboration sehr vorteilhaft, weil der Zeitpunkt der VXD Installation in Belle II in das Frühjahr 2018 verschoben wird (siehe Abb. 1) und dadurch eine längere Commissioning-Phase noch in Deutschland (voraussichtlich am MPP) möglich wird. Es sei allerdings erwähnt, dass nach dem neuen Zeitplan zwar eine Verzögerung von ursprünglich 1.5 Jahren für die Maschine eingetreten ist, die Phase 3 aber mit dem vollen Belle II Detektor (einschließlich VXD) mit einer Verspätung von nur 9 Monaten beginnt.

Für die Phase 1 ist eine spezielle Detektoranordnung („BEAST 1“) geplant, mit der die Untergrundverhältnisse studiert werden. An diesem System sind die PXD-Gruppen nur insoweit beteiligt, als ein Interlocksystem (zusammen mit dem SVD-Team) getestet werden soll. Allerdings konnte zur Charakterisierung des Strahluntergrundes die ILC-Gruppe am MPP gewonnen werden, die im Wechselwirkungsbereich schnelle Szintillatoren mit SiPM-Auslese installiert hat. Die Zähler haben eine Zeitauflösung von besser als eine Nanosekunde und können daher vor allem den zusätzlichen Untergrund und dessen Abklingzeit untersuchen, der bei dem kontinuierlichen Injektionsschema der Maschine auftritt. Dessen genaue Kenntnis für den Betrieb des PXD im „Gated Mode“ (siehe letzter Zwischenbericht) von großer Bedeutung ist.

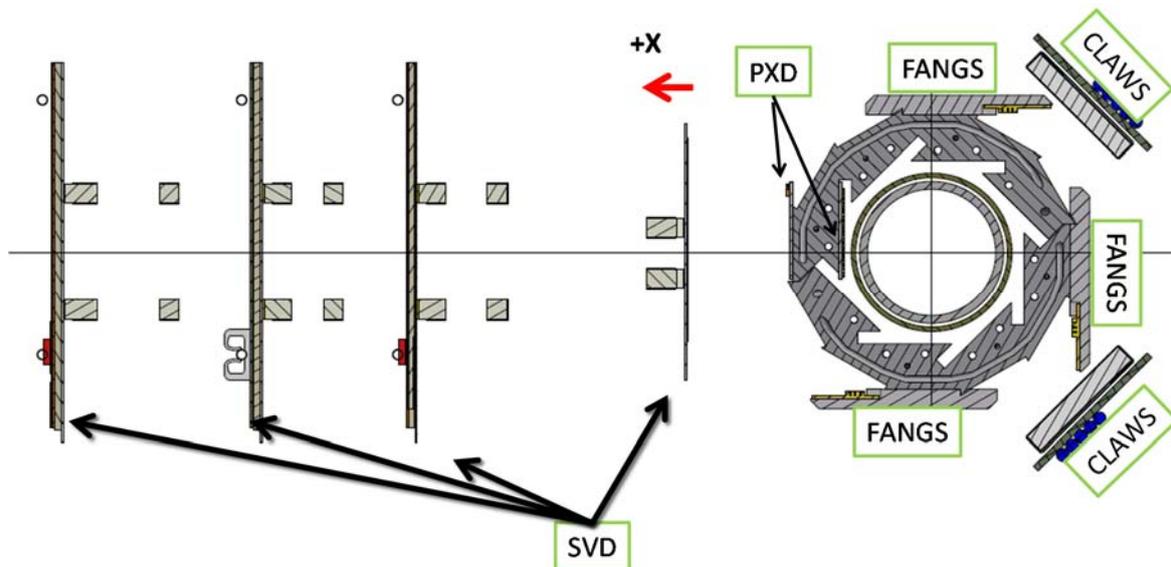


Abb. 3: Anordnung der Sensoren für den „Commissioning“ Detektor („BEAST“) in Phase 2: Zwei Lagen des PXD werden in der Beschleunigerebene zusammen mit 4 Lagen des SVD installiert (siehe Pfeile). Dazu kommen drei Pixel-Ladder mit ATLAS-IBL-Sensoren („FANGS“), komplementiert mit zwei Ladders aus Plastikszintillatoren mit SiPM-Auslese. FANGS und CLAWS decken den Polarwinkelbereich fast vollständig ab.

Für die Phase 2 bereiten die PXD-Gruppen gemeinsam mit dem SVD-Team Sensoren und Strahlungsmonitore vor. Geplant ist ein kompletter Sektor aus 2 PXD-Modulen und 4 SVD-Ladders einschließlich CO<sub>2</sub>-Kühlung und Auslese, ähnlich dem im letzten Berichtsjahr durchgeführten Strahltest am DESY (siehe Abb. 3, „PXD und „SVD“). Diese Anordnung wird zuvor (April 2016) in einem Elektronenstrahl bei DESY getestet werden. Dieser „VXD“-Sektor deckt aber nur einen kleinen Teil des Raumwinkels in der Beschleunigerebene ab und ist überdies der Gefahr ausgesetzt, durch ungewollte hohe Strahlungsdosen bei der Maschinenoptimierung zerstört zu werden.

In Abb. 3 ist die Anordnung der geplanten Sensoren für die Phase 2 gezeigt: Um eine möglichst vollständige Abdeckung des Raumwinkels um die Wechselwirkungszone zu erreichen und somit eine gute Diagnostik des Untergrundes liefern zu können, werden strahlenharte Pixel-Sensoren aus der ATLAS Produktion („FANGS“) verwendet und zusätzlich schnelle Szintillatoren mit SiPM-Auslese („CLAWS“), wie sie schon in der Phase 1 zum Einsatz kamen, installiert. Planung und Bau der beiden Komponenten durch die Uni Bonn („FANGS“) und dem MPP („CLAWS“) sind im Gange. Eventuell werden zwei weitere Pixellagen einer französischen Gruppe hinter den CLAWS-Zählern installiert, die dann zusätzlich verbesserte Ortsauflösung

im Bereich von CLAWS beitragen können. Ziel der Zähler-Anordnung ist, die Untergrundoptimierung durch die Maschine im Detail zu unterstützen und somit die Bedingungen für den Start der Physik-Runs mit dem VXD festzulegen. Phase 2 wird dann beendet, wenn eine Anfangsluminosität von  $1 \times 10^{34} / \text{cm}^2 \text{ s}$  erreicht wird und der Untergrund für den Vertexdetektor tolerierbar ist.

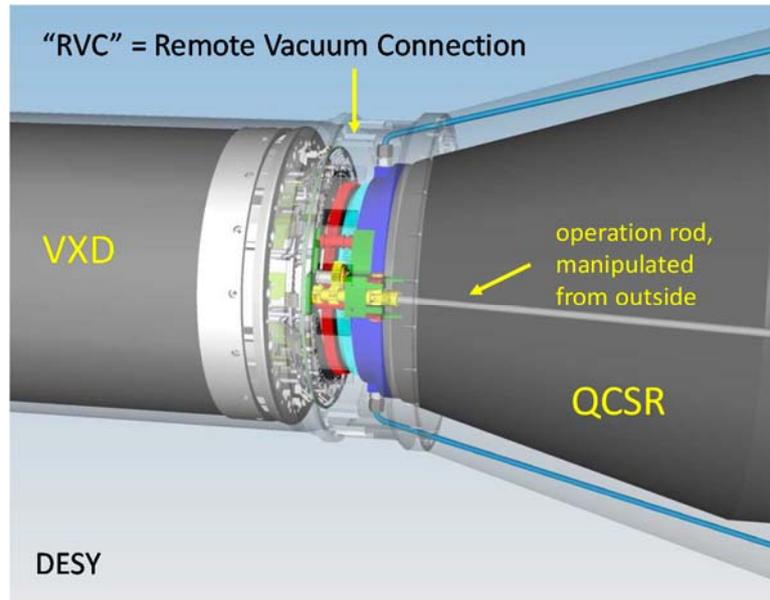


Abb. 4: Konstruktionszeichnung der fernbedienbaren Vakuumverbindung (in rot) zwischen dem fokussierenden Quadrupol (QCS) und dem VXD. Gezeigt ist hier die Situation in der Vorwärtsrichtung. Auch im rückwärtigen Teil ist eine RVC vorgesehen.

Für die Installation des VXD (für die beiden Phasen 2 und 3) hat das MPI zusammen mit DESY eine alternative Methode („AIM“, siehe Abb. 4) zum Vorschlag der Maschine („Baseline“) vorgeschlagen (siehe letzter Zwischenbericht). Der große Vorteil von AIM ist die Entkopplung der Installation des VXD von der Installation und möglichen Deinstallation des QCS. Eine wichtige Entwicklung hierbei war eine fernbedienbare vakuumdichte Verbindung („Remote Vacuum Connection“, RVC) des Strahlrohrs mit dem QCS. Die RVC wurde von DESY vorgeschlagen und ist inzwischen erfolgreich auch am KEK erprobt worden. Der am MPI mit Hilfe von DESY und der Uni Hamburg gebaute Mockup wurde am KEK erfolgreich demonstriert. Am AIM Mockup konnte vor allem auch die Deinstallation des VXD verifiziert werden für den (unwahrscheinlichen) Fall eines Versagens der RVC. Wegen des Vorteils der Entkoppelung von Maschine und Detektor, die durch AIM im Gegensatz zur Baseline-Installation möglich wird, wurde eine Entscheidung zugunsten von AIM getroffen. Zum gegenwärtigen Zeitpunkt wird am MPI und bei DESY am endgültigen Design von AIM und RVC gearbeitet. Der erste Einsatz der Installationsmethode ist in der Phase 2 mit dem BEAST Detektor vorgesehen.

Ein wichtiger Meilenstein für das PXD-Projekt war im Januar 2014 der erfolgreiche Systemtest (Sensoren, Elektronik, CO<sub>2</sub> Kühlung, DAQ, Slow Control) der kompletten Datenkette für den PXD und den SVD im DESY Elektronenstrahl. Hierbei wurde auch die vollständige Datennahme-Software inklusive High-Level-Trigger von den japanischen Kollegen erfolgreich in Betrieb genommen (siehe auch „Meilensteine“ weiter unten). Details hierzu wurden schon im Vorjahresbericht angegeben und sollen hier nicht wiederholt werden.

## Übersicht über die Baugruppen des PXD-Projekts

Wie schon in früheren Berichten dargelegt, gliedert sich das PXD-Projekt in eine Reihe von funktionalen Einheiten (siehe Abb. 5), auf deren detaillierte Beschreibung hier verzichtet wird. Es seien nur kurz die deutschen Verantwortlichkeiten für die einzelnen Komponenten aufgelistet:

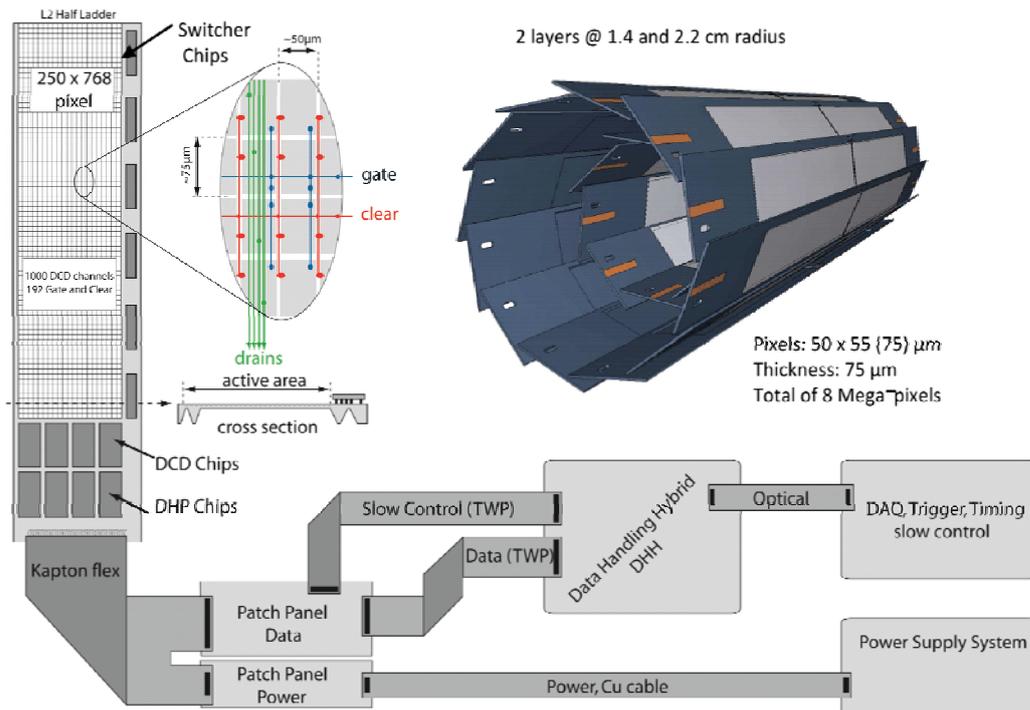


Abb. 5: Schematische Darstellung funktionalen Einheiten des PXD-Projekts (siehe Text)

**DEPFET-Sensoren:** Die Herstellung der Pixelsensoren, die mechanische Konstruktion und Fertigung des PXD einschließlich der Aufhängung auf der Strahlröhre liegt in der Verantwortung des MPI für Physik.

**ASIC Chips:** Der **Switcher** und der **DCD** („drain current digitizer“) werden von der Universität Heidelberg entwickelt. Seit Oktober 2014 wurde mit der Berufung von Prof. Ivan Peric (Heidelberg) an die Universität Karlsruhe der ASIC-Design und die Produktion dieser Chips an die Universität Karlsruhe verlagert. Der **DHP** („data handling processor“) wird von der Universität Bonn entwickelt.

**Kapton Flex Kabel** und **Patchpanels** werden von der LMU München, dem MPI und der Universität Bonn entwickelt.

**Data Handling Hybrid (DHH)-System** wird von der TU München entwickelt.

**PXD-DAQ-System** wird von der Universität Gießen (ATCA-Computenode) und von der Universität Bonn (DatCon) entwickelt.

**Spannungsversorgung** wird von der LMU München entwickelt.

**Mechanik** wird vom MPI für Physik und die **Kühlung** vom MPI und DESY (in Zusammenarbeit mit CERN und NIKHEF) entwickelt.

**Slow Control**-System wird von der TU München (Informatik), der Uni Heidelberg, LMU München und der Universität Mainz entwickelt.

### Erreichte Meilensteine in der PXD Entwicklung

Nach einer intensiven F&E-Phase in den vergangenen Jahren befindet sich die DEPFET-Kollaboration nun in einer Phase der Komponentenoptimierung und der eigentlichen Produktion des PXD für Belle II. Im Folgenden werden kurz die Fortschritte und erreichten Meilensteine zum Ende der Förderperiode dargestellt. Spezifische Details zu den Arbeiten in den beteiligten deutschen Gruppen finden sich in den jeweiligen Berichten der BMBF-Gruppen.

- DEPFET Sensoren

Die Produktion der DEPFET-Sensoren („PXD9“, Wafer-Level, ohne Metallisierung) ist abgeschlossen. Die geplante Anzahl von 30 Wafern (=180 Sensoren) konnte nach Wiederholung eines missglückten Batches erreicht werden. Die Messungen auf Wafer-Level haben gezeigt, dass die DEPFET-Produktion eine gute Ausbeute liefert. Die Sensoren wurden in 5 Klassen nach abfallender Qualität eingeteilt, wobei die ersten beiden Klassen (keine Fehler oder nur einzelne Pixelfehler) für die eigentlichen PXD-Module gedacht sind. Unter Berücksichtigung nur dieser Klassen wurde eine Ausbeute von besser als 60 % ermittelt.

Ein wichtiger Meilenstein wurde in Bezug auf die Metallisierung der PXD9 Sensoren erreicht. Die Metallisierung (Aufbringen von zwei Al-Strukturen übereinander, gefolgt von einer Cu-Lage) ist der letzte entscheidende Schritt zur kompletten Fabrikation der DEPFET Sensormatritzen. Die Metallisierung bestimmt entscheidend die Ausbeute der verwendbaren Sensoren. Hierfür wurde die wichtige technologische Entwicklung von so genannten Electrical Multichip Modules (EMCM) erfolgreich abgeschlossen. Die EMCMs stellen einen elektrisch vollständigen Sensor dar, allerdings ohne die DEPFET Strukturen. Die EMCMs werden wie die echten Sensoren auf Si-Wafern produziert. An ihnen können realistisch alle notwendigen Metallisierungsprozesse optimiert werden. Mit den EMCMs konnten alle weiteren Technologien nach der DEPFET-Produktion (Metallisierung, Flip-Chipping, Aufbringung passiver Elemente etc.) entwickelt und erprobt werden. Nachdem verschiedene Metallisierungsverfahren eingehend getestet wurden, konnte eine optimale Lösung für die beiden Al-Lagen gefunden werden, die reproduzierbar eine hohe Ausbeute von mehr als 90 % liefert (das Verfahren zur Cu-Abscheidung und -strukturierung wurde schon im vergangenen Jahr erfolgreich abgeschlossen). Für die kombinierte Ausbeute aus Sensorproduktion und Metallisierung ergibt sich somit ein Wert von besser als 50 %. Schließt man die DEPFET-Module mit Pixelfehlern unter einem Prozent ein (ein Standardwert für Silizium-Detektoren), so ist die Ausbeute sogar besser als 70%.

---

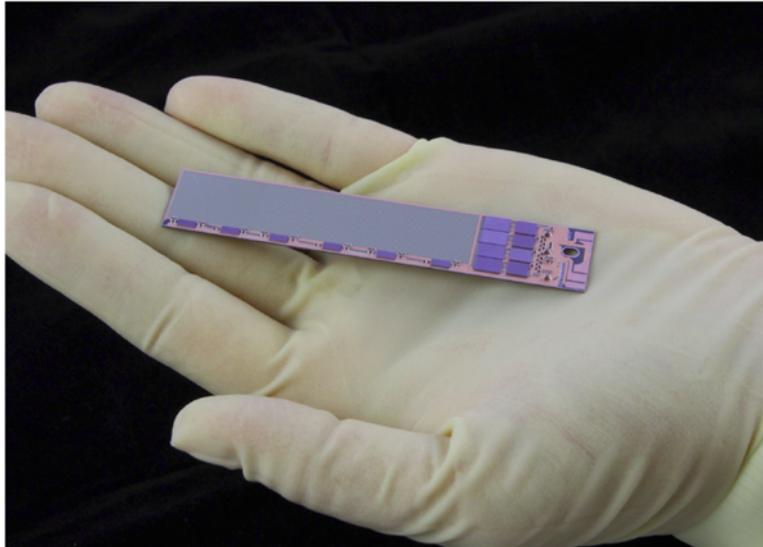


Abb. 6: Der erste vollständige DEP-FET-Sensor mit aufgebrachten ASICs und SMD-Bauteilen. Hier handelt es sich um das Modul der zweiten Lage des PXD, das die rückwärtige Hemisphäre abdeckt.

Die weiteren Produktionsschritte für einen vollständigen Sensor sind das Aufbringen des ASICs („flip chipping“ FC) und der passiven Elemente (Kondensatoren, Widerstände als SMD), sowie die Verbindung mit dem Kaptonkabel und schließlich die Verklebung zweier Module zu einer „Ladder“. Der FC-Prozess wurde bei IZM (Berlin) erfolgreich etabliert. Bei der SMD-Technologie, die parallel am HLL und bei NTC Valencia (unter Mithilfe von IFIC Valencia) mit unterschiedlichen Methoden erprobt wurde, fiel die Entscheidung zugunsten der Technologie am HLL: Das bei NTC verwendete Verfahren (siehe auch letzter Zwischenbericht) konnte die SMD-Platzierung nicht verlässlich umsetzen.

Um die gesamte Produktionskette für die Massenproduktion der DEP-FET-Module zu testen, wurde eine Pilot-Produktion („Pilot-Run“) für einige wenige Wafer (3 aus 30) durchgeführt. Der Pilot-Run läuft seit Beginn 2015 und hat zum Ziel, alle Produktionsschritte von der Metallisierung bis einschließlich der Aufbringung des Kaptonkabels und Verkleben der Module zu einer Ladder durchzuführen. Die hierfür notwendigen Vorrichtungen („Transport jigs“, „Module jigs“ etc.) wurden entworfen und gefertigt. Nachdem die endgültigen ASICs noch nicht in Gänze vorliegen (siehe weiter unten), wurden zunächst nur einige der Sensoren aus dem Pilot-Run mit den gegenwärtigen ASICs ausgerüstet. In Abb. 6 ist das erste vollständig ausgerüstete Modul aus der Pilotproduktion gezeigt. Es handelt sich hier um ein Exemplar der Sensoren aus der zweiten PXD-Lage und der Rückwärtshemisphäre („OB“ = outer backward). Bisher wurde ein zweites Exemplar des OF-Sensors (einschließlich Kaptonkabel) aus demselben Wafer gefertigt und ein weiterer Sensor aus der ersten Lage („IF“ = inner forward) als Hybrid (ohne Kaptonkabel, die Anschlüsse nach außen wurden über ein PCB realisiert). Ein wichtiger Punkt hierbei ist, dass die Produktionsschritte nach der Metallisierung (ASICs, SMD und Kapton) bisher keine weiteren Ausbeuteverluste zeigten.

Die drei Module aus dem Pilot-Run werden gegenwärtig intensiv getestet. Die Tests sollen vor allem ergeben, ob die Metalllagen in Funktionalität den Anforderungen entsprechen. Eine Entscheidung über den Start der Strukturierung der ersten Metalllage wird am Anfang des kommenden Jahres erwartet (siehe Zeitplan für die Sensorproduktion in Abb. 1).

In Abb. 7 ist das „erste Licht“ auf dem OB-Sensor aus der Pilot-Produktion gezeigt. Diese Daten wurden innerhalb von nur 2 Tagen nach der Fertigstellung des Sensors gewonnen. Mit diesem Bild ist wohl der wichtigste Meilenstein im gesamten Projekt erreicht, nämlich die volle Funktionsfähigkeit einer großen PXD9-DEPFET-Matrix mit dem finalen Belle II- Design.

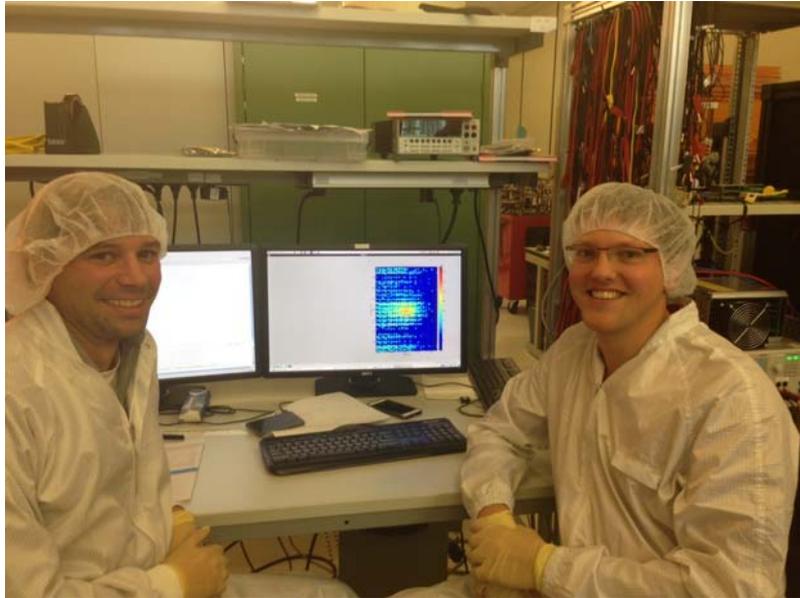


Abb. 7: Erstes Laserlicht auf dem ersten vollständigen PXD9-Sensor. Es sind die Signale auf der gesamten DEPFET Matrix zu sehen, die Daten sind hier noch nicht null-unterdrückt.

- ASICs

Beim Betrieb der verschiedenen ASICs (aus der neuen Generation: DHP 1.0, DCDBpipeline, siehe letzter Zwischenbericht) auf dem EMCM hatten sich ergeben gewisse Probleme in der Kommunikation zwischen dem DCD und dem DHP gezeigt. Diese Schwächen wurden durch das Redesign des DHPT beseitigt. Außerdem wurden etliche Verbesserungen am DCDB und auch am Switcher angebracht. Die Submission des DHPT erfolgte im August 2015 als MPW-Run, der Chip ist inzwischen geliefert und befindet sich im Test. Erste Resultate zeigen, dass die Kommunikationsfenster zwischen DHPT und DCD hinreichend groß sind und einen verlässlichen Betrieb gewährleisten.

Der neue Switcher wurde ebenfalls im August 2015 submittiert und ist ebenfalls als Vor-Serie geliefert worden. Allerdings müssen die Chips noch mit Lotkügelchen („solder bumps“) versehen werden, um die Kontakte mit den Kupfer-Pads auf dem Sensor herzustellen. Die Auslieferung der fertigen Chips wird im Januar des kommenden Jahres erwartet.

Bei der Submission des DCD haben sich einige Verzögerungen ergeben. Der ursprünglich geplante Submission Ende August 2015 konnte nicht eingehalten werden und erfolgte erst Ende Oktober 2015. Die Lieferung des neuen DCDs wird im günstigsten Fall gegen Ende Januar 2016 erwartet. Weiterhin müssen noch die Testeinrichtungen sowohl für den DCD als auch für den Switcher am KIT entwickelt und aufgebaut werden, Ziel ist ebenfalls Ende Januar 2016.

- Kapton Flex, Patch Panel und weiterführende Signalkabel

Das Design der vier Typen von Kapton-Kabeln („outer backward“, „outer forward“, „inner backward“, „inner forward“) wurden am MPI vor kurzem abgeschlossen. Eines dieser Kabel (OB) wurde bereits von der japanischen Spezialfirma geliefert, die schon einen erfolgreichen Prototypen dieses Kabels hergestellt hatte. Dieses Kabel wurde für die beiden OB-Sensoren aus der Pilot-Produktion verwendet. Hierbei ergaben sich jedoch einige kleinere Probleme bei der Oberflächenbeschaffenheit der Gold-Pads, die das Bonden der Verbindungsdrähte zum Sensor erschwerten. Eine Klein-Serie aller vier Kabeltypen (notwendig für den DESY-Test in 2016, siehe unten) wurden mit Verbesserungsvorschlägen in Auftrag gegeben.

Die Übertragung der hohen Datenraten vom DHPT über das Kapton-Flex-Kabel an das DHH System wird in drei Schritten realisiert: Zunächst wird das Kapton-Kabel über ein „Patch Panel“ mit einem etwa 2m langen Infiniband-Kabel verbunden, das an den „Dock-Boxen“ endet. Die Dock-Boxen befinden sich etwa 2 m vom Wechselwirkungspunkt entfernt, sie sind in Abb. 5 nicht gezeigt (zwischen Patch Panel und DHH). Von hier bis zum DHH-System (etwa 15m) werden momentan zwei Optionen verfolgt: Einerseits über ein weiteres Kupfer(Infiniband)-Kabel, andererseits über eine optische Verbindung. Für die Kupferverbindung wird erwogen, die Daten mit einem Repeater in den Dock-Boxen aufzubereiten. Für die Optokoppler wurden bereits Bestrahlungsversuche mit Neutronen und Gammas durchgeführt, die eine ausreichende Strahlenhärte zeigten. Die Entscheidung zwischen Kupfer und optischer Übertragung wird nach Verifizierung beider Lösungen im Frühjahr 2016 (vor dem kommenden DESY-Test) gefällt.

- DHH (Data Handling Hybrid)

Prototypen des DHH-Systems wurden erfolgreich im DESY-Beam-Test 2014 und bei den verschiedenen Testmodulen (EMCM und Pilot-Module) betrieben. Die Untersuchungen zu einer möglichen Datenverbindung über Glasfaserkabel mit strahlentoleranten Optokopplern aus dem Bereich der Dock-Boxen zum DHH-System werden weitergeführt. Für die Massenproduktion muss noch die Entscheidung zur Datenübertragung von den Dock-Boxen (Kupfer oder Optisch) abgewartet werden. Gleichwohl laufen die Vorbereitungen, dass der DESY-Strahltest im April 2016 sowohl über Kupfer als auch über den optischen Link durchgeführt werden kann.

- ATCA-DAQ System

Das Giessener ONSEN (Online Selector Node) wurde bereits in 2012 auf ein Konzept mit Carrier- und Daughterboard umgestellt (xTCA-Standard, ähnlich wie beim DHH), welches auch als Compute Node Version 3 bezeichnet wird.

Eine neue Generation von AMC-Mezzanine-Karten wurde vom IHEP Peking nach Gießen geliefert und dort erfolgreich getestet. Die Karten sind somit für die Massenproduktion (32 Karten) freigegeben. Neue xTCA Träger Boards wurden bereits gegen Ende 2014 geliefert, bestanden aber nicht alle Tests und müssen einer weiteren Iteration unterworfen werden. Die Zeitpläne für die rechtzeitige Fertigstellung des ONSEN-Systems sowohl für den DESY-Test als auch für die Phasen 2 und 3 sind aber dadurch nicht gefährdet.

---

Die Bonner Entwicklungen für den SVD Data Concentrator (DATCON) zur Online-Datenreduktion wurden nach dem erfolgreichen DESY-Test weitergeführt. Da sich die entsprechende Hardware an das ONSSEN-System anlehnt, profitiert der DatCon-System von den neueren Entwicklungen beim IHEP.

- Spannungsversorgung

Aus der Vorproduktion der Versorgungs-Module konnten wichtige Erkenntnisse gewonnen werden. So wurden zum Beispiel Verbesserungen beim Rauschen der Step-Down-Wandler sowie beim Filtern der DC-DC-Converter angebracht. Die Massenproduktion der Spannungsversorgungsgeräte (eine Einheit pro Sensor) ist inzwischen eingeleitet worden. Die Firmware (fehlertolerante Slow-Control), von der TUM/Fortiss-Gruppe entwickelt, wurde weiter verbessert, ebenso wie die Bedienungsfreundlichkeit beim Hoch- und Herunterfahren der Spannungsversorgung.



Abb. 8: Bau der CO<sub>2</sub>-Kühlanlage „IBelle“ für den PXD und SVD. Im Vordergrund ist der kommerzielle Freon-Kühler zu sehen, dahinter der Akkumulator für das CO<sub>2</sub> und danach die Kontroll-Kabine. Die CO<sub>2</sub> Kühleinheit ist bereits gebaut, ist aber noch nicht auf den Rahmen montiert.

- Mechanik und Kühlung

Die Mechanik für den PXD (Kühlkörper und Aufhängung auf der Strahlröhre) sowie viele Details bei der Verbindung mit dem SVD mit den wichtigen Servicebereichen (Kabel, Kühlleitungen etc.) innerhalb des VXD-Volumens wurden abgeschlossen. Ein wichtiger Meilenstein konnte mit der Entscheidung für die von MPI und DESY vorgeschlagene Installationsmethode des VXD erreicht werden.

Nach der Vervollständigung der Konstruktionspläne und der Dokumentation wurde der Bau der CO<sub>2</sub>-Anlage „IBelle“ am MPI weitergeführt (siehe Abb. 8). Die Fertigstellung von IBelle ist für das Frühjahr 2016 geplant, das Commissioning der Anlage sowie die Zertifizierung durch den TÜV sollen bis zum Sommer 2016 abgeschlossen sein. Danach erfolgt der Transport zum KEK. IBelle wird bereits für die Kühlung des BEAST-Detektors benötigt.

Zum detaillierten Studium der Betriebsparameter der Anlage im Umfeld der komplexen und

teilweise heterogenen Kühlanforderungen von PXD und SVD wird am DESY ein realistischer Aufbau („Thermal Mockup“) betrieben. Für diesen Mockup wurden am MPI „Dummy-Sensoren“ aus abgedünntem Silizium gefertigt und Widerständen versehen, um die thermischen Gegebenheiten bei den ASICs und den Sensoren realistisch zu simulieren. Beim DESY werden die entsprechende Halte- und Kühlstrukturen mit Dummy-Sensoren für den SVD entwickelt. Die thermischen Studien werden mit der Kühlanlage MARCO durchgeführt, die vom CERN ans DESY transportiert wurde (MARCO wurde am MPP gebaut und dann im CERN betrieben). In der Abb. 9 ist der komplette Mockup gezeigt: In ihm ist die Strahlröhre samt Paraffin-Kühlung realisiert, dann folgt der „PXD“ und die äußere Hülle des VXD, hier aus Plexiglas zur optischen Kontrolle gefertigt. Der „SVD“ wird zu Beginn des kommenden Jahres eingebaut. Zur realistischen Führung der Kühlleitungen von der CO<sub>2</sub>-Anlage MARCO bis zum VXD ist auch ein Mockup der Quadrupole installiert („QCS“).

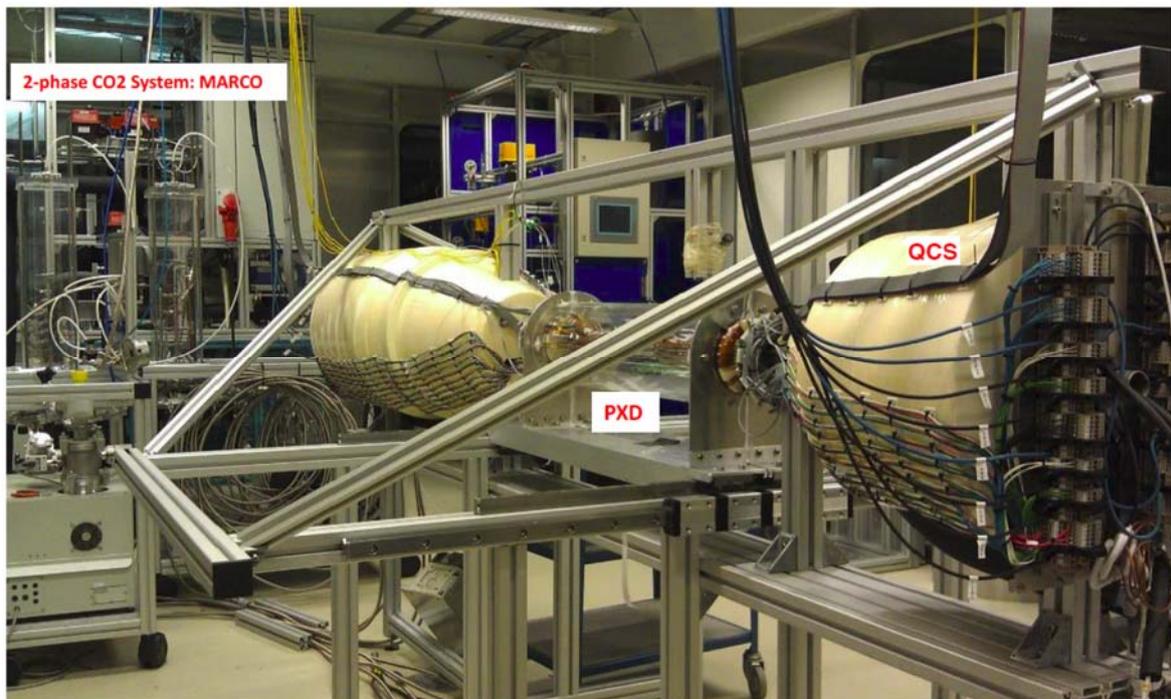


Abb. 9: Der Aufbau für die Untersuchung des CO<sub>2</sub> Kühlkonzepts für den PXD und den SVD. Die einzelnen Komponenten sind bezeichnet (siehe Text).

Die bisherigen Versuche mit der Anlage haben gezeigt, dass das CO<sub>2</sub>-Kühlkonzept des PXD mit seinen 3D-gedruckten Kühlkörpern gut funktioniert. Lediglich die gewünschte tiefe Temperatur des N<sub>2</sub>-Stroms von etwa 0°C wurde noch nicht erreicht. Hier müssen noch Verbesserungen bei der Führung der N<sub>2</sub>-Leitungen im Bereich des QCS (mit Berührung der -30°C kalten CO<sub>2</sub>-Leitungen angebracht werden.

Zum Betrieb des gesamten VXD-Mockups (einschließlich SVD, der die thermische Last dominiert) muss die Pumpe von MARCO gegen eine stärkere ausgewechselt werden. Die neue Pumpe ist bereits geliefert und wird zu Beginn 2016 eingebaut. Danach muss noch die Steuer-Software angepasst werden. Dies wird unter Führung vom CERN geschehen, da die Einbindung über die PVSS- Slow-Control Software realisiert ist. Längerfristig sollte MARCO für einen Einsatz am KEK beim VXD Commissioning auf EPICS (siehe unten) umgestellt werden.

- Slow Control und Datenqualitätsüberwachung

Die Programmentwicklung zur Steuerung und Überwachung des PXD (Slow Control) und seiner Leistungsfähigkeit (Data Quality Monitoring) wurde weiter vorangetrieben. Die Konzepte für die Überwachung der Spannungsversorgung wurden von der LMU München in Zusammenarbeit mit der Informatikgruppe der TU München entwickelt und sind bei den verschiedenen Tests mit den Hybrid-Boards und den EMCMS sowie bei den Modulen aus der Pilot-Run-Serie erfolgreich im Einsatz. Die Steuerungssoftware greift hierbei auf Bibliotheken zurück, die an der TUM innerhalb wissenschaftlicher Projekte entwickelt wurden.

Für die Steuerung und Überwachung der CO<sub>2</sub>-Kühlung (IBBelle) ist beim CERN über ein kommerzielles Software-Control-System („PVSS“, siehe auch „MARCO“) realisiert, das vor allem im CERN verwendet wird. Als Software-Rahmen für die Slow Control wurde jedoch das „EPCIS“ (open source) Paket gewählt, das von den meisten Experimenten in der Hochenergiephysik und auch von der Beschleunigergruppe am KEK eingesetzt wird. Die für EPICS und das dazugehörige CSS User-Interface-Paket benötigten Erweiterungen werden von den Gruppen der Universitäten Heidelberg, Mainz und der TUM entwickelt. Bei der Steuerungssoftware für die CO<sub>2</sub>-Kühlanlage IBBelle wurde ein wesentlicher Meilenstein mit der Umstellung der UNICOS-Umgebung (Definition und Code-Erzeugung der PLC Hardware) von PVSS auf EPICS erreicht. Einen weiteren wichtigen Meilenstein für die gesamte Slow Control des Belle II Experiments stellt die Einigung auf ein gemeinsames Benutzer-Interface dar, nämlich die CSS-Umgebung mit dem dazugehörigen Datenbanksystem, wie es von der PXD-Gruppe vorgeschlagen worden ist.

Die SVD-Gruppe hat sich ebenfalls entschlossen, seinen Detektor bei Belle II mit EPICS zu betreiben. Die Entwicklungen zu einem gemeinsamen Interlock-System für den VXD (PXD und SVD) und für die Kontrolle der Umweltparameter (Temperaturen, Feuchtigkeit etc.) sind weitergeführt worden. Ein wichtiger Meilenstein für das Slow Control System wird die Steuerung von PXD, SVD und dem CO<sub>2</sub>-System beim DESY-Testbeam im April 2016 sein.

### **Arbeiten an der Belle II Software**

Die Rahmensoftware für Belle II wurde weiterentwickelt, insbesondere durch Verbesserungen der Test- und Validierungsmöglichkeiten, der Dokumentation und der Koordination der gesamten Software der Kollaboration (KIT). Konzepte zur Ausrichtung und Kalibration der Spurdetektoren wurden ausgearbeitet (DESY, LMU). Weiterhin wird die Spurrekonstruktion insgesamt vom KIT koordiniert und besonders die Rekonstruktion in der Driftkammer bearbeitet (KIT, DESY). Die Spurparameterabschätzung wird mit Hilfe des Programmpakets GenFit durchgeführt, das aktiv an der TUM und LMU weiterentwickelt wird. Weiterhin wurden Studien zum Vertexing und zur Flavor-Markierung am MPI durchgeführt. Für die Produktion großer Mengen von Monte-Carlo-Ereignissen wurde ein Memorandum of Understanding erarbeitet, in dem vereinbart wurde, dass Gridka/KIT als Tier1 und DESY als Tier2 Center für Belle II fungieren werden. Die Monte-Carlo-Produktion läuft bereits erfolgreich seit mehreren Monaten.

---

## Physikanalysen mit Belle Daten

Verschiedene Physikanalysen mit den Daten der gesamten Runperiode des Belle-Experiments sind erfolgreich abgeschlossen und publiziert worden. Weitere Analysen sind in Vorbereitung. Die Analysen konzentrieren sich auf Zerfallskanäle der B und D Mesonen, die sensitiv auf CP Verletzung sind. Weiterhin werden „exotische“ Hadronzustände aus B- und Upsilon-Mesonen untersucht. Detaillierte Beschreibungen der Analysen finden sich in den individuellen Berichten der einzelnen vom BMBF geförderten Instituten Bonn, Gießen, Göttingen, Karlsruhe. DESY und MPP sind ebenfalls in der Analyse der Belle-Daten involviert.

## Zusammenfassung

Der Zeitplan für die Inbetriebnahme von SuperKEKB ist nach den Kürzungen im Betriebshaushalt und den entsprechenden zeitlichen Anpassungen stabil. Die Arbeiten an Entwicklung und Bau des PXD für das Belle II Experiment kommen planmäßig voran. Der durch die Budgetkürzungen am KEK bedingte Zeitgewinn konnte für detaillierte Studien mittels der PXD-Pilot-Produktion genutzt werden. Die Ausbeute der Sensoren einschließlich der Kaptonmontage ist gemäß der momentanen Statistik gut und erreicht über 70% für Sensoren mit einer Pixel-Effizienz besser als 98%.

Kritisch zu beobachten ist jedoch der Zeitplan für die Fertigstellung des PXD: Die notwendigen Voruntersuchungen mit den EMCM-Modulen und die komplizierten Verfahren zu den einzelnen Produktionsschritten der DEPFET-Module dauerten doch erheblich länger als ursprünglich vorgesehen. Dies lag zum Teil auch daran, dass sich die Optimierungen der ASICs auf den Sensoren aufgrund der Kommunikationsprobleme zwischen DCD und DHP ungewöhnlich aufwändig gestalteten. Auch die hochintegrierte Struktur des Sensors erlaubt nur begrenzten Zugang zur Analyse mit Oszillographen oder Logic Analyzern. Noch ist nicht vollständig klar, ob die momentan beobachteten Phänomene im Betrieb des Pilot-PXD9-Sensors auf Probleme beim Zusammenspiel der ASICs beruhen, oder eher bei einem nicht optimalen Layout des Metallsystems beruhen. Dies ist der Grund, warum die Metallisierung der Sensoren noch nicht freigegeben ist.

Weiterhin muss die pünktliche Fertigstellung des neuen DCDBpipeline und der zeitnahe Test des DCDs und des Switchers im Auge behalten werden. Schon jetzt ist klar, dass die DEPFET-Ladders für den DESY-Test zwar mit dem neuen DHPT1.1 und dem schnelleren Switcher ausgerüstet werden können, aber der neue DCD wohl nicht für den Test zum Einsatz kommt. Der „finale“ PXD9-Sensor wird also erst nach Test zur Verfügung stehen.

Gemäß dem Zeitplan in Abb. 1 haben sich die notwendigen Reisen zum Aufbau am Experiment entsprechend nach hinten verschoben. Die Reiseaktivitäten zum KEK mit entsprechend längerfristigen Aufenthalten werden mit der Installation der CO<sub>2</sub>-Kühlanlage ab Mitte 2016 beginnen und dann Anfang 2017 zum Aufbau des BEAST Detectors für die Phase 2 deutlich zunehmen. Der PXD muss bis zu diesem Zeitpunkt fertiggestellt und getestet sein. Das Commissioning des PXD wird am MPP erfolgen, die CO<sub>2</sub> Anlage MARCO wird für die Kühlung verwendet. Hierfür sind 3 Monate veranschlagt (siehe Abb. 1). Während der Phase 2 wird der PXD dann zum KEK transportiert und dort einer Reihe von Eingangstest unterzogen. Danach erfolgt

der Zusammenbau mit der Strahlröhre und mit dem SVD, das Gesamtsystem „VXD“ wird anschließend einen längeren Test mit kosmischen Strahlen durchlaufen.

Zusammenfassend gibt die folgende Tabelle 1 eine Übersicht der einzelnen Arbeitspakete des Projekts mit den jeweils beteiligten deutschen Gruppen. Die europäischen und asiatischen Partner im Projekt sind in den eckigen Klammern gezeigt. An der Arbeitsteilung hat sich gegenüber dem letzten Zwischenbericht nichts Wesentliches geändert. Für die diversen Produktionsschritte wurde eine Reihe von Vorrichtungen zur Lagerung, zum Transport und für den Zusammenbau der empfindlichen PXD-Module entwickelt, die bereits im Pilot-Run erprobt wurden.

Was noch bleibt, ist die sichere Verklebung der fertigen Module zu einer „Ladder“. Hierfür wurde am MPP kürzlich eine spezielle Maschine installiert, die einen kontrollierten und reproduzierbaren Auftrag von Klebstoff auf den schmalen Endflächen der Module erlaubt. Die entsprechenden Halterungen für die beiden zu verklebenden Module befinden sich in der Konstruktion. Nach den nun kommenden Vorversuchen wird dann die erste Klebung mit den Modulen für den DESY-Test erfolgen.

---

| <b>Teilprojekt</b>  | <b>Beteiligte Gruppen</b>  |
|---|--|
| DEPFET Sensoren   | Halbleiter-Labor der MPG (HLL),<br>Max-Planck-Institut für Physik (MPP)  |
| Mechanik und Kühlung  | MPP, DESY [+ (2,3,5)]  |
| Switcher, Drain Current Digitizer<br>(DCD Chip)   | KIT (IPE)  |
| Data Handling Processor (DHP Chip)  | Universität Bonn (Bonn) [+ (4)]  |
| Data Handling Hybrid (DHH)  | Technische Universität München (TUM)   |
| Modul-Produktion  | MPP, Bonn, Ludwig-Maximilians-<br>Universität München (LMU) [+ (5,6,9)]  |
| Kabel und Stromversorgung   | LMU, MPP, Bonn [+ (2,3)]   |
| Daten-Akquisitionssystem<br>(einschließlich Datenreduktion)                               | Universität Gießen, Bonn, TUM [+ (1)]  |
| Strahlungstests, Monitoring<br>(BEAST II)   | Bonn, MPP, KIT (IEKP)  |
| Verbindungstechnologie  | HLL, Bonn [+ (5,7)]  |
| Erdung  | MPP [+ (10)]   |
| Teststrahlen / Analyse / Alignment  | DESY, Bonn, Heidelberg, Göttingen, LMU, MPP,<br>HLL [+ (2,5,9)]  |
| Umgebungs-Sensoren  | MPP [+ (6)]  |
| Slow Control, Data Quality Mon.   | Heidelberg, Universität Mainz, TUM (Inf.)  |
| Offline-Softwareentwicklung<br>(Gridka VO, Framework, Spurrekon-<br>struktion, Code-Man.) | KIT (IEKP), Göttingen, LMU, Bonn, TUM, MPP,<br>DESY [+ (2)]  |
| <b>Internationale Partner innerhalb der DEPFET-Kollaboration</b>                          |  |
|   | <ul style="list-style-type: none"> <li>(1) IHEP Beijing (China)</li> <li>(2) Karls-Universität Prag (Tschechien)</li> <li>(3) PAN Krakau (Polen)</li> <li>(4) Universität Barcelona (Spanien)</li> <li>(5) IFIC Valencia (Spanien)</li> <li>(6) Universität Santander (Spanien)</li> <li>(7) NTC Valencia (Spanien)</li> <li>(8) KEK-Photon Factory</li> <li>(9) Universität von Tabuk (Saudi-Arabien)</li> <li>(10) ITA Zaragoza (Spanien), finanziert über Common Fund (Beitrag von Prag)</li> </ul> |

Tabelle 1: Zuständigkeiten der deutschen Gruppen und deren Partner im PXD-Projekt

## Resumee

Der Beitrag der deutschen Gruppen innerhalb des Belle II Experiments (Bau und Betrieb des PXD, Aufbau des CO<sub>2</sub>-Kühlsystems für die Siliziumsysteme, Installationsmethode des VXD und Vakuumverbindung der Strahlröhre mit den Fokussierungs-Quadrupolen, sowie das detektorübergreifende Slow Control Software-System) ist von zentraler Bedeutung für ein erfolgreiches Physikprogramm mit dem Belle II Detektor.

Die deutschen Gruppen sind innerhalb des Belle II Experimentes an herausgehobenen Positionen sichtbar und für das Gelingen des Forschungsvorhabens über den PXD hinaus mitverantwortlich. Führungspositionen im Bereich der Software und bei der Vorbereitung der Physikanalysen erhöhen die Sichtbarkeit weiter und bringen die deutschen Gruppen in eine ausgezeichnete Position, um schon kurz nach Beginn der Datennahme erste Physikresultate zu erzielen.

22. Dezember 2015



Prof. Dr. C. Kiesling  
(Projektleiter)



Prof. Dr. J. Dingfelder  
(Verbundkoordinator)

---