

# Schlussbericht Teil I – Kurzfassung

Erstelldatum: 22.07.2022

Zuwendungsempfänger	
Name Konsortialpartner: <b>Leibniz Universität Hannover</b> <b>IAL - Institut für Antriebssysteme und Leistungselektronik</b> <b>Fachgebiet Leistungselektronik und Antriebsregelung</b>	Förderkennzeichen: <b>16EMO0325</b>
Projektleitung	Prof. Dr.-Ing. A. Mertens +49 (0)511-762-2471, mertens@ial.uni-hannover.de
Projektkoordination	Dr.-Ing. Robert Meyer +49 (0)511-762-5613, meyer@ial.uni-hannover.de
Sachbearbeiter	M. Sc. Daniel Herwig +49 (0)511-762-14570, daniel.herwig@ial.uni-hannover.de
Projekt	
Vorhabensbezeichnung Verbundprojekt: <b>Sensorik für die Zustandsüberwachung von Leistungselektronik für Elektrofahrzeuge - ZuLeSELF</b>	
Vorhabensbezeichnung Teilprojekt: <b>Messelektronik für temperatursensitive Parameter</b>	
Laufzeit des Vorhabens: 01.09.2018 – 28.02.2022	Berichtszeitraum: 01.09.2018 – 28.02.2022
Projektbegleitung	
Projektträger (Name, Tel, E-Mail)	VDI/VDE Innovation + Technik GmbH Dr. Marian Moldenhauer, Tel.: +49 (0) 30 31 00 78-5312, Fax: + 49 (0) 30 31 00 78-225, <a href="mailto:Marian.Moldenhauer@vdivde-it.de">Marian.Moldenhauer@vdivde-it.de</a>
Federführung (Name, Tel, E-Mail)	Fraunhofer-Institut für Betriebsfestigkeit und Systemzuverlässigkeit LBF Dr. Jürgen Nuffer, +49 - (0) 6151 - 705 281, <a href="mailto:juergen.nuffer@bf.fraunhofer.de">juergen.nuffer@bf.fraunhofer.de</a>

GEFÖRDERT VOM



**Bundesministerium  
für Bildung  
und Forschung**

<b>Inhalt:</b>	Seite
I. Kurzbericht .....	3
I.1 Aufgabenstellung .....	3
I.2 Stand der Wissenschaft und Technik, an den angeknüpft wurde .....	3
I.3 Planung und Ablauf des Vorhabens.....	4
I.4 Wesentliche Ergebnisse und Zusammenarbeit mit anderen Forschungseinrichtungen	4

## I. Kurzbericht

Der Vorliegende Schlussbericht zum Teilprojekt „*Messelektronik für temperatursensitive Parameter*“ beschreibt die erarbeiteten Ergebnisse des Instituts für Antriebssysteme und Leistungselektronik (IAL) der Leibniz Universität Hannover (LUH) im Rahmen des Projektes **ZuLeSELF** (Zustandsüberwachung von Leistungselektronik für Serien-Elektrofahrzeuge).

Das Verbundvorhaben **ZuLeSELF** wird vom Fraunhofer LBF koordiniert.

### I.1 Aufgabenstellung

Temperatursensitive Parameter (TSEPs) sind elektrische Größen des Leistungshalbleiters, die sich mit der Sperrschichttemperatur verändern. Diese Größen können genutzt werden um thermomechanische Alterungseffekte im Leistungsmodul zu erkennen und ein Warnsignal für übergeordnete Schutzfunktionen bereitzustellen.

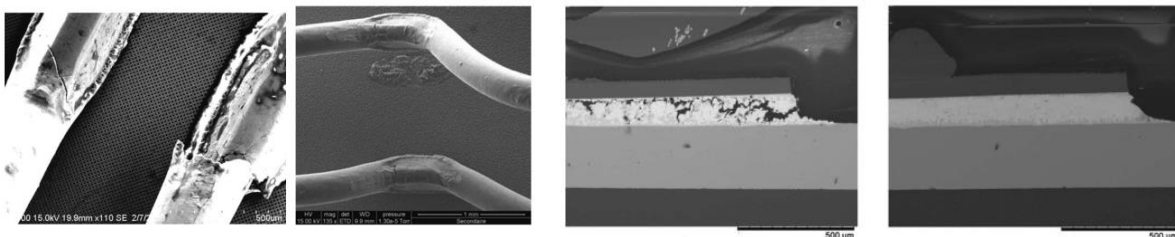
Durch die kombinierte Auswertung von TSEPs lassen sich Rückschlüsse auf den Alterungszustand des Leistungshalbleiters ziehen [1]. Dabei gibt es TSEPs, die nur dynamisch während der Schaltvorgänge messbar sind, sowie TSEPs die während des Leit- oder Sperrzustand des Leistungshalbleiters messbar sind. Besonderer Fokus wird in dem Projekt **ZuLeSELF** auf die Zustandsüberwachung von neuartigen „Wide-bandgap“-Leistungshalbleitern gelegt. Daraus leiten sich die folgenden Ziele dieses Teilprojektes ab:

- Identifikation von geeigneten TSEPs bei Si-Leistungshalbleitern und „Wide-Bandgap“-Leistungshalbleitern
- Untersuchung von kostengünstigen Messkonzepten
- Betrachtung der Temperaturstabilität der Messkonzepte
- Integrierbarkeit der TSEP-Messschaltung in Gate-Treiber-Konzepte
- Detektion von Zustandsänderungen des Leistungshalbleiters in Alterungstests

### I.2 Stand der Wissenschaft und Technik, an den angeknüpft wurde

Im Wechselrichterbetrieb kommt es zu einer Erwärmung der Leistungshalbleiter innerhalb des Leistungsmoduls. Die verschiedenen Materialschichten des vertikalen Modulaufbaus haben von einander verschiedene thermische Ausdehnungskoeffizienten. Als Folge dessen kommt es zu mechanischen Spannungen an den Grenzflächen wodurch die Verbindungstechnik altert.

Bekannte Ausfallmechanismen sind Bonddrahtschäden oder Lotschichtdegradation.



**Abb. 3: Bonddrahtbruch und Ablösung [2]**

**Lotschichtdegradation, Intakte Lotschicht [2]**

Stand der Technik ist die Vorhersage eines Ausfalls anhand von Lebensdauermodellen. Mit diesen Lebensdauermodellen lässt sich stetige Alterung im Leistungshalbleitermodulaufbau modellieren. Durch die fehlende Rückführung von Messgrößen lassen sich alterungsbedingte Änderungen des Systemverhaltens nicht berücksichtigen. Spontane Ausfälle können nicht detektiert werden.

### **I.3 Planung und Ablauf des Vorhabens**

Zunächst werden geeignete TSEPs basierend auf Literatur und eigenen Arbeitsergebnissen eingeschätzt und vorausgewählt. Dabei steht die Kombination mehrerer TSEPs im Fokus. Die Demonstratoren der Projektpartner werden am IAL aufgebaut und die Eignung der vorausgewählten Messkonzepte wird an ihnen erprobt.

Ein TSEP-Messsystem wird für einen der Demonstratoren entwickelt. Dieses System wird zunächst unter Laborbedingungen getestet. Im Anschluss wird das System im Schaltbetrieb als Umrichter betrieben. Das System wird zunächst an emulierten Alterungseffekten getestet, beispielsweise durch das Erhöhen des thermischen Widerstandes eines Moduls.

Im Anschluss werden beschleunigte Alterungstests mehrerer Module mit dem Fraunhofer IISB durchgeführt. Während der Alterungszyklen werden die Module periodisch mit dem TSEP-Messsystem gemessen. Es soll verifiziert werden, ob die thermomechanische Alterung der Module erkannt wird.

### **I.4 Wesentliche Ergebnisse und Zusammenarbeit mit anderen Forschungseinrichtungen**

Es wurden kostengünstige TSEP-Messschaltungen für schnellschaltende „Wide-bandgap“-Leistungshalbleiter entwickelt und untersucht. Die Eignung für eine Fahrzeugintegration wurde mit dem Fraunhofer LBF erarbeitet. Die Messschaltungen sind leicht in vorhandene Gatetreiberstrukturen integrierbar. Eine besondere Herausforderung für den Betrieb ist dabei eine niedrige Störempfindlichkeit.

Es konnte gezeigt werden, dass sich parasitäre Störeffekte auf die Temperatur- und Alterungsbestimmung durch die Kombination mehrerer erfasster TSEPs verringern lassen.

Die Messschaltungen wurden im Schaltbetrieb eines Umrichters untersucht. Dabei wurden zusätzliche Einflüsse aus dem System auf die Messung untersucht und in die Auswertung integriert, beispielsweise Auswirkungen der Stromschwankungen oder transiente Effekte auf der Durchlassspannungsmessung.

Das TSEP-Messsystem konnte emulierte Alterung des Leistungsmodul erkennen. In den anschließenden Alterungstests konnte gezeigt werden, dass das TSEP-Messsystem Alterung der Lotschicht sowie Alterung der Bonddrahtverbindungen rechtzeitig erkennen kann.

# Schlussbericht Teil II – Eingehende Darstellung

Erstelldatum: 22.07.2022

Zuwendungsempfänger	
Name Konsortialpartner: <b>Leibniz Universität Hannover</b> <b>IAL - Institut für Antriebssysteme und Leistungselektronik</b> <b>Fachgebiet Leistungselektronik und Antriebsregelung</b>	Förderkennzeichen: <b>16EMO0325</b>
Projektleitung	Prof. Dr.-Ing. A. Mertens +49 (0)511-762-2471, mertens@ial.uni-hannover.de
Projektkoordination	Dr.-Ing. Robert Meyer +49 (0)511-762-5613, meyer@ial.uni-hannover.de
Sachbearbeiter	M. Sc. Daniel Herwig +49 (0)511-762-14570, daniel.herwig@ial.uni-hannover.de
Projekt	
Vorhabensbezeichnung Verbundprojekt: <b>Sensorik für die Zustandsüberwachung von Leistungselektronik für Elektrofahrzeuge - ZuLeSELF</b>	
Vorhabensbezeichnung Teilprojekt: <b>Messelektronik für temperatursensitive Parameter</b>	
Laufzeit des Vorhabens: 01.09.2018 – 28.02.2022	Berichtszeitraum: 01.09.2018 – 28.02.2022
Projektbegleitung	
Projektträger (Name, Tel, E-Mail)	VDI/VDE Innovation + Technik GmbH Dr. Marian Moldenhauer, Tel.: +49 (0) 30 31 00 78-5312, Fax: + 49 (0) 30 31 00 78-225, <a href="mailto:Marian.Moldenhauer@vdivde-it.de">Marian.Moldenhauer@vdivde-it.de</a>
Federführung (Name, Tel, E-Mail)	Fraunhofer-Institut für Betriebsfestigkeit und Systemzuverlässigkeit LBF Dr. Jürgen Nuffer, +49 - (0) 6151 - 705 281, <a href="mailto:juergen.nuffer@bf.fraunhofer.de">juergen.nuffer@bf.fraunhofer.de</a>

GEFÖRDERT VOM



**Bundesministerium  
für Bildung  
und Forschung**

## **Inhalt**

II.	Eingehende Darstellung .....	3
II.1	Wissenschaftlich-technische Ergebnisse und andere wesentliche Ergebnisse vom IAL .....	3
II.1.1	AP 1 - Anforderungen, Lastenheft, Konzeptauswahl.....	3
II.1.2	AP 1.2 – Beschreibung der Demonstratoren.....	3
II.1.3	AP 1.4 – Auswahl geeigneter Monitoring Konzepte .....	8
II.1.4	AP 2.1 - Entwicklung von Beobachterstrukturen .....	12
II.1.5	AP 2.2 - Entwicklung und Herstellung von Messschaltungen und Testaufbauten 21	
II.1.6	AP 2.3 - Experimentelle Analysen / Messungen an Testaufbauten.....	22
II.2.1	AP 3.3 - Messelektronik für die Sensoren und AP 3.4 - Sensoring und Modellkalibrierung 32	
II.2.1	AP 4.1 - Definition der Tests 37	
II.2.2	AP 4.3 - Durchführung der Tests 37	
II.2.1	AP 4.4 Auswertung der Tests und Abgleich mit Lebensdauermodellen .....	39
II.3	Zahlenmäßiger Nachweis .....	44
II.4	Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten .....	44
II.5	Verwertungsplan (Verwertbarkeit der Ergebnisse und der Erfahrungen).....	45
II.6	Von dritter Seite her, bekannt gewordene Ergebnisse, die für die Durchführung des Vorhabens relevant wurden .....	45
II.7	Erfolgte oder geplanten Veröffentlichungen der Ergebnisse .....	45
III.	Literaturverzeichnis .....	47

## II. Eingehende Darstellung

### II.1 Wissenschaftlich-technische Ergebnisse und andere wesentliche Ergebnisse vom IAL

In diesem Abschnitt werden die erarbeiteten Ergebnisse vorgestellt. Ein großer Teil dieser Ergebnisse wurden während der Projektlaufzeit in Konferenzbeiträgen veröffentlicht, insbesondere [1], [2] und [3]. Außerdem wird im Rahmen dieser Arbeiten auch eine Dissertation mit weiterführenden Untersuchungen entstehen.

#### II.1.1 AP 1 - Anforderungen, Lastenheft, Konzeptauswahl

Zu Beginn des Projektes wurden technische Randbedingungen für das finale System abgestimmt, siehe Tabelle 1.

**Tabelle 1: Vom Projektkonsortium abgestimmte technische Rahmenbedingungen der Demonstratoren**

Zwischenkreisspannung	800 V
Schaltfrequenz	10 bis 20 kHz

#### II.1.2 AP 1.2 – Beschreibung der Demonstratoren

Ziel dieses Arbeitspaketes ist es eine Vorauswahl geeigneter TSEPs für die Erfassung der Sperrschichttemperatur des Leistungsmoduls in einem E-Fahrzeug zu finden.

Es sind bereits viele Veröffentlichungen vorhanden, welche einzelne Parameter auf ihre Eignung zur Temperaturbestimmung der Sperrschicht untersuchen. Dennoch ist die Bewertung, ob ein TSEP für die Anwendung im Projekt geeignet ist, meist nicht direkt möglich. Insbesondere sind folgende Fragestellungen für die Übertragbarkeit der Ergebnisse wichtig:

- Sind die Messungen an einem Modul des gleichen Typs durchgeführt worden, z.B. SiC-MOSFET oder Si-IGBT?
- Sind die Messungen an einem Modul ähnlicher Leistungsklasse durchgeführt worden? Untersuchungen haben gezeigt, dass einige TSEPs zwar für diskrete Bauelemente mittlerer Leistungsklasse geeignet sind, jedoch durch den Modulaufbau größerer Module beeinflusst werden.
- Sind die Verfahren auch im regulären Umrichterbetrieb anwendbar oder nur unter Laborbedingungen?

TSEPs lassen sich in statische und dynamische Eigenschaften unterteilen [4]. Statische Messungen umfassen beispielsweise die Durchlassspannung eines Leistungshalbleiters während der Leitphase. Dynamische Eigenschaften beziehen sich auf Parameter, welche nur während der transienten Schaltvorgänge messbar sind. In dieses Themengebiet fallen verschiedene Abschnitte der Schaltzeiten.

Ausführliche Übersichtspaper mit Vergleichstabellen sind vorhanden, zum Beispiel [4], [5] oder [6], weshalb an dieser Stelle auf eine Erläuterung der einzelnen TSEPs im Detail verzichtet wird.

Für die Abschätzung der Eignung für dieses Projekt wurden folgende Bewertungskriterien genutzt:

### **Sensitivität**

Wie groß ist die relative Änderung der beobachteten Größe über den betrachteten Bereich der Sperrschichttemperatur? Wie groß sind die Querempfindlichkeiten zu anderen Größen, z.B. dem Laststrom?

### **Komplexität / Kosten**

Wie aufwändig ist das Erfassungskonzept? Werden empfindliche Messschaltungen benötigt? Es wird davon ausgegangen, dass komplexere Messsysteme auch höhere Kosten verursachen.

### **Alterungsabhängigkeit**

Wird der betrachtete Parameter durch die Alterung des Moduls beeinflusst? Eine hohe Abhängigkeit vom Modulzustand kann sowohl positiv als auch negativ sein. Zum einen wird die Bestimmung der Sperrschichttemperatur dadurch verfälscht, auf der anderen Seite soll genau die Alterung des Moduls erkannt werden. Um Alterungseffekte und geänderte Betriebsmodi zu unterscheiden sind weitere Informationen notwendig. Dies kann z.B. aus Modellen erfolgen oder aus der Kombination mit anderen TSEPs.

### **Übertragbarkeit der Kalibrierung**

Die Temperaturverteilung in einem Modul ist im Betrieb stark inhomogen und vom Betriebszustand abhängig. Eine Kalibrierung des TSEPs wird üblicherweise bei homogener Temperaturverteilung im Labor durchgeführt. Dies kann zu starken Abweichungen der ermittelten Temperatur im regulären Umrichterbetrieb führen. Weiterhin beeinflusst der Belastungszustand Temperaturverteilung.

### **Anwendbarkeit bei SiC**

Für die aktuellen und kommenden Elektrofahrzeuge sind Leistungsmodule aus SiC eine wichtige Option. Nach Möglichkeit sollte ein TSEP für Si-IGBTs und SiC-MOSFETs anwendbar sein, beziehungsweise für Si-Dioden und SiC-Schottky-Dioden. Dieses Kriterium ist nur für wenige TSEPs gegeben, da sich das Verhalten der Halbleiter sehr stark unterscheidet. Das Kriterium wurde für den Entscheidungsprozess daher nur schwach gewichtet.

Nach Rücksprache mit den Projektpartnern wurde eine gute Linearität nicht als wichtiges Bewertungskriterium angesehen, da dies für die spätere Auswertung in einem Steuergerät keine signifikanten Einschränkungen verursacht. Der erhöhte Aufwand für die Kalibrierung des TSEPs wird in Kauf genommen. Dem nicht widersprechend muss die Monotonie der TSEPs mit Bezug auf die Sperrschichttemperatur mitbetrachtet werden. Andernfalls kann ein Rückschluss von gemessenem TSEP auf die Sperrschichttemperatur uneindeutig werden.



Von der Betrachtung wurden Verfahren ausgenommen, die nicht während des Betriebs durchführbar sind oder einen signifikanten Eingriff in den Betrieb des Umrichters oder die Gatetreiber notwendig machen, wie beispielsweise die Messung des Kurzschlussstroms des Halbleiters oder der Tj-IGBT-Driver [7].

### **Bewertung der TSEPs**

Die Einschätzung basiert dabei auf den beschriebenen Ergebnissen der Literatur, als auch bereits vorhandenen Erfahrungen am IAL.

Die Threshold-Spannung wird häufig als gut geeignet beschrieben, insbesondere da diese praktisch keine weiteren Querempfindlichkeiten vom Laststrom oder Zwischenkreisspannung enthält. Die Erfassung im regulären Umrichterbetrieb gestaltet sich jedoch als komplex. Während des Schaltvorgangs muss die Gatespannung in dem Moment abgetastet werden, wenn das Modul zu Leiten beginnt. Technisch ist dies auch mit einer Messschaltung möglich. Untersuchungen an Leistungsmodulen im regulären Schaltbetrieb haben jedoch gezeigt, dass die messbare Spannung am Gatekontakt eines Moduls deutlich von der erwarteten Thresholdspannung abweicht. Dies wurde durch den ohmschen Spannungsabfall am internen Gatewiderstand verursacht. Problematisch war hierbei, dass die Threshold-Spannung einen negativen Temperaturkoeffizienten aufweist, während der Gatewiderstand mit der Temperatur ansteigt. Am untersuchten Modul<sup>1</sup> haben sich die beiden Abhängigkeiten in einem großen Maße kompensiert, was die Sensitivität im regulären Umrichterbetrieb deutlich senkte. Insbesondere hängt die erreichbare Sensitivität nun von zwei Halbleitereigenschaften ab, die gegeneinander wirken. Dadurch muss die Eignung diese TSEPs für jeden Halbleitertypen und Modell neu evaluiert werden und ist nicht Einschränkungsfrei auf eine Produktpalette skalierbar.

Die Durchlassspannung von IGBTs, MOSFETs und Dioden weißt eine Abhängigkeit von Temperatur und Strom auf. Da der Laststrom aus dem Umrichter bekannt ist, könnte der Parameter zur Temperaturbestimmung genutzt werden. Insbesondere an MOSFETs mit niedriger Durchlassspannung wird die messbare Spannung jedoch stark vom Spannungsabfall an den Bonddrähten beeinflusst. Damit spielt zum einen die Temperatur der Bonddrähte eine Rolle, als auch deren Degradation. Damit weißt dieser Parameter eine starke Abhängigkeit zum Alter des Moduls auf und kann zur Detektion von Bonddrahtschäden verwendet werden, sofern vorhanden [5]. Die messtechnische Erfassung ist bereits bekannt und mit einfachen Mitteln möglich [8]. Teile der benötigten Messschaltung sind in ähnlicher Form bereits in heutigen Gatetreibern im Rahmen von *active-clamping* vorhanden.

In der Leistungselektronik ist es üblich, dass mehrere Chips parallelgeschaltet werden. Weiter bestehen ein einzelner Chip bereits selbst aus einer sehr hohen Zahl parallelisierter Basiszellen. Für eine passive Lastbalancierung (Strom) ist es wichtig, dass die Leistungshalbleiter einen positiven Temperaturkoeffizienten (PTC) in der Durchlassspannung aufweisen und dies ein Designziel der Hersteller bleiben wird. Daher kann davon ausgegangen werden, dass die Durchlassspannung generell für heutige und zukünftige Halbleiter einsetzbar ist und bleiben wird.

---

<sup>1</sup> Vorarbeit an *Infineon FF1000R17IE4*; Die Module des Projektes waren in 2018 noch nicht verfügbar.

Zeitmessungen während des Ein- und Ausschaltvorgangs haben den besonderen Vorteil, dass die Messschaltung fast vollständig digital ist. Dabei wird die Genauigkeit in der Regel durch den eingesetzten Referenzquarz vorgegeben. Je nach Anspruch an Genauigkeit und Temperaturstabilität können Quarze in verschiedener Qualität eingesetzt werden. Dadurch sind Messschaltungen möglich, die über einen weiten Bereich an Umgebungstemperaturen operieren können.

### **Kombinationsmöglichkeiten**

Eine Forschungsfrage des Teilvorhabens ist die Kombination mehrerer TSEPs für eine verbesserte Temperaturbestimmung und damit einhergehende Alterungsbestimmung. In vorangegangenen Arbeiten des IALs wurden bereits erste Untersuchungen gemacht, durch die Kombination der zwei TSEPs „Einschaltzeit“ und „Ausschaltzeit“ die Messung des Laststromes zu substituieren. Der Grundgedanke bestand darin, aus zwei unabhängigen Messwerten zwei Unbekannte zu bestimmen.

Zwar ist der Laststrom generell durch die Umrichtersensoren verfügbar, jedoch enthält diese Information Messrauschen und findet zu einem anderen Zeitpunkt innerhalb der PWM Periode statt. Der Momentanstromwert beim Einschalten ist unter Berücksichtigung der Stromschwankungsbreite verfälscht. Ähnliches gilt für die Zwischenkreisspannung.

Final wurden vier TSEPs ausgewählt, die sich in kurzer Abfolge beim Einschalten eines Schalters messen lassen:

1. Die Durchlassspannung des Schaltpartners vor dem Einschalten<sup>2</sup>  $U_{comp}$
2. Die Einschaltverzögerungszeit  $t_d$  bis zum Erreichen der Thresholdspannung
3. Die Stromanstiegszeit  $t_{ri}$
4. Die Durchlassspannung des eingeschalteten IGBTs, nach dem Einschalten  $U_{dut}$

Das Messkonzept ist in Abbildung 1 dargestellt.

Da die Messungen eng aufeinanderfolgen wird davon ausgegangen, dass sie bei gleichem Laststrom und gleicher Zwischenkreisspannung durchgeführt werden. Dadurch lassen sich die zusätzlichen Messungen nutzen um unbekannte Parameter zu eliminieren.

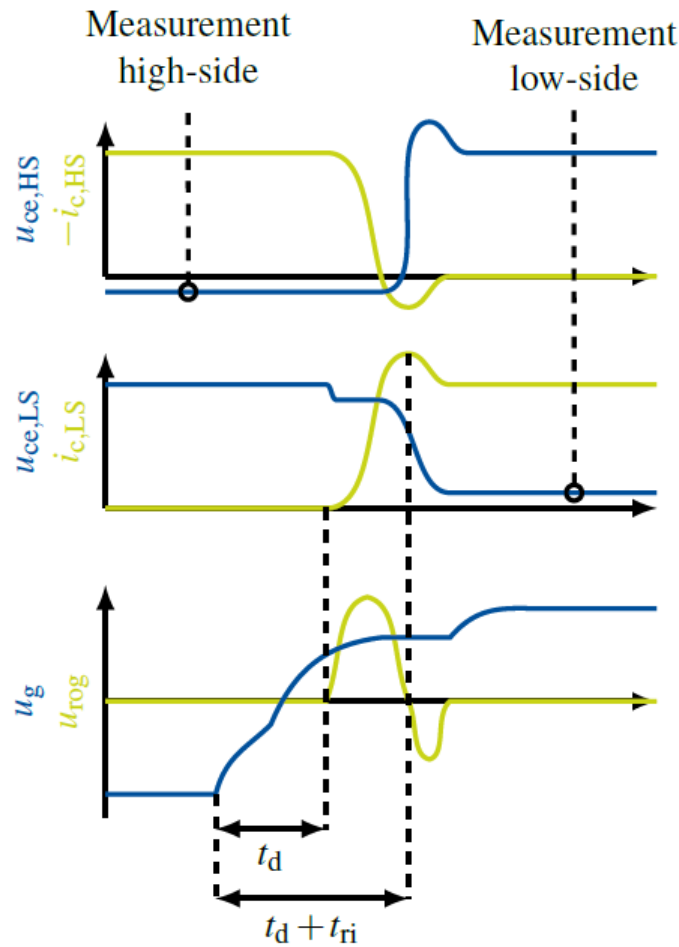
Tabelle 2 zeigt die erwarteten Abhängigkeiten der einzelnen TSEPs. Die vier TSEPs hängen zunächst von vier Einflussfaktoren ab:

1. Der Sperrschichttemperatur des eingeschalteten Schalters
2. Der Sperrschichttemperatur des Schaltpartners (hier, der High-Side Diode), da dies die Rückstromspitze beeinflusst
3. Dem geschalteten, beziehungsweise geführten, Laststrom
4. Der Zwischenkreisspannung

Das System liefert vier Messwerte pro Schalter und hängt von vier Unbekannten ab.

---

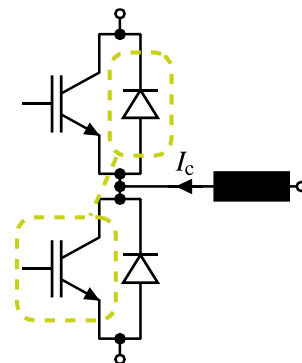
<sup>2</sup> Für einen Low-Side IGBT bedeutet dies die High-Side Diode. Kommen SiC-MOSFETs zum Einsatz, wird nicht die Bodydiode gemessen, sondern die Durchlassspannung des High-Side MOSFETs in Rückwärtsrichtung.



**Abbildung 1: Messkonzept für die gewählten TSEPs beim Einschalten der Low-Side [1]; Die elektrischen Größen sind in Abbildung 2 dargestellt.**

**Tabelle 2: Abhängigkeiten der gewählten TSEP-Kombination [1]**

Dependency \ TSEP	$t_d$	$t_{ri}$	$U_{ce,sat}$	$U_f$
Junction temperature IGBT	✓	✓	✓	
Junction temperature diode		✓		✓
Load current		✓	✓	✓
DC-link voltage	✓	✓		
Bond wire lift-off			✓	✓
Solder degradation	✓	✓	✓	✓



Es ist zu erwarten, dass dadurch eine Sperrschichttemperaturbestimmung allein basierend auf Messgrößen auf dem Gatetreiber möglich wäre sowie die Bestimmung des Laststroms und der Zwischenkreisspannung vom Gatetreiber aus. Dies ist jedoch nicht das Ziel der Anwendung. Vielmehr sollen die zusätzlichen Messungen genutzt werden um andere Unbekannte zu

bestimmen. Das heißt, die Umrichtersensoren für Strom und Spannung werden weiterhin genutzt und erhöhen die Zahl an Messwerten damit zu sechs.

Ziel ist es, aus der Menge von sechs Messwerten zusätzlich die gesuchten Unbekannten der Modulalterung zu erkennen:

5. Erhöhung der Durchlassspannung durch Bonddrahtbruch oder Alterung der Metallisierung
6. Erhöhung der Sperrschichttemperatur, beziehungsweise thermischen Widerstand des Moduls, durch Lotschichtdegradation

### **Fazit**

Die Übertragung von TSEP-Auswertungen aus der Laborumgebung in laufende Umrichter stößt häufig auf einige Herausforderungen. Insbesondere hängen die untersuchten Parameter von anderen elektrischen Größen ab oder die Alterung des Moduls selbst beeinflusst den Parameter [4]. Weiterhin ist eine Übertragung der Kalibrierungskennlinien aus Doppelpulsversuchen auf den regulären Umrichterbetrieb mit einer weiten Variation der Betriebsmodi oft schwierig.

Der Einfluss der Bonddraht-Alterung führt beispielsweise zu einer Erhöhung der Durchlassspannung des Moduls. Wird nur die Durchlassspannung als TSEP erfasst, ist bei einer auffälligen Messung jedoch nicht klar, ob dies durch eine erhöhte Chiptemperatur oder die Alterung des Moduls verursacht wird. Nimmt man an, die Chiptemperatur sei durch einen weiteren TSEP bekannt, könnte dadurch sofort auf eine Schädigung der Bonddrähte rückgeschlossen werden. Die Einführung weiterer Messung ermöglicht auch die Elimination weiterer Unbekannter, die, zum Beispiel, vom Betriebsmodus abhängen. Die Kombination mehrerer TSEPs wird daher generell als vorteilhaft angesehen.

Betrachtet man die verfügbaren TSEPs, legt dies besondere Betonung auf Zeitmessungen. Der nutzbare IC *TDC7200* von *Texas Instruments* ermöglicht die Erfassung mehrerer Zeiten während der Aus- und Einschaltvorgänge des Moduls mit nur einer Messschaltung. Jede gemessene Zeit stellt dabei einen eigenständigen TSEP dar, welche in einer kombinierten Auswertung genutzt werden können. Die Auflösung liegt dabei bei bis zu 55 ps, was auch die Messung von SiC-Modulen ermöglichen sollte.

Die Auswahl der TSEPs fällt auf die Erfassung von Schaltzeiten und diese mit den Durchlassspannungen der Komponenten gemeinsam zu verarbeiten. Die Zeitmessungen können mehrere unabhängige Messungen liefern und die Durchlassspannungen lassen direkt Bezug auf die Degradation des Moduls zu.

### **II.1.3 AP 1.4 – Auswahl geeigneter Monitoring Konzepte**

Dieses Arbeitspaket hat zum Ziel, grundlegende Konzepte für Messschaltungen zu Erfassung von TSEPs auszuarbeiten.

Da zu Beginn des Projektes Auswahl, Verfügbarkeit und Prüfstandsintegration der finalen Leistungsmodule noch ausstehend war, wurden die Konzeptuntersuchungen zunächst an vorhandenen Primepack IGBT Modulen von Infineon mit kommerziellen Treibern durchgeführt.

**Tabelle 3: Genutzte Hardware für die Voruntersuchungen AP1**

**Leistungsmodule:**

Infineon FF1000R17IE4D\_B2  
(IGBTs)

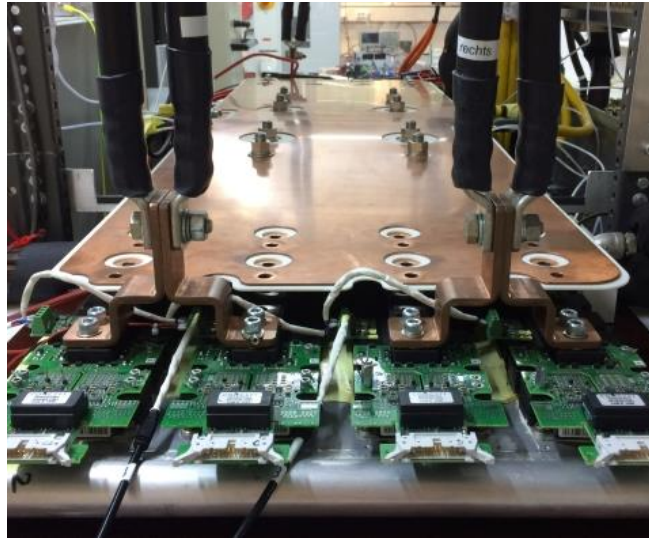
Nennstrom: 1000 A

Sperrspannung: 1700 V

**Treiber:**

Power Integrations

2SP0320 Dual-Channel SCALE Driver



Dazu wurde eine TSEP Messhardware konzipiert, welche die vier in AP1.2 ausgewählten TSEPs an IGBT Modulen erfassen kann und veröffentlicht [1]. Es ist bereits bekannt, dass die Schaltzeiten gut über den Spannungsabfall am Leistungsemitter gemessen werden können. Als alternative soll die Schaltzeiterfassung über eine Rogowskispule untersucht werden. Die Nutzung einer Rogowskispule böte mehr Flexibilität für die Positionierung der Messsysteme in einem Fahrzeug sowie eine galvanische Trennung von Messsystem und dem Umrichter selbst.

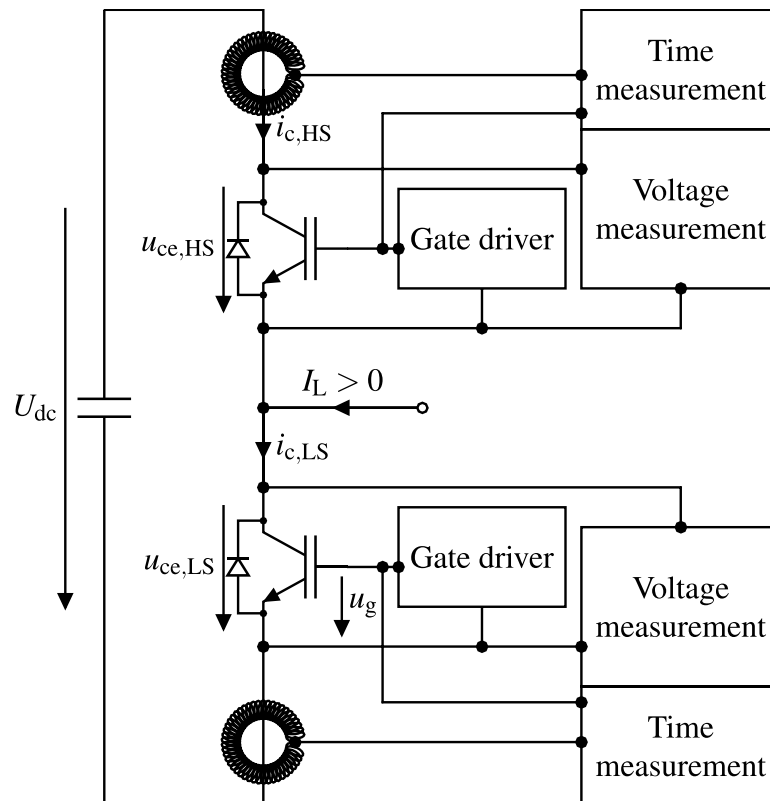
Das Konzept ist in Abbildung 2 dargestellt. Für beide topologischen Schalter einer Halbbrücke wurden jeweils die Messsysteme für die vier TSEPs implementiert. Dabei ist je Schalter nur eine Spannungs- und eine Zeitmessung vorgesehen. Die Messung der Durchlassspannung des Schaltpartners kann von der bereits vorhandenen Spannungsmessung durchgeführt werden.

Die Zeitmessung benötigt eine Triggerschaltung, welche den Spannungspuls am Leistungsemitter in ein Signal mit CMOS-Level adaptiert. Beim Schalten des IGBTs kommt es zu einer schnellen Änderung des Kollektorstromes. Dies führt zu einer hohen induzierten Spannung in die Rogowskispule. Die Spannung der Rogowskispule wird über ein analoges Frontend auf CMOS-Level übersetzt. Mehrere Anforderungen stellen sich an dieses Analogfrontend.

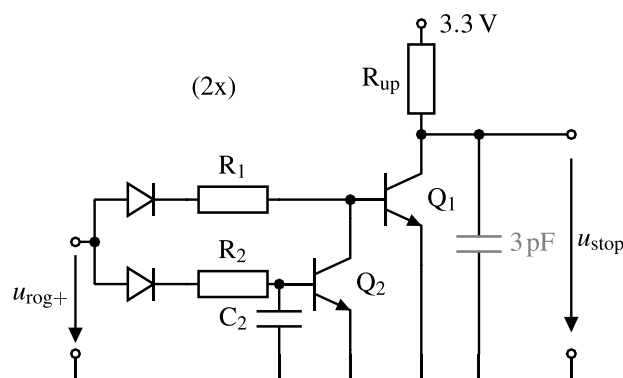
- Es sollte eine möglichst niedrige Signallaufzeit haben
- Es muss die nachfolgende digitale Messtechnik vor den hohen Spannungspulsen am Leistungsemitter schützen
- Der Signal-Rausch-Abstand muss hoch genug sein um ungewollte Trigger nahe der Schaltvorgänge zu vermeiden.
- Die Messschaltung sollte eine niedrige Temperaturabhängigkeit aufweisen

Für eine niedrige Signallaufzeit ist es generell vorteilhaft, wenige Stufen der Signalwandlung zu nutzen. Konzeptüberlegungen mit Komparatoren führten häufig zu aufwändigeren

Schutzbeschaltungen, welche eine temperaturabhängige Signallaufzeitveränderung verursachen.



**Abbildung 2: Konzept der entstandenen TSEP-Messhardware für Voruntersuchungen and IGBTs; Es können vier TSEPs pro Schalter in naher Abfolge bei einem Einschaltvorgang erfasst werden [1].**



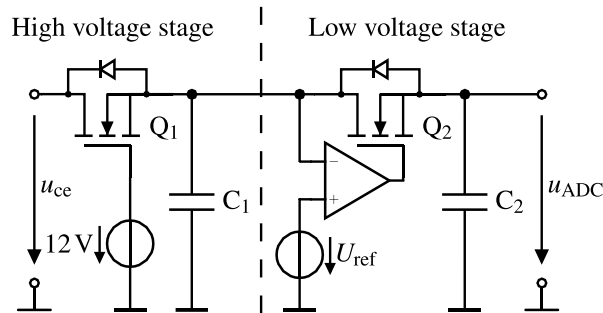
**Abbildung 3: Analogfrontend für die Schaltzeiterfassung an IGBTs [1]**

Final wurde eine Emitterschaltung mit Bipolartransistoren gewählt. Die Schaltung ist in Abbildung 3 dargestellt.

Da die Basis-Emitterstrecke einen Stromfluss zulässt, kann praktisch die gesamte induzierte Spannungsspitze über den Basiswiderstand abfallen, was nachfolgende Bauteile schützt. Die Bipolartransistoren sind Hochfrequenzbauteile um eine möglichst kurze Signallaufzeit zu erreichen. Die Temperaturstabilität dieser Messschaltung hängt maßgeblich von der Temperaturstabilität der Basis-Emitter Schwellenspannung des Transistors  $Q_1$  ab. Der

Transistor  $Q_2$  dient lediglich der Pulsbeendigung. Als Gegenmaßnahme wird zum einen das gleiche Analogfrontend sowohl für die Startsignalerzeugung, als auch für die Stoppsignalerzeugung genutzt. Zum anderen wird die Triggerschwelle so niedrig wie möglich gesetzt, wodurch sich Veränderungen der Schwellenspannung des Transistors  $Q_1$  zum größten Teil kompensieren sollten oder keinen relevanten Einfluss haben sollten<sup>3</sup>. Die Temperaturstabilität der finalen Messschaltung wird in AP 2.3 detailliert untersucht.

Das Analogfrontend zur Durchlassspannungsmessung stellt einen passiven Spannungslimitierer dar, siehe Abbildung 4.



**Abbildung 4: Spannungslimitierer zur Durchlassspannungsmessung [1]**

Steigt die Kollektor-Emitter Spannung  $u_{ce}$ , lädt sich der Kondensator  $C_1$  auf. Dadurch sinkt die Gate-Source Spannung des MOSFETs  $Q_1$  und dieser blockiert. Eine erste Stufe reicht nur um die Spannung in einen Spannungsbereich im von ca. 15 V zu limitieren. Daher wird eine zweite Stufe eingesetzt, welche die Spannung feiner auf den Eingangsspannungsbereichs des nachfolgenden ADCs anpasst. Zusätzlich, wird eine aktive Abschaltung eingesetzt, welche bei Bedarf die verbleibenden Leckströme durch die Transistoren reduzieren soll. Im finalen Design wird auf diese Einrichtung verzichtet, da eine passive Abschaltung ausreichend ist.

Fällt die Kollektor-Emitter Spannung des Leistungsmodul deutlich unter 12 V, werden die Speicherkapazitäten  $C_1$  und  $C_2$  zunächst über die Bodydioden der MOSFETs  $Q_1$  und  $Q_2$  entladen. Fällt die Spannung an den Kondensatoren, steigt die Gate-Source Spannung der MOSFETs  $Q_1$  und  $Q_2$  und diese beginnen zu leiten.

Es wurden Spicesimulationen zur Auslegung der Messschaltungen durchgeführt. Insbesondere muss bei dem Analogfrontend der Durchlassspannungsmessung auf die kapazitiven Umladeströme durch die MOSFETs  $Q_1$  und  $Q_2$  geachtet werden, wenn das Leistungsmodul schaltet. Die Gatespannungslevel der MOSFETs müssen so ausgelegt werden, dass diese Umladeströme innerhalb der Betriebsgrenzen der MOSFETs liegen.

Ein weiterer Aspekt ist das Tiefpassverhalten des Frontends. Dieses bildet sich aus den Durchlasswiderständen  $R_{ds,on}$  der MOSFETs  $Q_1$  und  $Q_2$  sowie der Kapazitäten  $C_1$  und  $C_2$ . Insbesondere während der transienten Vorgänge sind die MOSFETs noch nicht vollständig aufgesteuert, was zu einem nichtlinearen Tiefpassverhalten führt. Diese Effekte müssen durch

<sup>3</sup> In der finalen Schaltung für SiC-MOSFETs wurde der Basiswiderstand zu einem ohmschen Spannungsteiler erweitert um das Triggerlevel anpassen zu können.

eine geeignete der Gatespannungen, der Thresholdspannungen der MOSFETs sowie deren Durchlasswiderstände ausgelegt werden.

Weitere Details zum Messkonzept sind für IGBTs in [1] veröffentlicht worden. Eine detaillierte Analyse der Schaltung beim finalen Einsatz mit SiC-Leistungsmodulen ist in [3] veröffentlicht und gegen die bekannte Diodenschaltung verglichen.

#### **II.1.4 AP 2.1 - Entwicklung von Beobachterstrukturen**

In diesem Arbeitspaket wurde ein stark reduziertes Spicemodell des Boschmoduls erstellt, an welchem die Auswirkungen von Alterung an einem außen messbaren TSEP simuliert werden kann. Dazu wurden die elektrischen Parameter des Moduls aus den gestellten CAD-Daten ermittelt und mit Spicemodellen der IGBT-Chips von Infineon vereint.

Das Modell wurde für Untersuchungen genutzt, welche in Laboraufbauten nur schwer durchzuführen sind. Der Fokus wurde auf die Fragestellung gelegt, wie sich ungleichmäßige Alterung der einzelnen Chips innerhalb des Moduls auf den außen messbaren TSEP auswirkt.

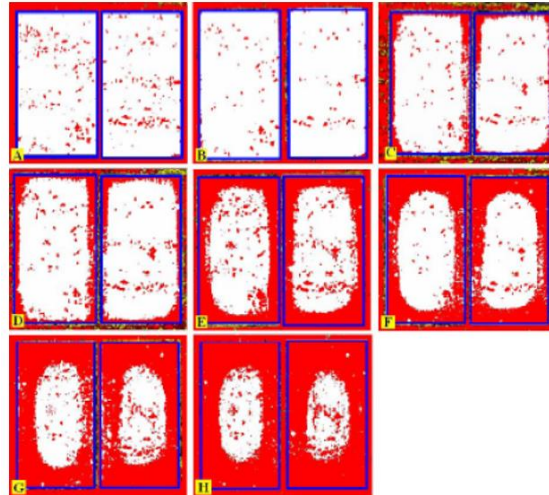
Zur Untersuchung wurde die Durchlassspannung der IGBTs als TSEP gewählt. Um eine ungleichmäßige Alterung zu simulieren, wurde in der Simulation eine starke Alterung der Chipplötung eines einzelnen IGBT Chips abgebildet. Die Lotschicht des zweiten, parallelgeschalteten IGBTs wurde als voll funktionsfähig abgebildet.

Jeder topologische Schalter (High-Side/Low-Side) besteht aus je zwei parallelgeschalteten IGBT Chips sowie je zwei parallelgeschalteten Dioden. Üblicherweise beginnt Lotschichtdegradation in den Ecken der Lotfläche. Abbildung 5 zeigt den fortschreitenden Verlauf einer Lotschichtdegradation zwischen Chip und DCB mit fortschreitenden Alterungszyklen.

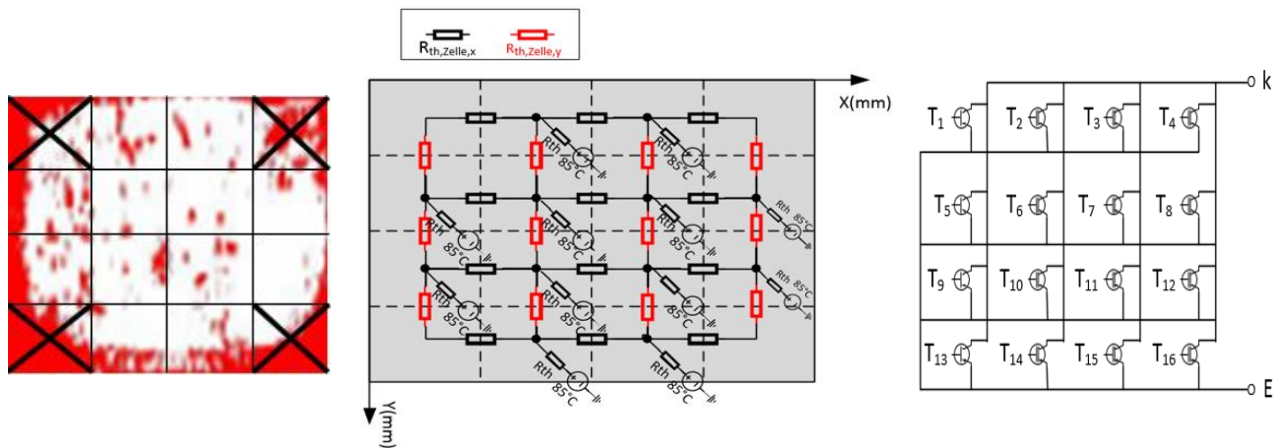
Aus dem CAD Modell wurden die elektrischen Widerstände der Aufbau- und Verbindungstechnik des Modulaufbaus für ein aggregiertes Modell extrahiert.

Die thermischen Widerstände von Chip zur Bodenplatte lassen sich für eine intakte Lotschicht direkt aus der Simulation bestimmen, in dem eine homogene Verlustleistung in dem Chipvolumen eingepreßt wird. Dies vernachlässigt jedoch die typische Temperaturinhomogenität der Chips im Betrieb. Da angenommen wird, dass eine Lotschichtalterung in den Ecken beginnt, sollte eine heterogene Temperaturverteilung der Chips berücksichtigt werden. Als finale Abwägung zwischen Genauigkeit und Simulationsaufwand, wurden die IGBT Chips in 16 Zellen unterteilt, siehe Abbildung 6 . Das SPICE Modell der IGBT Chips wurde von Infineon bereitgestellt. Jede Zelle wurde dabei als einzelner IGBT in SPICE abgebildet. Elektrisch sind alle Zellen an Kollektor, Emitter und Gate parallelgeschaltet, können jedoch unterschiedliche Temperatur haben. Das thermische Modell beinhaltet auch Wärmequerleitung zwischen den 16 Zellen als aggregiertes Modell. Für den als defekt modellierten IGBT wurde angenommen, dass die Zellen in den vier Ecken keine Lotverbindung zum DCB-Substrat (Direct copper bonded) aufweisen. Dies entspricht einer Lotschichtdegradation von etwa 25% eines der Chips.





**Abbildung 5: Lotschichtdegradation einer Chiplötung über Alterungszyklen [9]**



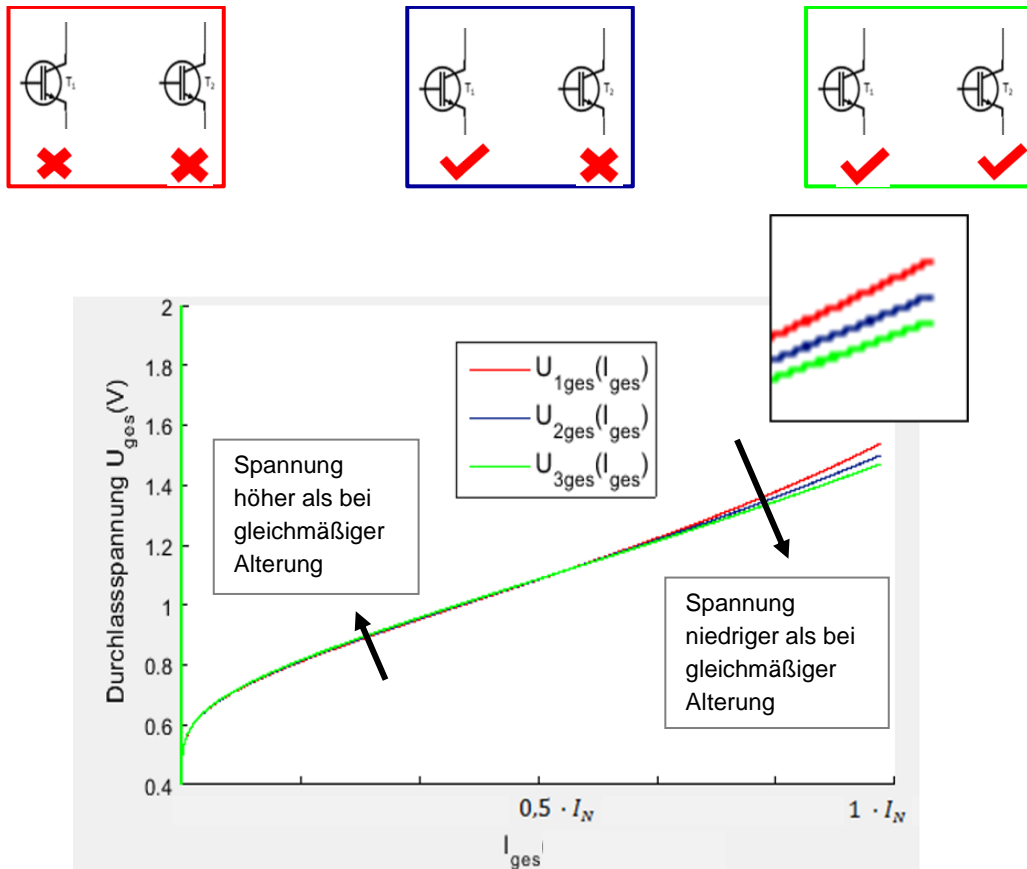
**Abbildung 6: Als fehlerhaft modellierte Zellenbereiche (links) [9]; Interne Zellenstruktur des Zellenmodells: thermisch (Mitte) und elektrisch (rechts)**

Insbesondere die äußeren Zellbereiche ohne vertikale Lotschichtverbindung weisen eine deutlich höhere Temperatur auf. Im Modell sind die äußeren Zellen thermisch weiterhin über die Querleitung (lateral) zu den benachbarten Zellen verbunden. Bei hohen Gesamtströmen, sinkt der relative Stromanteil der heißeren Zellen durch das PTC Verhalten der Durchlassspannung der IGBTs.

Die vorangegangenen Erläuterungen beziehen sich auf die grundlegenden Phänomene innerhalb eines Chips. Diese lassen sich weiter auf das Verhalten von zwei diskreten, parallelgeschalteten Chips übertragen. Bei diesen Untersuchungen können Spannungsabfälle über der Aufbau- und Verbindungstechnik zu zusätzlichen elektrischen Einflüssen führen. Beispielsweise kleine Abweichungen der Gatespannung an den einzelnen Chips.

Abbildung 7 zeigt die an den äußeren Klemmen des Moduls messbare Durchlassspannung bei gleichmäßiger und ungleichmäßiger Alterung. Bei hohen Strömen ist die von außen erkennbare Gesamalterung etwas niedriger als erwartet. Dies liegt daran, dass das PTC-Verhalten der IGBTs bei hohen Strömen zu einer Entlastung der geschädigten (heißeren) IGBT Zellbereiche führt. Ein interessanter Aspekt für IGBTs ist, dass die von außen erkennbare Gesamalterung

bei kleinen Lastströmen, zum Beispiel  $0.25 I_N$ , größer erscheint als erwartet. Bei niedrigeren Lastströmen weisen IGBTs üblicherweise NTC Verhalten in der Durchlassspannung auf. Dies führt zu einer zusätzlichen Belastung der geschädigten Zellbereiche in diesem Betriebspunkt.



**Abbildung 7: An den äußeren Klemmen messbare Durchlassspannung bei ungleichmäßiger Alterung**

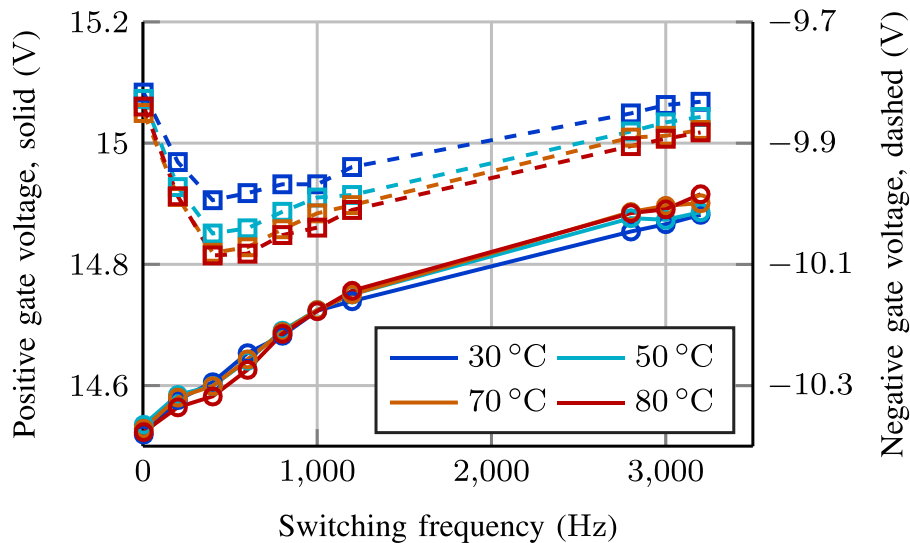
### Parasitäre Einflüsse auf Systemebene

Aus den Rechercharbeiten bekannter TSEPs zeigte sich, dass einige Größen im Allgemeinen als konstant angenommen werden. Insbesondere wird davon ausgegangen, dass die Ausgangsspannungen der Gatetreiber konstant sind. In einer Voruntersuchung an einem kommerziellen Gatetreiber konnte gezeigt werden, dass dies nicht uneingeschränkt gilt.

Für die Messung wurde der Gatetreiber in einem Laborofen temperiert und an eine Last angeschlossen, die den passenden Gatekreis nachbildet. Weiterhin wurde die Schaltfrequenz variiert, da diese proportional zur Ausgangsleistung des Treibers ist. Der hier gemessene Treiber wird üblicherweise bei Schaltfrequenzen von 1 bis 3 kHz betrieben.

Es zeigt sich, dass insbesondere die negative Gatetreiberspannung deutlich mit der Temperatur des Treibers schwankt. Die Schwankung von etwa 50 bis 100 mV liegt dabei in einem ähnlichen Rahmen wie einige TSEPs, z.B. die Höhe der Miller-Plateau-Spannung. Weiterhin gibt es einen deutlichen Unterschied der Spannung vom unbelasteten Fall (0 Hz) zur Nennfrequenz von 1 kHz. Dies führt dazu, dass die Gatetreiberspannung während einer TSEP-Kalibrierung im Doppelpulsverfahren eine andere ist, als im regulären Umrichterbetrieb.

Abbildung 8 zeigt die positive und negative Gatetreiberspannung des Treibers *ZSP0320xs2Ax* von *Power Integrations*

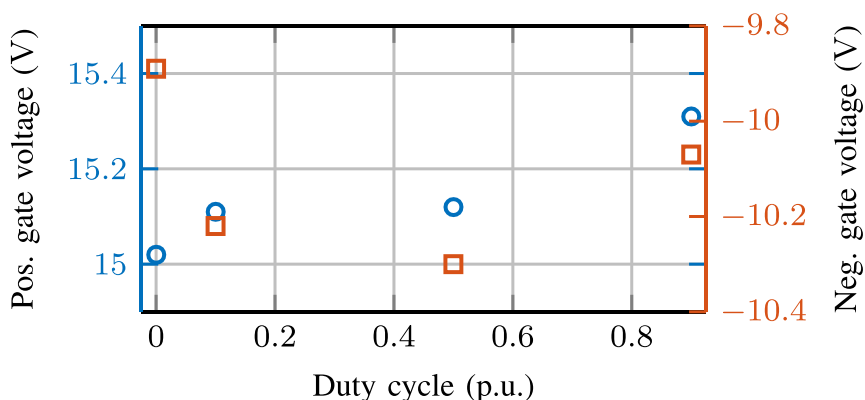


**Abbildung 8: Gatetreiberspannung über Temperatur und Schaltfrequenz [2]**

Insbesondere die positive Gatetreiberspannung hat starken Einfluss auf die meisten TSEPs wie Schaltzeiten und Durchlassspannungen.

Vor der Durchführung eines Doppelpulses wurde der Treiber mit Schaltfrequenz betrieben, ohne dass ein Laststrom floss. Dadurch sollte die Treiberspannung während der Kalibrierung im Doppelpulsverfahren auf ein passendes Niveau zum regulären Betrieb angepasst werden.

Während dieser Implementierung wurde auch das Verhalten der positiven und negativen Gatespannung in Abhängigkeit von dem Aussteuergrad der Halbbrücke untersucht. Die Ergebnisse sind in Abbildung 9 zu sehen.



**Abbildung 9: Gatetreiberspannung in Abhängigkeit von dem Aussteuergrad [2]**

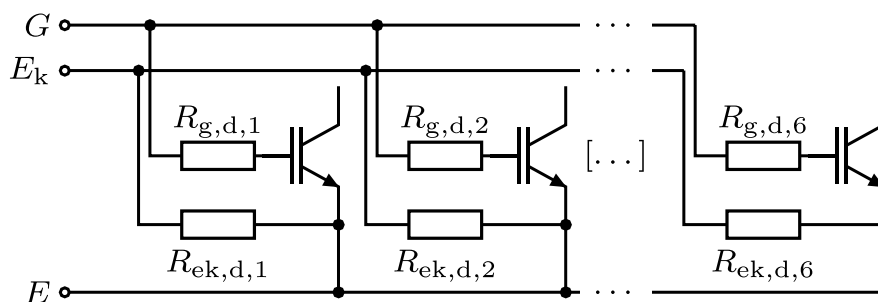
Es sind sehr starke Variationen in Abhängigkeit vom gestellten Aussteuergrad zu erkennen. Der Aussteuergrad kann in jeder Messung (sprunghaft) neue Werte annehmen. Während die Änderungen mit der Schaltfrequenz und der Treibertemperatur gegebenenfalls durch Beobachtermodelle mit Störidentifikation kompensiert werden könnten, ist eine Variation mit dem Aussteuergrad nur schwer erkennbar ohne dies mitzukalibrieren.

Nach diesen Erkenntnissen wurde festgelegt, dass die Gatetreiberspannung für eine erfolgreiche TSEP Messung im Betrieb stabilisiert werden muss.

Eine weitere Untersuchung betraf mögliche Störgrößen innerhalb eines Leistungsmoduls selbst. Diese ließen sich nicht durch das externe Design beeinflussen und müssen bei der Auslegung betrachtet werden. Besonderer Fokus viel dabei auf diskrete Widerstände, welche in Modulen mit parallelisierten Chips auftreten können um Schaltzeiten zu synchronisieren und Schwingungen zwischen den einzelnen Gatekreisen zu dämpfen, siehe Abbildung 10 und Abbildung 11. Diese Widerstände werden relevant, wenn viele Chips oder diskrete Leistungshalbleiter parallelgeschaltet werden, zum Beispiel bei zukünftigen Leistungssteigerungen der elektrischen Antriebe in Fahrzeugen.



**Abbildung 10: Foto der diskreten Widerstände in einem geöffneten IGBT Leistungsmodul FF1000R17IE4D\_B2 [2]**

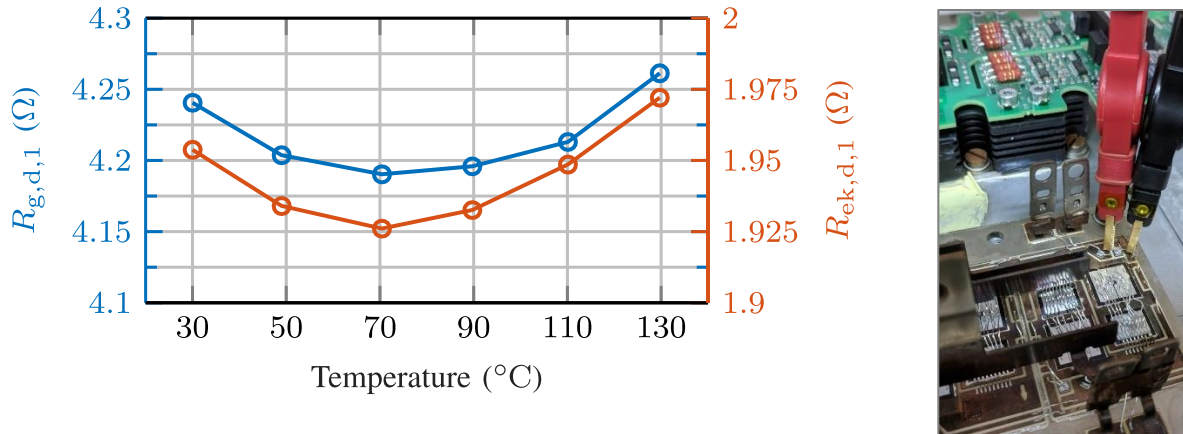


**Abbildung 11: Parallelschaltung von 6 IGBT Chips innerhalb des Moduls mit integrierten, diskreten Gatewiderständen [2]**

Während der Kalibrierung in Doppelpulsversuchen befindet sich das Modul auf einer Heizplatte und hat eine homogene Temperatur. Dadurch haben in diesem Fall Chip und diskreter Widerstand dieselbe Temperatur und gehen so in die Kalibrierung ein.

Während des regulären PWM-Betriebes unter Last entstehen Verluste in den Chips. Die Chips erwärmen sich deutlich gegenüber dem Rest des DCBs, während die diskreten Widerstände deutlich kühler bleiben. Dadurch ändert sich der Einfluss der diskreten Widerstände im Vergleich zur Kalibrierung.

Für eine Beurteilung wird die Temperaturabhängigkeit der diskreten Widerstände benötigt. Dazu wurden die Bonddrähte eines geöffneten Moduls passend durchtrennt und die Temperaturabhängigkeit der Widerstände vermessen, siehe Abbildung 12. Auf die dadurch entstehenden Fehler wird später eingegangen.

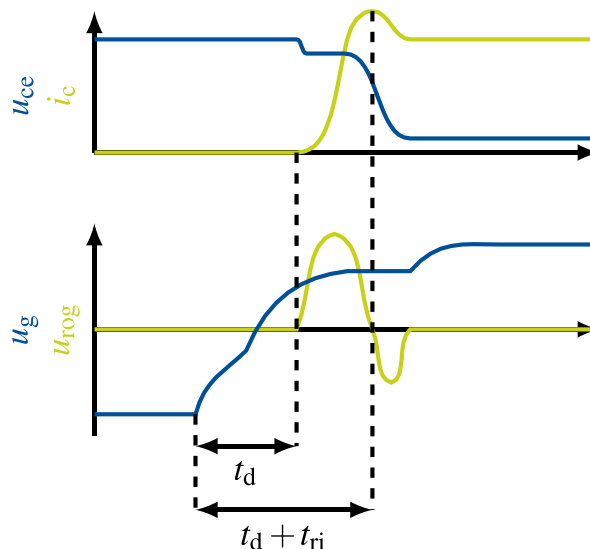


**Abbildung 12: Gemessene Temperaturabhängigkeit der diskreten Widerstände innerhalb des Leistungsmoduls [2]**

### Fehlerfortpflanzung

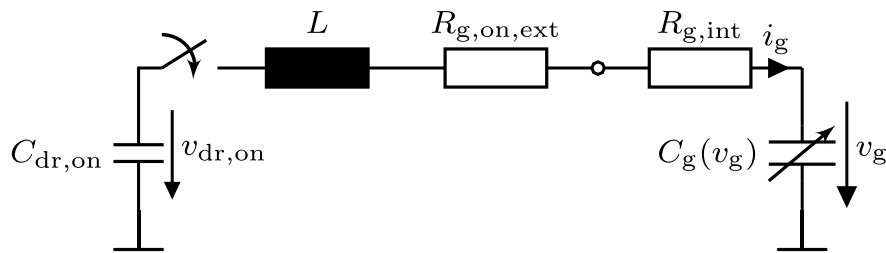
An dieser Stelle wurde die Fehlerfortpflanzung der beobachteten möglichen Einflussfaktoren durchgeführt und schließlich veröffentlicht [2].

Dazu wurden als Beispiel die Einschaltverzögerungszeit bis zum Erreichen der Thresholdspannung  $t_d$  sowie die Stromanstiegszeit  $t_{ri}$  betrachtet, siehe Abbildung 13.



**Abbildung 13: Ausgewählte TSEPs zur Untersuchung parasitärer Einflüsse [2]**

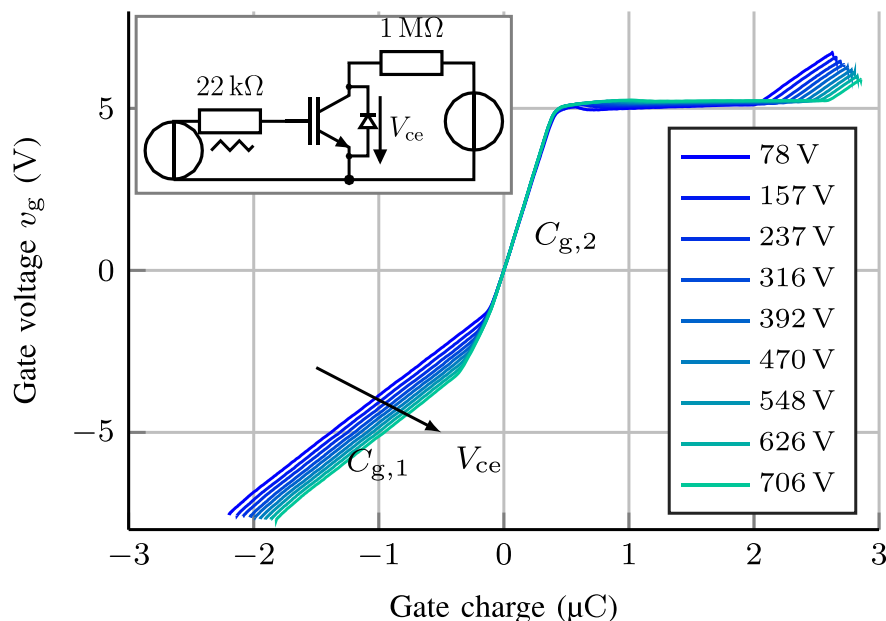
Es wurde ein analytisches Modell des Gatekreises gebildet, siehe Abbildung 14.



**Abbildung 14: Nichtlineares Modell des Gatekreises, Gatetreibers und der Gatekapazität [2]**

Dies beinhaltet die folgenden Aspekte.

- Die Abbildung des Gatetreibers durch seine Stützkondensatoren. Dies erlaubt einen modellierten Spannungseinbruch der Gatetreiberspannung durch den Ladevorgang. Die Werte wurden vom kommerziellen Gatetreiber extrahiert.
- Die Gatekreisinduktivität. Diese wurde mit einem Impedance-Analyzer am Modul gemessen.
- Externe und interne Gatewiderstände. Der interne Gatewiderstand enthält auch die gezeigten diskreten Widerstände innerhalb des Modulaufbaus.
- Das nichtlineare Verhalten der Gatekapazität, siehe Abbildung 15.



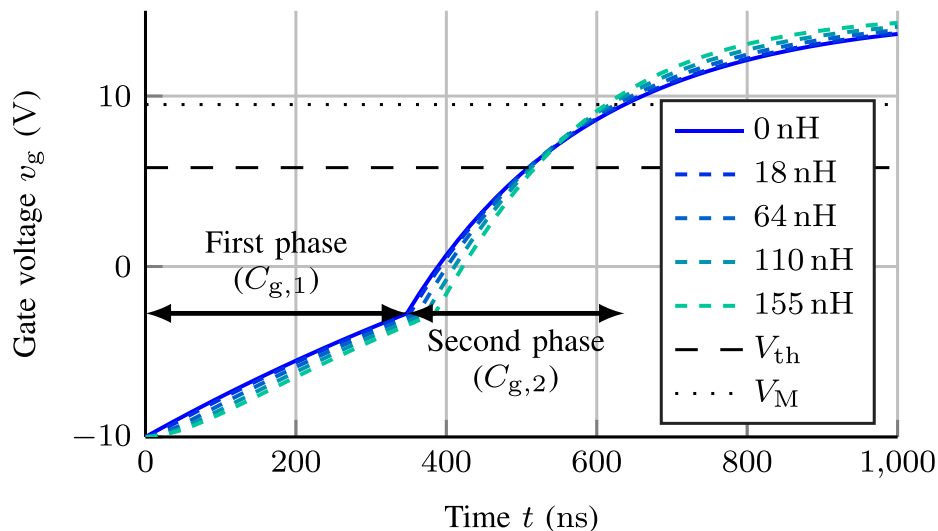
**Abbildung 15: Gemessene Nichtlinearitäten der Gatekapazität in Abhängigkeit von der Gatespannung [2]**

Die benötigten Abschnitte der Gatekapazität lassen sich stückweise linear beschreiben. Pro Abschnitt bilden sich dadurch sich homogene Differentialgleichungen zweiter Ordnung mit konstanten Koeffizienten

$$v_g(t) = A_1 e^{\lambda_1 t} + A_2 e^{\lambda_2 t} + A_3 .$$

Zur Beschreibung der Einschaltverzögerung und Stromanstiegszeit muss das Modell in zwei Phasen unterteilt werden, entsprechend der Gatekapazitäten  $C_{g,1}$  und  $C_{g,2}$ .

Beispielverläufe des analytischen Modells sind in Abbildung 16 dargestellt. Die Parameter der Differentialgleichung wurden aus Randbedingungen des Systems bestimmt. Daraus lassen alle Abhängigkeiten der Einschaltverzögerung und der Stromanstiegszeit erkennen. Eine ausführliche Beschreibung des Lösungsvorgangs ist in [2] veröffentlicht.



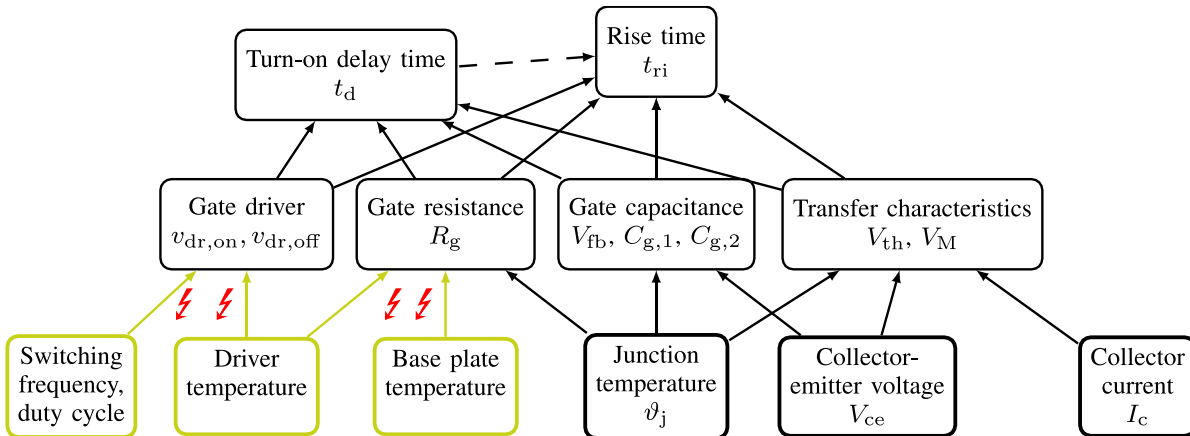
**Abbildung 16: Beispielverläufe des analytischen Modells des Einschaltvorgangs [2]**

Die bestimmten Abhängigkeiten sind in Abbildung 17 dargestellt. In der rechten Hälfte befinden sich Abhängigkeiten, welche eng mit der gesuchten Sperrschichttemperatur zusammenhängen. Dies sind Abhängigkeiten, welche zu der gewünschten Temperaturabhängigkeit der TSEPs führen.

Die linke Hälfte zeigt ungewünschte Einflüsse, insbesondere die Gatetreiberspannungen. Es wurde bereits gezeigt, dass die Gatetreiberspannung stark variieren kann und nicht miterfasst wird. Unkompensiert würde dies zu Abweichungen in der TSEP-basierten Temperaturbestimmung führen. Zusätzlich hängen diese Parameter indirekt von anderen Größen ab, beispielsweise der Umgebungstemperatur. Diese Einflüsse wurden als parasitäre Einflüsse beschrieben.

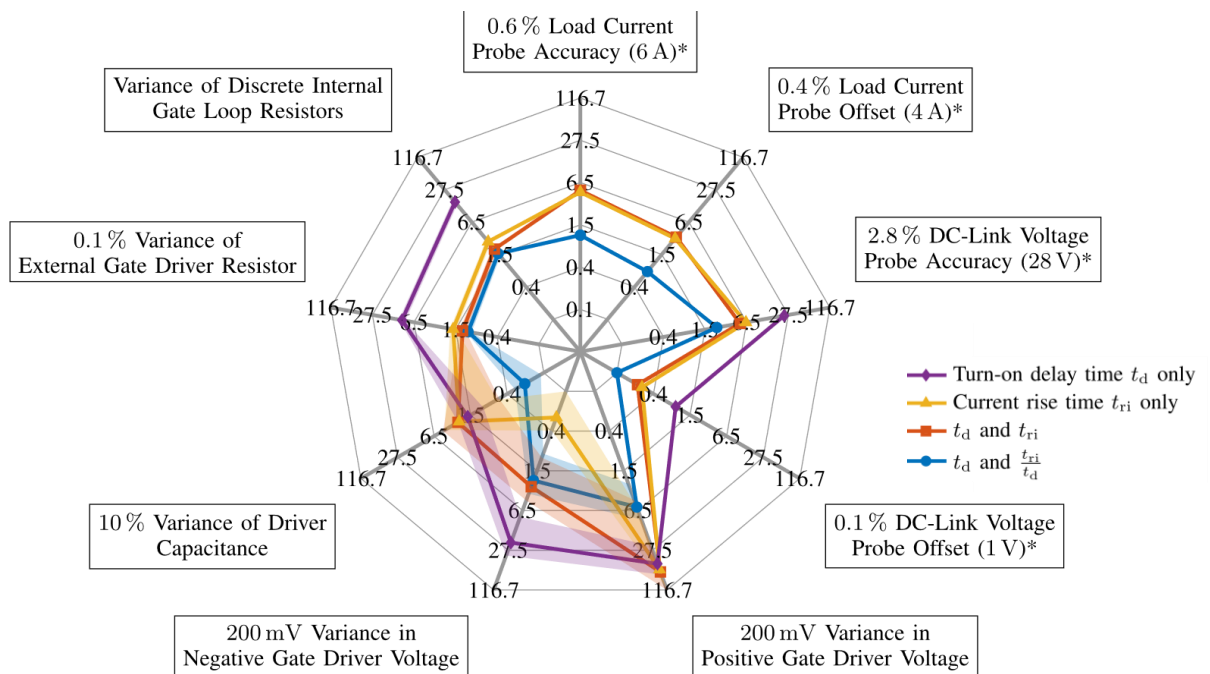
Das analytische Modell wurde schließlich genutzt um eine Fehlerfortpflanzung einzelner Störeinflüsse auf eine finale Temperaturbestimmung über die untersuchten TSEPs zu bestimmen. Die Höhe des jeweiligen Fehlers wurden dabei im konkreten System in Messungen bestimmt, beispielsweise die Gatetreiberspannungsvariationen, oder aus Datenblattangaben entnommen, beispielsweise die Genauigkeit der Stromsensoren.

Die finalen Ergebnisse, welche Parasitären Einflüsse zu welchen Temperaturfehlern führen, sind in Abbildung 18 dargestellt. Die Ergebnisse wurden zur Entscheidung genutzt, welche Störeinflüsse beachtet werden müssen und welche zunächst vernachlässigt werden können. Ein Kernergebnis war, dass eine Stabilisation der Gatetreiberspannungen für eine erfolgreiche TSEP-basierte Temperaturbestimmung notwendig ist.



**Abbildung 17: Bestimmte direkte und indirekte Abhängigkeiten der modellierten TSEPs [2]**

Zusätzlich wurden in diesem Rahmen auch Kombinationen von TSEPs untersucht, um den Einfluss der Parasitäreffekte zu reduzieren. Ein Kernergebnis war, dass bereits eine einfache Verhältnisbildung der gemessenen Schaltzeiten einen großen Teil der parasitären Einflüsse reduziert, siehe Abbildung 18, blauer Verlauf. Durch die Division verringert sich insbesondere der Einfluss der Zeitkonstanten gebildet aus Gatewiderstand und Gatekapazität, aber auch der Einfluss von Schwankungen in der positiven Gatetreiberversorgung werden merklich reduziert. Alle Zeiten werden vom Beginn des Schaltvorgangs gemessen, vergleiche Abbildung 13. Die Stromanstiegszeit stellt daher die Subtraktion zweier Zeiten dar. Es konnte gezeigt werden, dass dies insbesondere den Einfluss der von Schwankungen der negativen Gatetreiberversorgung kompensiert. Weitere Details sind in [2] dargestellt.



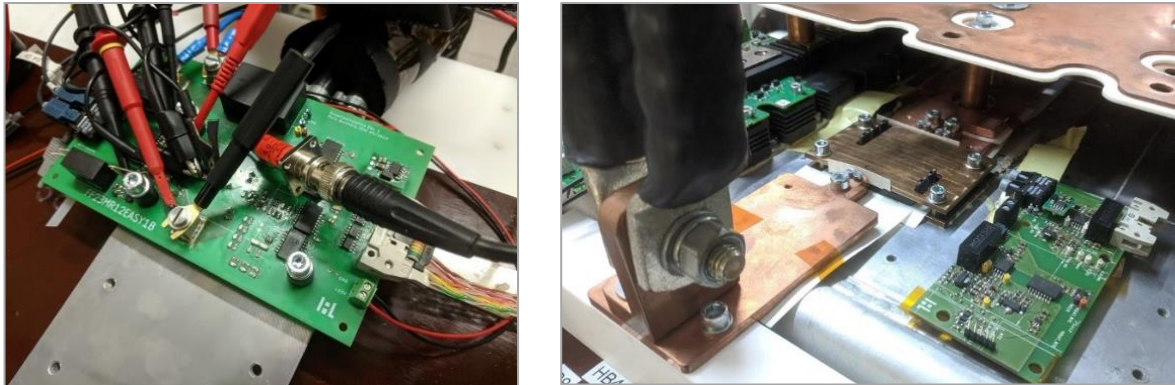
**Abbildung 18: Erwarteter Temperaturfehler für verschiedene Störeinflüsse in Kelvin; logarithmische Skala; kombinierte TSEP Auswertung ohne Berücksichtigung der Parasitäreffekte in Rot, mit Berücksichtigung in Blau [2]**



### II.1.5 AP 2.2 - Entwicklung und Herstellung von Messschaltungen und Testaufbauten

In diesem Arbeitspaket wurden die benötigten Laboraufbauten und Softwarekomponenten für die Vorabeinschätzung der gewählten TSEPs erstellt.

Das SiC-Modul von Infineon und das Si-Modul von Bosch wurden am Prüfstand aufgebaut. Es wurde entsprechende Steuerhardware und Software entwickelt. Die Boschmodule entsprechen den Modulen des Demonstrators ohne iForce Sensor. Das SiC-Modul verwendet die gleiche Basistechnologie wie im Infineon und Fraunhofer IISB Demonstrator.



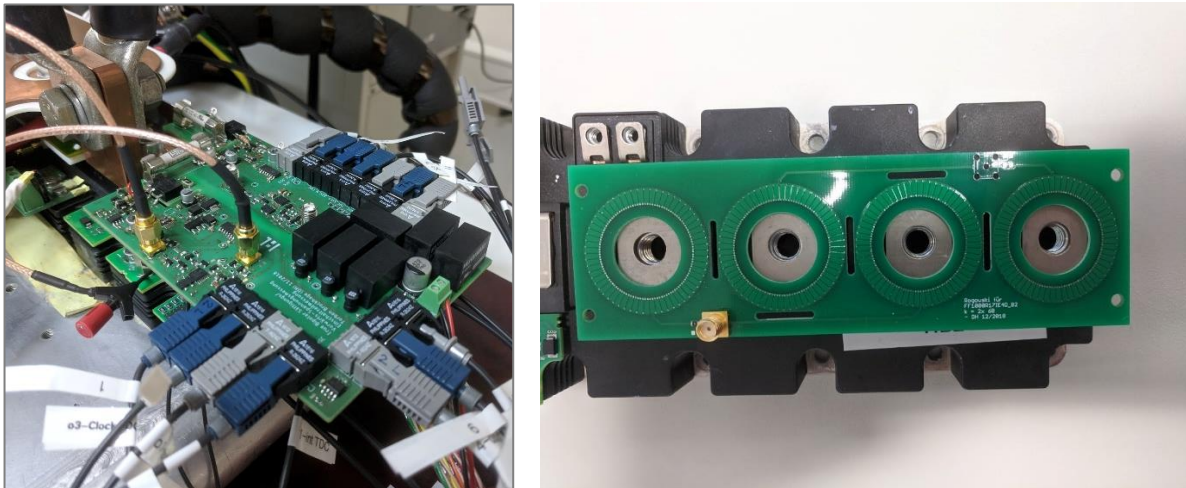
**Abbildung 19: Aufbau der Steuerhardware für das Infineon SiC-Modul (links) und Si-Modul von Bosch (rechts); Das Modul von Bosch befindet sich zwischen zwei Kupferplatten in der Mitte.**

Mit Oszilloskopmessungen wurde das Schalt- und Durchlassverhalten der Demonstratoren in Doppelpulsversuchen gemessen. Aus den Messdaten wurden TSEPs in Abhängigkeit von der Temperatur, dem Laststrom und der Zwischenkreisspannung analysiert. Die Analyse der Messdaten haben die Annahme bestätigt, dass die Messung von TSEPs an SiC-Modulen größere technische Herausforderungen stellt und wissenschaftliche Fragestellungen zu klären sind. Im Konsortium wurde beschlossen, dass die TSEP-Messschaltungen ab diesem Punkt nur für das SiC-Modul entwickelt werden.

Weiter wurden die Signalverläufe der Oszilloskopmessungen genutzt, um die TSEP-Messschaltungskonzepte aus AP1 in Spicesimulationen für das SiC-Modul auszulegen. Dabei wurde auch die Temperaturstabilität der Analogfrontends eingeschätzt. Der passive Spannungslimitierer, siehe Abbildung 4, verbindet im Durchlassbetrieb den Eingang des ADC praktisch direkt mit dem Kollektor oder Drainkontakt des Leistungsmodul. Spannungsabfälle über die MOSFETs des Frontends sind vernachlässigbar. Dadurch ist die Temperaturabhängigkeit dieses TSEP-Messsystems durch die Temperaturstabilität des ADCs und seiner Spannungsreferenz dominiert. Für die Laboraufbauten wurden zunächst Bauteile mit hoher Temperaturstabilität ausgewählt. Aus den damit erzielten Ergebnissen kann im späteren Verlauf beurteilt werden, in wie weit kostengünstigere Bauteile verwendet werden können.

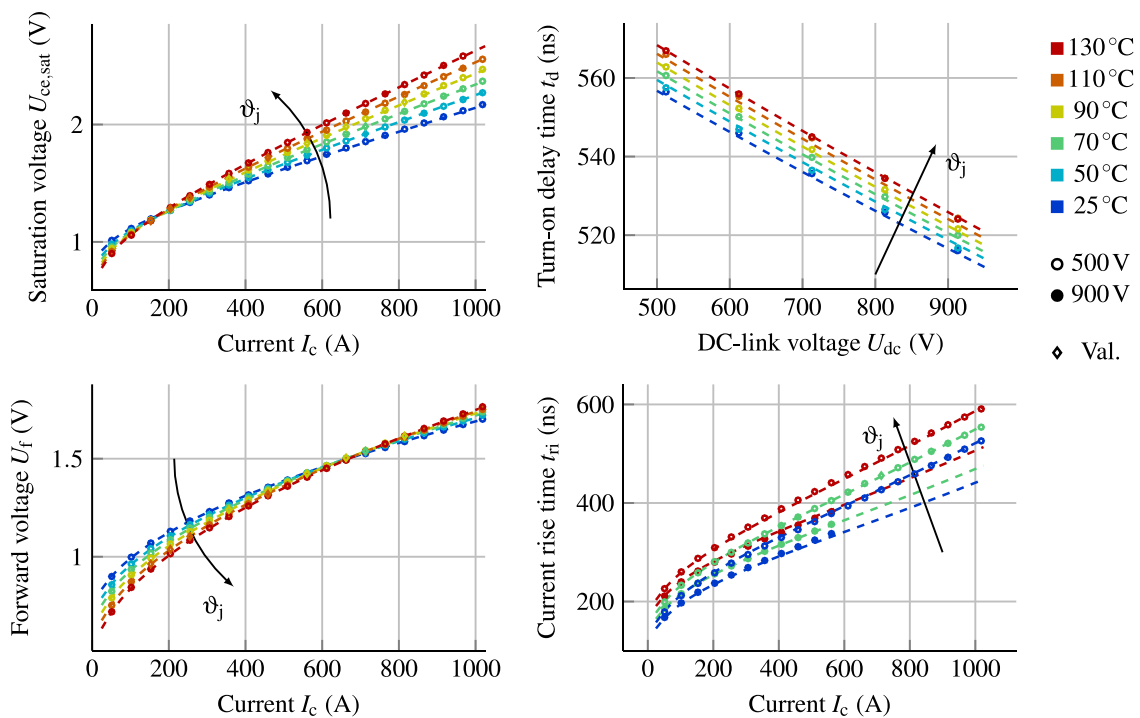
### II.1.6 AP 2.3 - Experimentelle Analysen / Messungen an Testaufbauten

Im Rahmen einer Masterarbeit wurden die Messkonzepte für die in AP 1.4 ausgewählten TSEPs bereits aufgebaut und untersucht. Da die Arbeit bereits Ende 2018 begonnen wurde, waren die Module der Projektpartner noch nicht vorhanden. Die Arbeiten wurden alternativ an dem bereits vorgestellten Si-IGBT Primepack Modul durchgeführt. Das entstandene Messsystem ist in Abbildung 20 dargestellt. Es entspricht dem Konzept und den Schaltungen, beschrieben in AP 1.4.



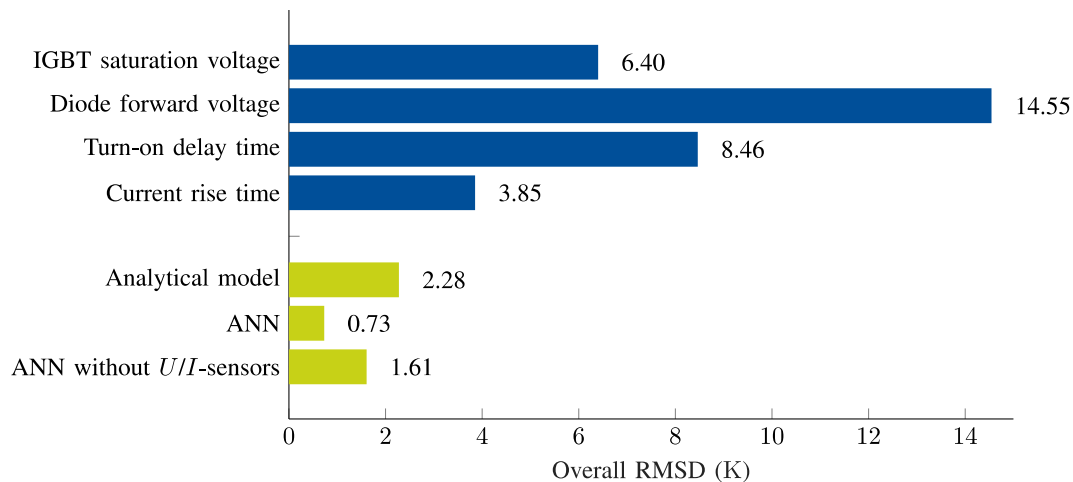
**Abbildung 20: Foto der TSEP-Messplatine (links) und der Rogowski Spule zur Zeitmessung über den Kommutierungsstrom (rechts)**

Die Messergebnisse dieses TSEP-Messsystems sind in Abbildung 21 dargestellt. Es wurden Doppelpulse bei unterschiedlichen Bodenplattentemperaturen durchgeführt.



**Abbildung 21: Erzielte TSEP-Messergebnisse der ersten Konzeptplatine an IGBT Modulen in Doppelpulsen mit Fitergebnissen [1]**

Die Messergebnisse zeigen eine gute Eignung der gewählten TSEPs zur Temperaturbestimmung. Weiterhin weisen die Messung eine hohe Präzision auf. Die erwartete mittlere quadratische Abweichung der TSEP-basierten Temperaturbestimmung in Doppelpulsexperimenten ist in Abbildung 22 dargestellt. Die hohen Abweichungen bei Nutzung der Durchlassspannung von IGBT und Diode stammen daher, dass diese Spannung in einem gewissen Bereich praktisch temperaturunabhängig ist, siehe Abbildung 21 links.



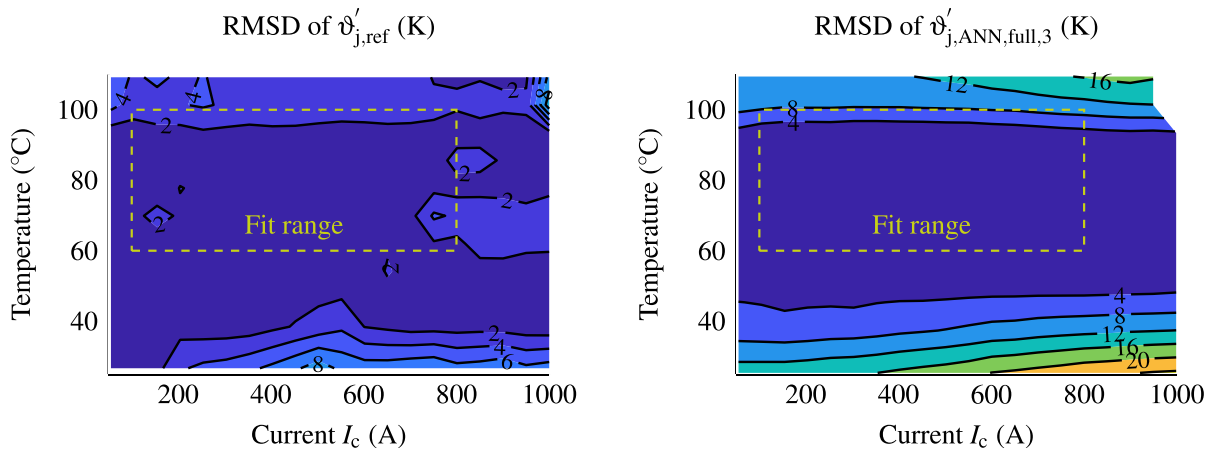
**Abbildung 22: Mittlere quadratische Abweichung (RMSD) bei einzelner Auswertung der vier TSEPs (blau) sowie bei kombinierter Auswertung über analytische Modelle oder künstliche neuronale Netze (ANNs) [1]**

Im Rahmen dieser Arbeiten wurden auch mehrere Methodiken zur Kombination der TSEPs in eine vereinte Temperaturbestimmung untersucht und veröffentlicht [1].

Insbesondere wurden dabei analytische Methoden unter Nutzung physikalischer Modelle der TSEP mit künstlichen neuronalen Netzen (ANNs) verglichen. Die Gesamtergebnisse sind mit in Abbildung 22 dargestellt. Die Ergebnisse mittels ANNs haben eine höhere Genauigkeit als über die physikalischen Modelle. Weiterhin sind die Modelle ohne Kenntnis des Systems erstellbar.

Ein Nachteil bei der Verwendung von ANNs besteht in deren schlechteren Extrapolationseigenschaften. Für diese Untersuchung wurden die genutzten Kalibrierdaten künstlich verkleinert. Die Abweichungen zwischen Kalibrierdaten und Fitvorhersage für die modellbasierte Kombination sowie die ANN basierte Kombination sind in Abbildung 23 dargestellt.

Es ist zu erkennen, dass beide Verfahren zu guten Ergebnissen innerhalb des bekannten Kalibrierbereichs (Fit range) liefern. Außerhalb zeigt das ANN deutliche bis sehr starke Abweichungen. Im Modellbasierten Verfahren steigt der Fehler zwar, bleibt jedoch in deutlich engeren Grenzen. Dies hat Konsequenzen für den notwendigen Kalibrieraufwand. Für ein modellbasiertes System kann es reichen nur einen kleinen Temperaturbereich zu kalibrieren und den restlichen Betriebsbereich zu extrapolieren, was den Zeitaufwand deutlich senkt. Für das hier angewandte ANN basierter Verfahren, müssen Kalibrierdaten für den gesamten gewünschten Betriebsbereich aufgezeichnet werden.



**Abbildung 23: Fitergebnisse außerhalb der bekannten Kalibrierdaten; Modellbasierte Verfahren (links) und ANN basierte Verfahren (rechts) [1]**

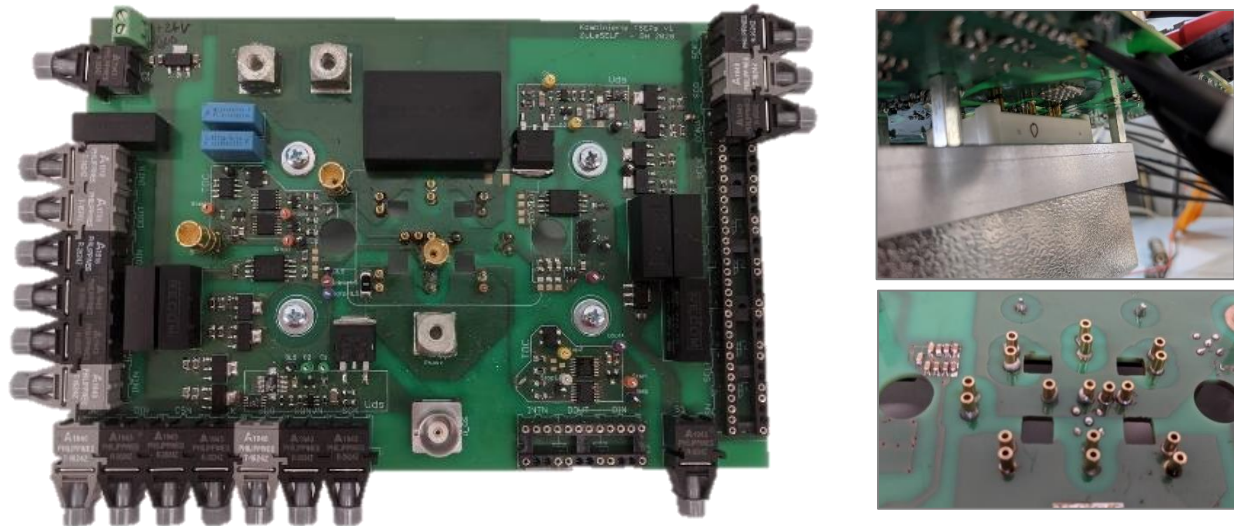
In diesem Zusammenhang wurde auch verifiziert, dass eine Temperaturbestimmung ohne Strom- und Spannungssensoren des Umrichters möglich wäre, sofern die Modulalterung vernachlässigbar ist. Dies verifiziert die Auswahl der TSEPs in AP 1.4. Auch der Laststrom konnte aus den vier TSEPs mit einer mittleren quadratischen Abweichung von 3,1 A (0,3 %  $I_N$ ) bestimmt werden. Die Zwischenkreisspannung konnte mit einer mittleren Quadratischen Abweichung von 6 V (0,6 %  $U_{dc}$ ) bestimmt werden. Es sei erneut darauf hingewiesen, dass dies nur möglich ist sofern die Modulalterung vernachlässigt werden kann. Für eine Zustandsüberwachung werden die Strom- und Spannungssensoren weiterhin genutzt.

Im weiteren Verlauf werden ANNs zur Temperaturbestimmung genutzt. Als Eingangsgrößen werden die vier TSEPs und die zwei Umrichtersensoren verwendet. Dabei werden von den TSEPs das Verhältnis der gemessenen Schaltzeiten  $\frac{t_2}{t_1} = \frac{t_d + t_{ri}}{t_d}$  sowie deren Differenz  $t_2 - t_1 = t_{ri}$  genutzt, statt der direkt gemessenen Werte. Dies verringert den Einfluss parasitärer Effekte deutlich entsprechend den Erläuterungen in AP 2.1 und [2].

### Übergang zum SiC Demonstrator von Infineon

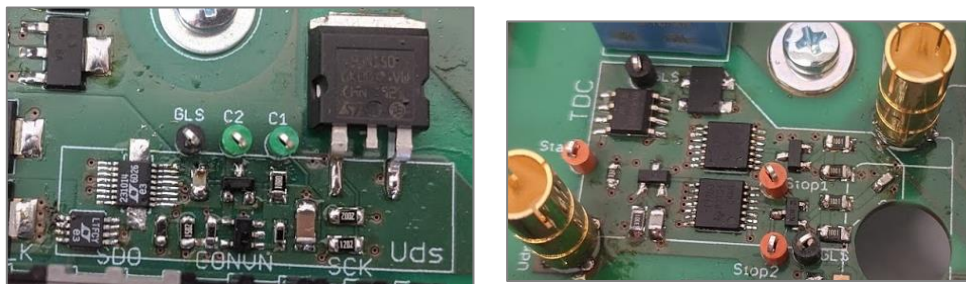
Nach den Voruntersuchungen zu den Schaltungskonzepten an vorhandenen IGBT-Modulen wurden alle weiteren Arbeiten an SiC Modulen von Infineon durchgeführt. Die gewählten Module entsprechen dabei dem gleichen Grundaufbau wie der Infineon und der Fraunhofer IISB Demonstrator. Dabei wurden die erarbeiteten Konzepte und Erkenntnisse genutzt das Messsystem auf die schnellschaltende „Wide-bandgap“-Leistungshalbleiter zu übertragen.

Das TSEP-Messsystem für die SiC-Module von Infineon wurde aufgebaut, getestet und auf ein Modul im Doppelpulsbetrieb angewendet. Abbildung 24 zeigt das entstandene Messsystem. Das System ist in der Lage zwei Einschaltzeiten sowie bidirektional die Durchlassspannung der Low-Side und High-Side Schalter des Moduls zu messen. Die untersuchten Module nutzen PressFIT Kontakte zur nicht reversiblen Einpressung in Platinvias. Für die Untersuchung in diesem Projekt ist jedoch ein reversibles Kontaktieren der Module nötig, beziehungsweise das Messsystems muss auf mehrere Module anwendbar sein. Dazu wurden Löthülsen aus Bronze in die Platine eingelassen, entsprechend der Erfahrungen der Projektpartner.



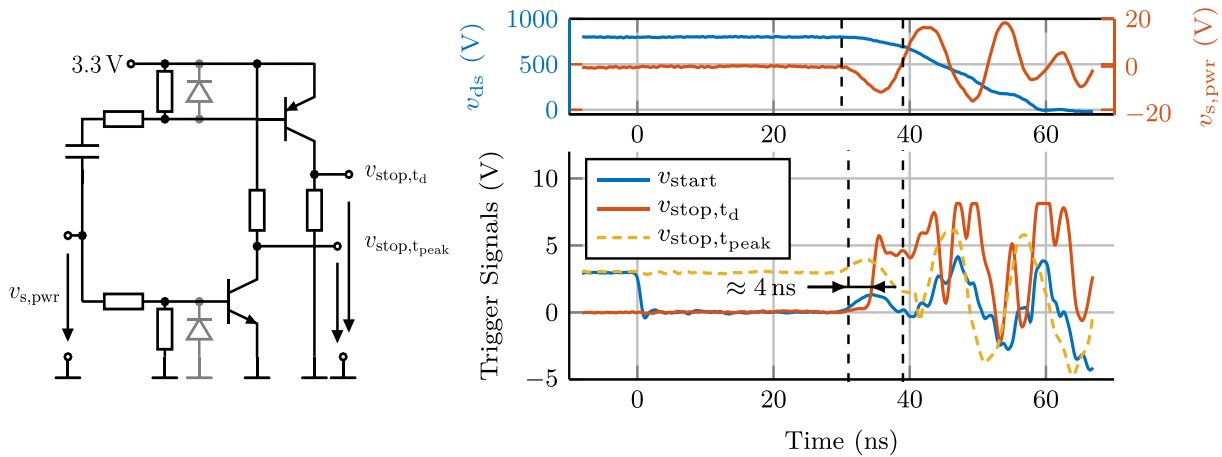
**Abbildung 24: TSEP-Messsystem für ein SiC-Modul mit wiederverwendbarer Steckverbindung für PressFIT-Kontakte**

Abbildung 25 zeigt die Größe des Analogfrontends der Durchlassspannungsmessung sowie der Zeitmessung. Zur Signalerfassung und Überwachung im weiteren Verlauf des Projektes sind Koaxial Steckverbinder für Tastköpfe eingebracht.



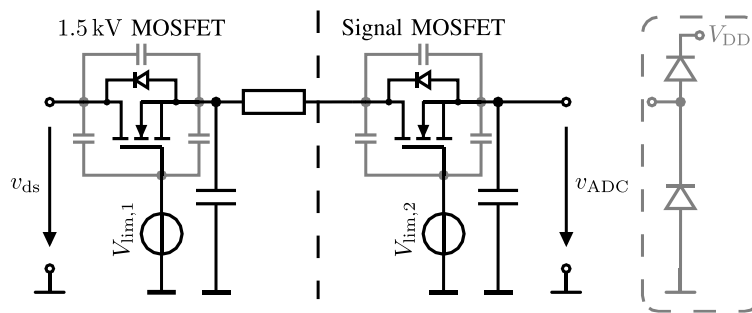
**Abbildung 25: Aufbau der Analogfrontends für die Durchlassspannungsmessung (links) sowie der Zeitmessung (rechts).**

Die bereits untersuchten Schaltungskonzepte wurden weiter verfeinert. Für die Zeitmessung wurden zwei getrennte TDCs genutzt, da der Abstand zwischen den beiden Pulsen niedriger ist, als für einen einzelnen TSEP zulässig. Die Nutzung von zwei TDCs aus dem Ultraschallbereich war dabei kostengünstiger als die Nutzung eines einzelnen, schnelleren TDCs aus dem LIDAR-Bereich. Zur Zeitmessung wurde der Spannungspuls über dem Sourcekontakt des Moduls genutzt. Das Frontend mit Messergebnissen ist in Abbildung 26 dargestellt. Zu beachten sind die kurzen Schaltzeiten des SiC-MOSFET Leistungsmoduls gegenüber dem vorab betrachteten Si-IGBTs. In der Messung ist ein praktisch nicht auswertbarer Verlauf des gelben Stoppsignals für die Stromanstiegszeit zu erkennen. Dieser Fehler tritt jedoch nicht auf, wenn die Tastköpfe des Oszilloskops entfernt werden.



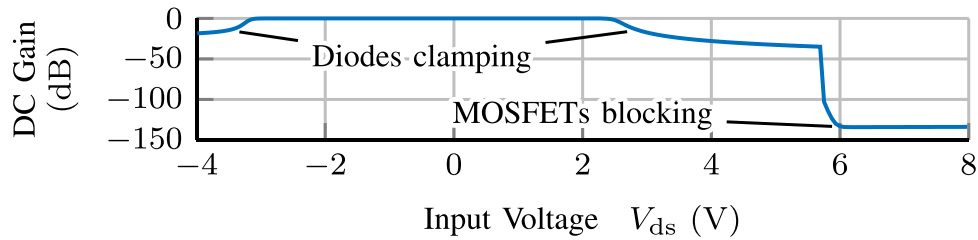
**Abbildung 26: Analogfrontend zur Zeitmessung an SiC-MOSFETs bei 4 % Nennstrom [3]**

Das Analogfrontend der Durchlassspannungsmessung musste auf die hohen Spannungssteilheiten des Leistungsmoduls adaptiert werden. Weiterhin musste das Tiefpassverhalten der Schaltung deutlich reduziert werden, um in den kürzeren Durchlassphasen des Leistungsmoduls eine Messung zu ermöglichen. Das finale Frontend ist in Abbildung 27 dargestellt



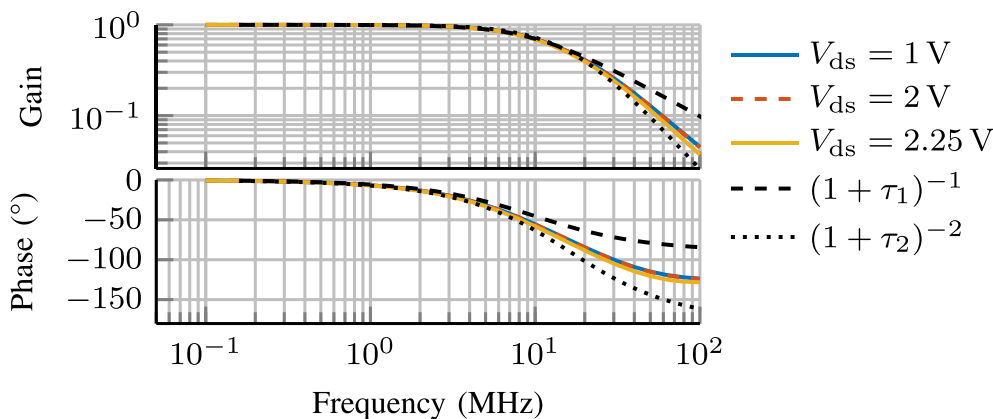
**Abbildung 27: Analogfrontend zur Durchlassspannungsmessung von SiC-MOSFETs [3]**

Das statische und dynamische Verhalten dieser nichtlinearen Schaltung wurde mithilfe von SPICE analysiert und veröffentlicht [3]. Abbildung 28 zeigt die statische Durchlasskennlinie des Frontends. Der Transmissionsbereich ist entsprechend der erwarteten Spannungen des Leistungsmoduls für einen Eingangsspannungsbereich von  $-2,5$  V bis  $+2,5$  V ausgelegt. Bei sehr hohen Eingangsspannung ( $u_{ds} > 6$  V) sperrt das Frontend in ausreichendem Maße. Zwischen dem Transmissionsbereich und dem Blockierbereich kommt es zu einer Übergangsphase, in der ein Stromfluss durch das Frontend möglich ist. Insbesondere fließt dieser Strom durch die Clampingdioden des nachfolgenden ADCs und muss daher in der Auslegung auf einen zulässigen Wert für beschränkt werden. Weiterhin darf die Eingangsspannung nicht dauerhaft im Übergangsbereich ( $2,5$  V bis  $\approx 6$  V) oder bei stark negativen Eingangsspannungen liegen, was durch die vorliegende Anwendung gegeben ist.



**Abbildung 28: Statische Durchlasskennlinie des Spannungslimitierers [3]**

Das dynamische Verhalten ist in Abbildung 29 dargestellt. Das Tiefpassverhalten des Frontends sollte in der konkreten Anwendung zu Messfehlern im Bereich von 1,33 mV bis 1,61 mV führen. Dies entspricht einem Temperaturfehler von  $\approx 0,3$  K. Dieser Fehler kann allerdings zu einem großen Anteil trivial kompensiert werden, da der Tiefpass einer Spannungsrampe folgt. Die Funktionalität des entwickelten Spannungslimitierers wurde mit einem dafür angeschafften Labormessgerät (Clipper von Springburo) validiert. Weitere Details zur Auslegung und zum Vergleich sind in [3] veröffentlicht. Messergebnisse des Systems werden in AP 3 beschrieben.



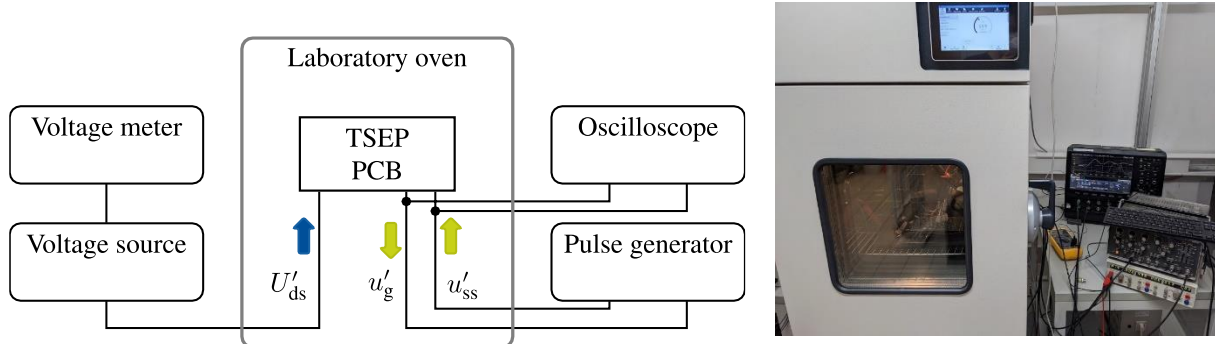
**Abbildung 29: Frequenzgang des Analogfrontends bei verschiedenen DC-Anteilen des Eingangssignals [3]**

### Temperaturstabilität

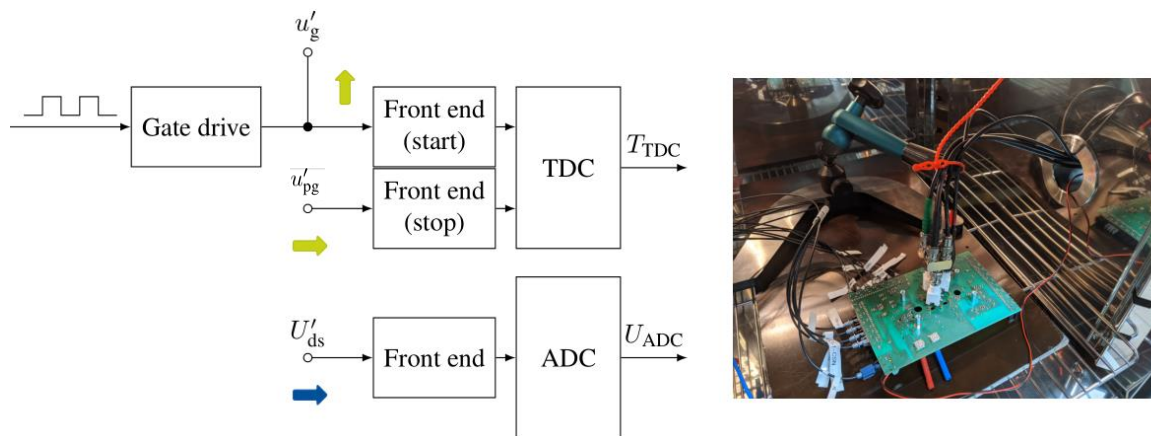
Die Temperaturstabilität der Durchlassspannungsmessung und der Zeitmessung wurde in einem Klimaschrank untersucht. Dazu wurde das Messsystem ohne Modul in der Kammer platziert und temperiert. Von außen wurde eine möglichst konstante Spannungsreferenz auf die Durchlassspannungsmessung aufgebracht sowie ein möglichst konstanter Triggerpuls für die Zeitmessschaltung generiert. Der Aufbau ist in Abbildung 30 bis Abbildung 32 dargestellt. Während die Temperatur variiert wurde, wurden jeweils mehrere hunderttausend Samples aufgezeichnet. Aus diesen Daten lassen sich insbesondere Temperaturdrifts und Jitter extrahieren.

Abbildung 33 zeigt Histogramme, Boxplots und die bestimmten Standardabweichungen (STD) und Interquartilsabstand (IQR) der Durchlassspannungsmessung. Bei 5 °C setzte Kondensation ein, was die Messung beeinflusste. Während der Messungen konnte die externe Spannungsreferenz nicht genauer als  $\pm 1$  mV eingestellt werden. Die bestimmten Temperaturabhängigkeiten der Durchlassspannungsmessung sind im Ergebnis niedriger als die

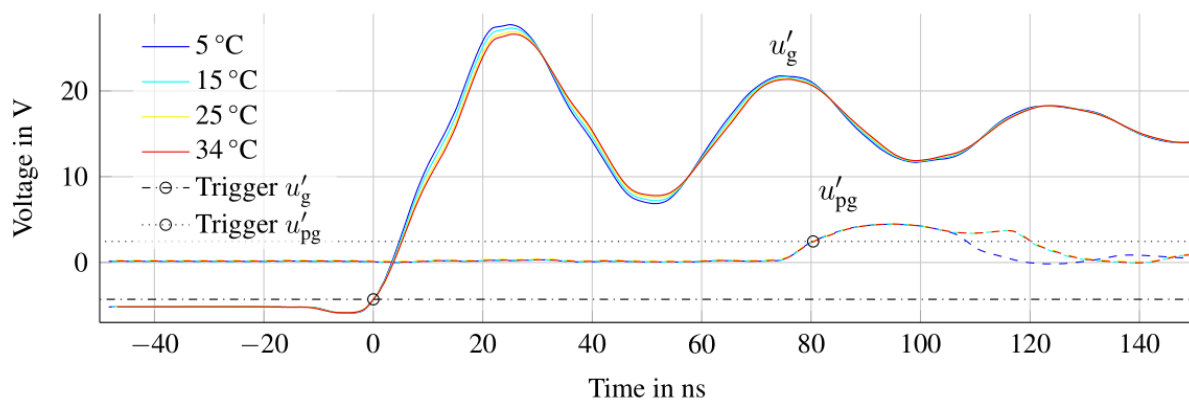
Präzision der Referenz. Eine genauere Bestimmung ist nicht möglich. Dieses Ergebnis ist erwartet, da das Analogfrontend praktisch keinen Einfluss auf die Messung haben sollte und somit die Temperaturabhängigkeit von den aus dem Datenblatt bekannten Eigenschaften des gewählten ADCs und seiner Referenz entstehen.



**Abbildung 30: Konzeptaufbau der Temperaturstabilitätsmessung im Klimaschrank**

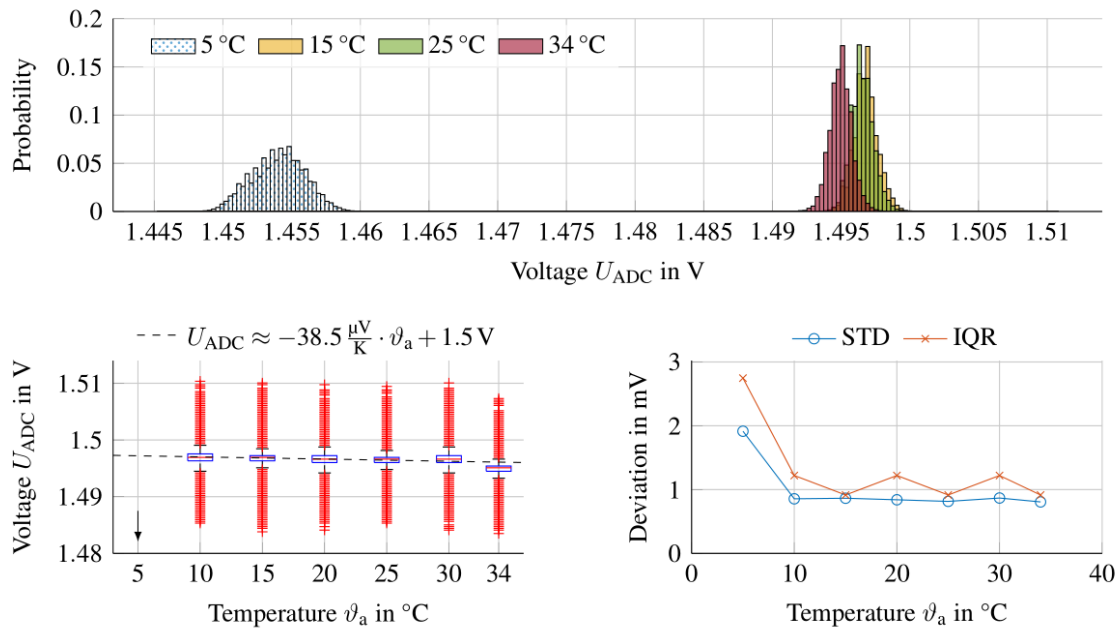


**Abbildung 31: Einspeise und Ausspeisepunkte der Signale auf dem TSEP Messsystem; Die Temperaturabhängigkeiten der Analogfrontends werden mitberücksichtigt**



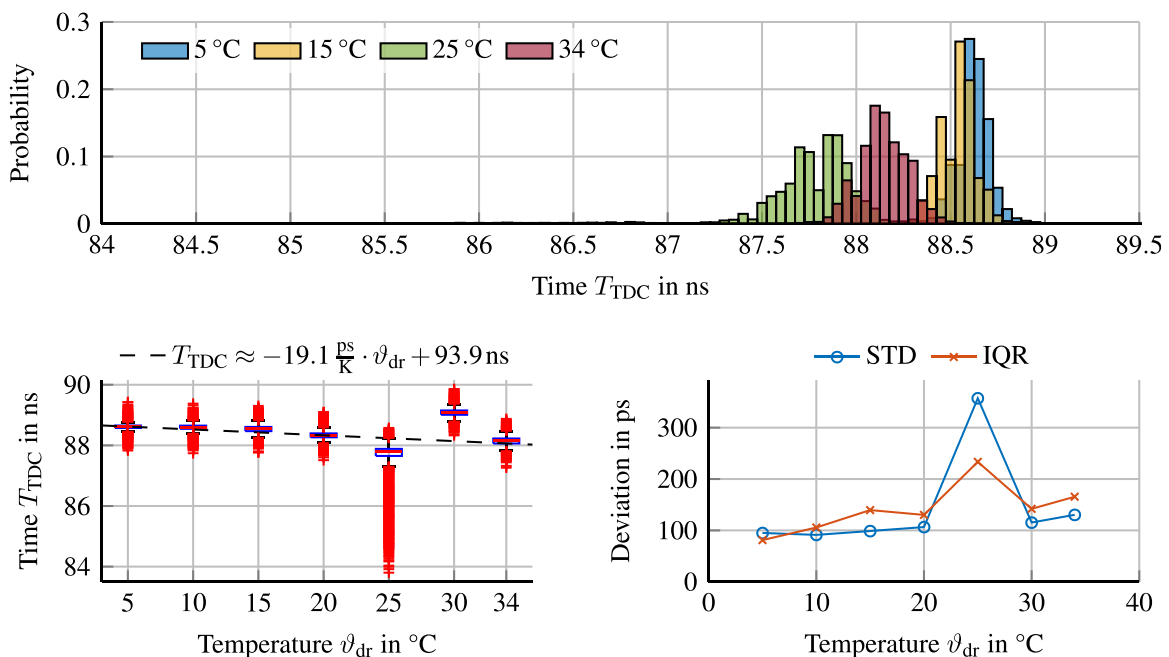
**Abbildung 32: Übliche Signalverläufe des Triggerpulses bei verschiedenen Innentemperaturen der Klimakammer**





**Abbildung 33: Temperaturdrift und Verteilung der Durchlassspannungsmessung**

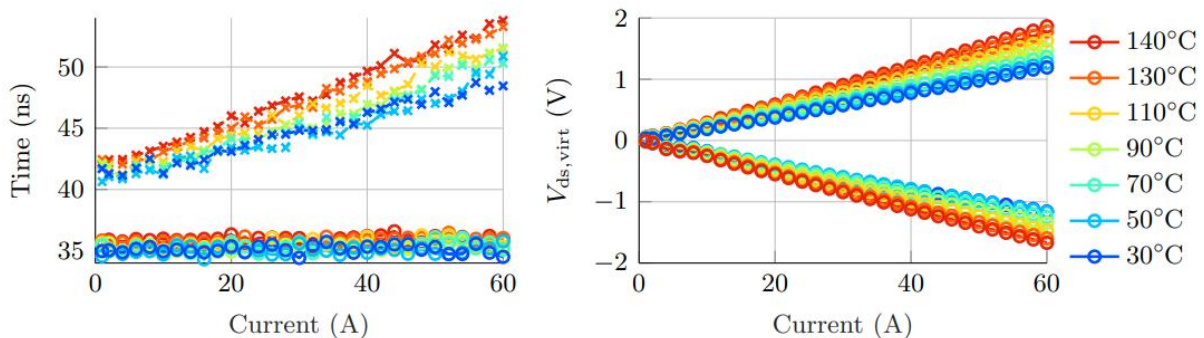
Für die Zeitmessung wurde ein sehr niedriges Jitter im Bereich von 1-2 LSB des TDCs bestimmt, siehe Abbildung 34. Ein Temperaturdrift von ca.  $-20 \frac{ps}{K}$  mit der Umgebungstemperatur wurde festgestellt. Dieser Effekt kann zu einem Fehler von ca.  $-0,5 \frac{K}{K}$  führen, das heißt eine Änderung der Umgebungstemperatur um 1 K könnte zu einem Bestimmungsfehler der Sperrschichttemperatur von  $-0,5 K$  führen. Es ist jedoch zu beachten, dass die Stabilität des Pulsgenerators nicht immer einwandfrei gegeben war und die Auswirkungen eines solchen Drifts durch die Kombination mehrerer TSEPs reduzierbar ist.



**Abbildung 34: Temperaturdrift und Verteilung der Zeitmessung**

### II.1 AP 3.1 - Vorbereitung der Konzeptintegration

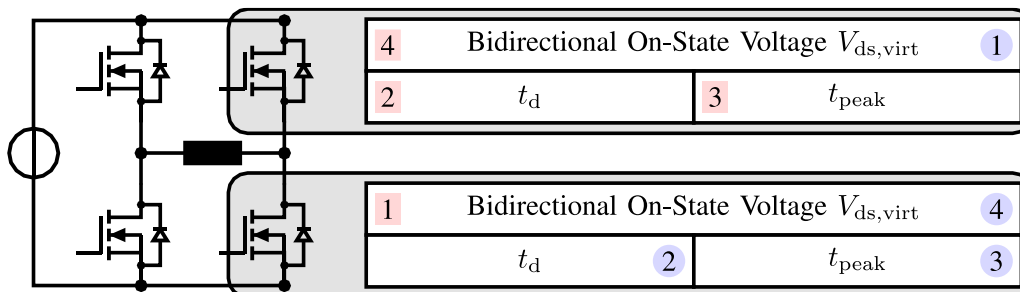
Die Messplatine wird genutzt um Module mit Doppelpulsmessungen zu charakterisieren. Dabei werden sowohl die Low-Side, als auch die High-Side Messungen erfasst. Die Details des Platinendesigns wurden in AP1 und AP2 beschrieben. In dieser Testphase wurden letzte Detaileinstellung fixiert, wie beispielsweise das Triggerlevel der Zeitmessschaltungen und die Dämpfung/Zeitkonstante der Durchlassspannungsmessung. Abbildung 35 zeigt beispielhafte TSEP Messungen eines Schalters über Temperatur und Laststrom. Die Kernfunktion des Systems ist damit gegeben.



**Abbildung 35: Doppelpuls Messungen der TSEPs mit dem TSEP-Messsystem; links: Einschaltverzögerungszeit  $t_d$  (Kreise) sowie Zeit Einschaltzeit bis zum Erreichen der Stromspitze  $t_d + t_{ri}$  (Kreuze); rechts: Durchlassspannung eines Schalters für beide Stromrichtungen [3]**

### II.2 AP 3.2 - Integration der Sensorik

Das System wurde um eine weitere Halbbrücke ohne TSEP-Messsystem erweitert um eine Vollbrückenordnung zu erhalten. Das System wird als einphasiger Wechselrichter betrieben. Die Ansteuerung wurde entsprechend erweitert, sodass die TSEPs auch kontinuierlich während des PWM-Betriebs erfasst werden können. Dabei sind insbesondere hohe Lastströme mit niedriger Grundfrequenz vorgesehen, um einen hohen Hub der Sperrschichttemperaturen zu erzeugen.



**Abbildung 36: Konzeptskizze des implementierten TSEP-Messsystems an einer Halbbrücke in einem Vollbrückennumrichter [3];  $t_{peak} \hat{=} t_d + t_{ri}$ ;  $V_{ds,virt} \hat{=} U_{dut}$  und  $U_{comp}$**

**Tabelle 4: Eckdaten des Systems**

Nennstrom der Leistungsmodule $I_N$	50 A
Maximale Sperrspannung der Leistungsmodule $V_{CES}$	1200 V
Zwischenkreisspannung $U_{dc}$	800 V
Schaltfrequenz	10 kHz
Minimaler Aussteuergrad	5 %
Externer Gatevorwiderstand $R_{g,on,ext}$	1.5 $\Omega$
Lastinduktivität	200 $\mu$ H
Kühlmitteltemperatur im PWM-Betrieb	60 °C

### EMV Einflüsse

Das Messsystem ist vollständig auf einer einzigen Platine platziert und fest mit dem Modul verbunden. Dadurch lassen sich viele EMV Einflüsse durch Techniken aus dem störsicheren Entwurf von Schaltungen übertragen, beispielsweise Sternverteilung der Massen, Signalschirmung oder Abstände zwischen Störer und Empfänger.

Während der Arbeiten wurden externe EMV Einflüsse analysiert und Maßnahmen ergriffen. Diese sind in Tabelle 5 zusammengefasst.

**Tabelle 5: EMV Einflüsse auf das System**

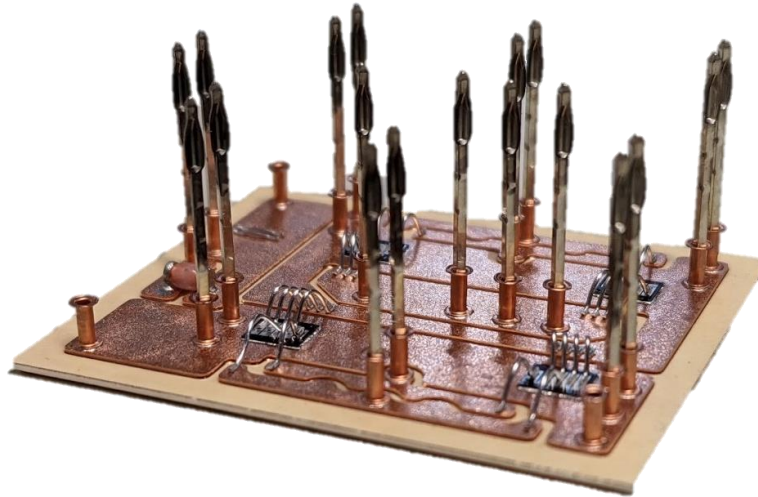
Einfluss	Maßnahme
Kapazitive Kopplung zwischen Phasenausgang und Zeitmessschaltung	Passende Leitungsführung während der Versuche
Impedanzkopplung des Gatekreises mit dem Leistungssource-Anschluss	Erhöhung des Triggerlevels
Gleichtaktströme gegen Erde über die Lastinduktivität, das Leistungsnetzteil und das Oszilloskop	Leitungsführung; Kurze Schleifen;

### Integrierbarkeit in existierende Gatetreiberkonzepte

Da das Messsystem aus vorhandenen Gatespannungsversorgungen gespeist werden kann und alle benötigten Signale auf dem Gatetreiber oder am Modul vorhanden sind, wird von einer sehr guten Integrierbarkeit in vorhandene Gatetreiberkonzepte ausgegangen.

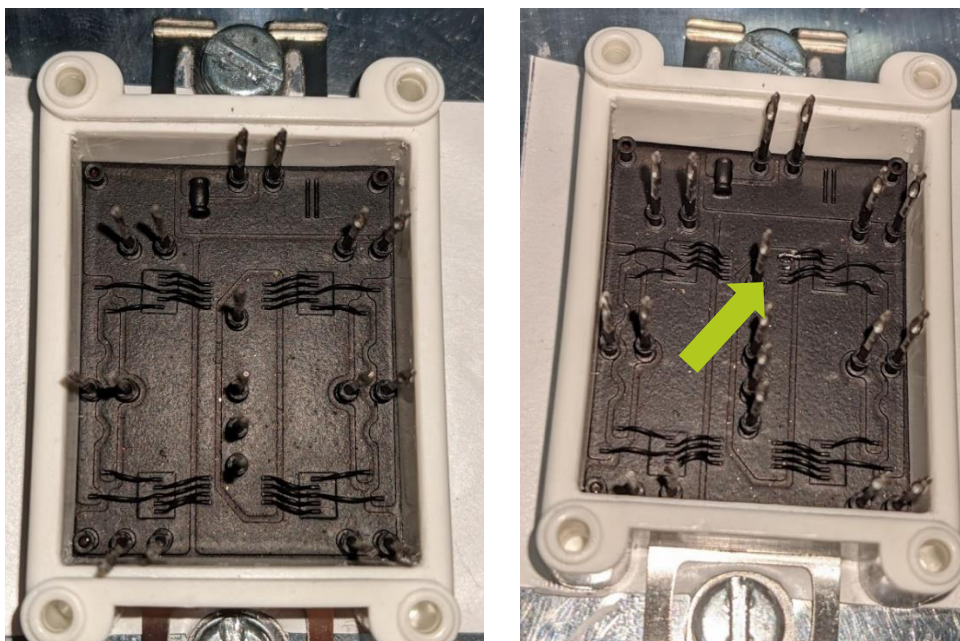
### II.2.1 AP 3.3 - Messelektronik für die Sensoren und AP 3.4 - Sensoring und Modellkalibrierung

In diesen Arbeitspaketen sollen TSEPs an Modulen mit emulierte Alterungserscheinungen gemessen werden. Vorgesehen ist dies im PWM Betrieb mit durchtrennten Bonddrähten. Zusätzlich wurden Untersuchungen durchgeführt, bei denen der thermische Widerstand zwischen Modul und Kühlsystem erhöhte wurde, um eine Lotschichtdegradation zu emulieren.



**Abbildung 37: Photo des präparierten Moduls ohne Vergussmasse**

Für die Untersuchungen des Bonddrahts wurden Module vom Fraunhofer IISB präpariert. Die Vergussmasse wurde entfernt. Das Modul wurde zur Temperaturmessung mittels IR-Kamera geschwärzt. Dadurch konnten in diesem Versuch gleichzeitig die Erkennung eines emulierten Schadens verifiziert werden (AP 3.3), als auch die Ergebnisse der TSEPs validiert werden (AP 3.4).



**Abbildung 38: Geschwärztes Modul; Intakt (links), durchtrennter Bonddraht (rechts); Oberseite des Modulgehäuses entfernt**

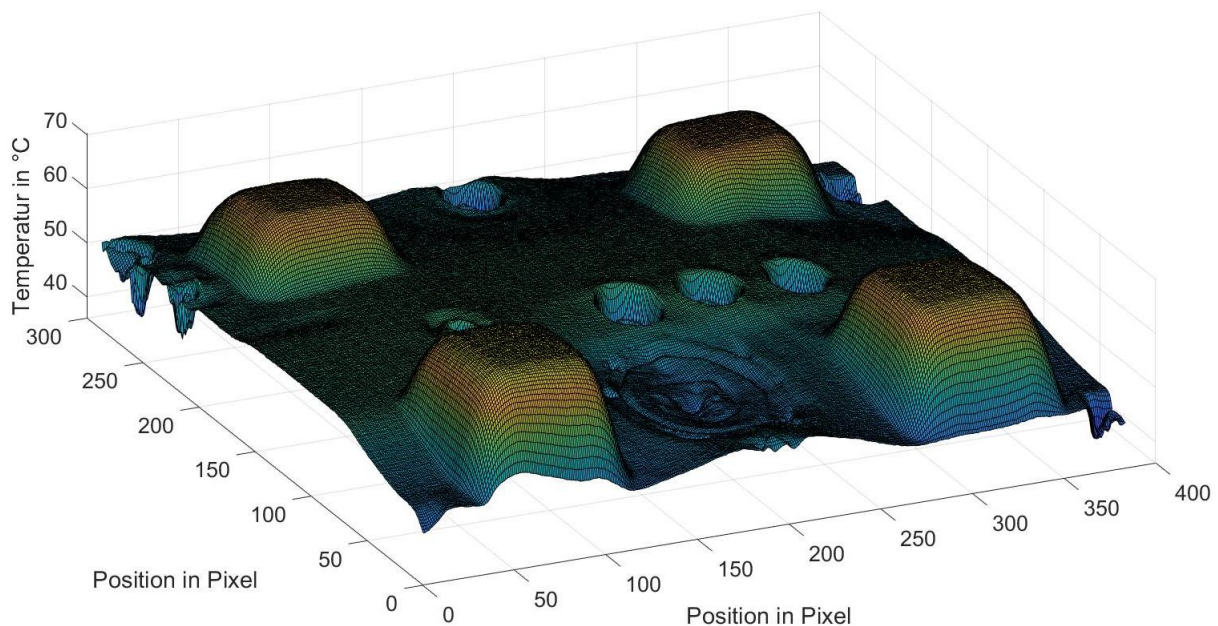
### Abgleich der TSEP Temperatur

Das Modul mit Messsystem wurde auf einem Wasserkühlkörper montiert. Eine IR Kamera wird über dem Prüfstand ausgerichtet. In der Platine sind Aussparungen eingebracht die eine direkte Sicht auf die Chips ermöglicht, siehe Abbildung 24, Abbildung 37 und Abbildung 39.



**Abbildung 39: Aufbau der Temperaturmessung mit IR Kamera**

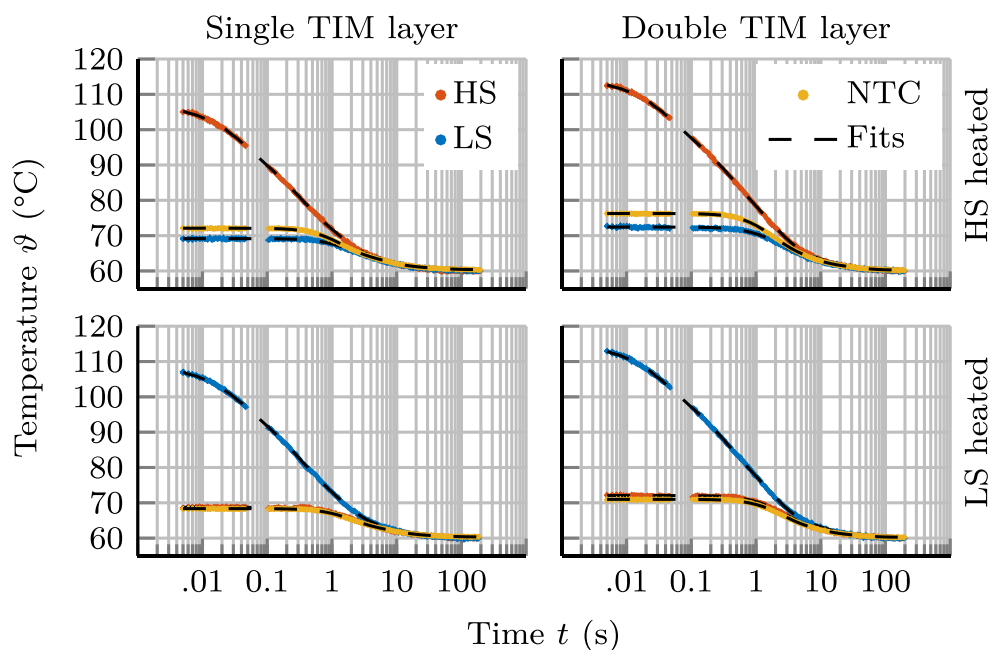
Es wurde zunächst ein DC Laststrom von 30 A eingepreßt um einen Temperaturhub der Chips zu verursachen. Die Ergebnisse der IR Kameramessung sind in Abbildung 40 dargestellt.



**Abbildung 40: Ergebnis der Temperaturmessung der vier Chips mit IR Kamera**

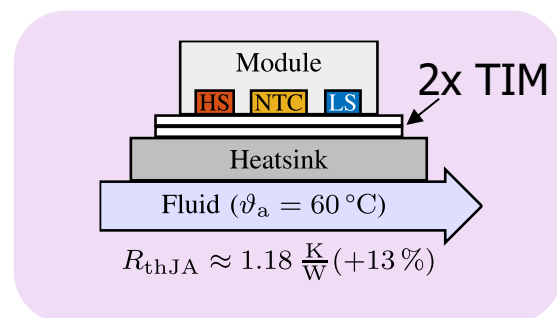
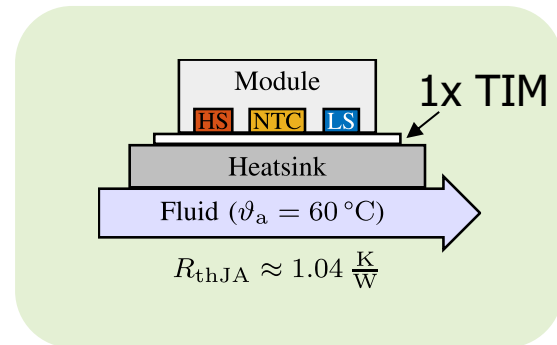
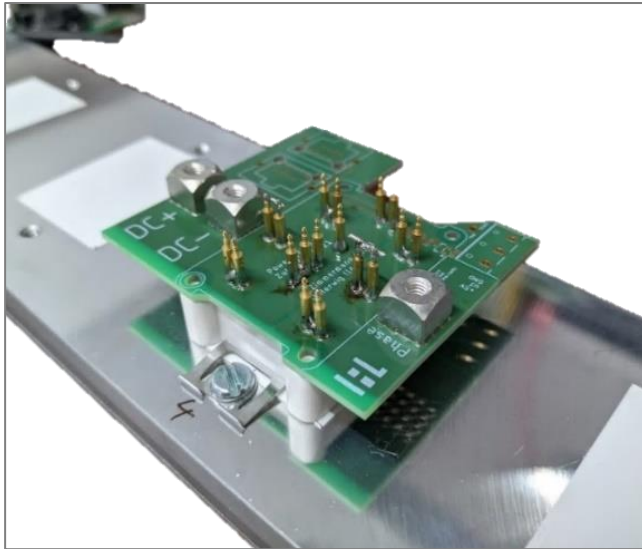
Die vier Chips sind klar erkennbar. Die gemessene Temperatur der Chips scheint homogen. Dies widerspricht den Erwartungen. Da die Bonddrähte eine andere Temperatur haben sollten, wird eine heterogene Temperaturverteilung erwartet. Es kann nicht eindeutig geklärt werden ob die beobachtete Temperatur die Temperatur des Chips, der Bonddrähte oder eines gewichteten Mittelwerts darstellt.

In Rücksprache mit den Projektpartnern wurde die IR Messung als Referenz der TSEP-Messung substituiert. Das thermische Modell des Prüfstands wird entsprechend der Vce-Methode aus AQG 324 und [10] erstellt. Es wurden die Temperaturverläufe der einzelnen topologischen Schalter während eine Abkühlphase aufgezeichnet. Aus dieser Messung lassen sich Fostermodelle des Moduls inkl. Prüfstand erstellen. Kombiniert man das thermische Modell des Prüfstandes mit einem Verlustmodell der Halbleiter, kann die Sperrschichttemperatur modellbasiert vorhergesagt werden. Ein Verlustmodell der Module ist aus einer Masterarbeit am Institut vorhanden [11]. In dieser Anwendung hat die Modellvorhersage eine hohe Genauigkeit, da Kühlmittelströme und Temperatur unter Laborbedingungen konstant gehalten werden können und keine unbekannte Alterung des Prüfstands vorliegt. Weiterhin wird der jeweils der gesamte Aufbau in der Messung berücksichtigt, inkl. Thermischen Interface Material (TIM) und Wärmeübergang von Kühlkörper zu Kühlmedium. Die gemessenen Abkühlkurven und die daraus bestimmten Fostermodelle sind in Abbildung 41 gezeigt.



**Abbildung 41: Gemessene Abkühlkurven und Fostermodelle des Systems [3]**

Dabei wurde diese in zwei Varianten durchgeführt. Einmal mit einer einzelnen Schicht Wärmeleitfolie (TIM) zwischen Modul und Kühlkörper als Referenzsystem. In einer zweiten Messung wurde eine zusätzlich Wärmeleitfolie zwischen Modul und Kühlsystem platziert. Dies erhöht den thermischen Widerstand zwischen Chip und Kühlmedium um 13 %. Laut AQG 324 gilt ein Modul als defekt bei einer Erhöhung von 20 %. Daher emuliert dieser Versuch ein Modul mit einer deutlichen Lotschichtdegradation, das aber noch nicht defekt ist.



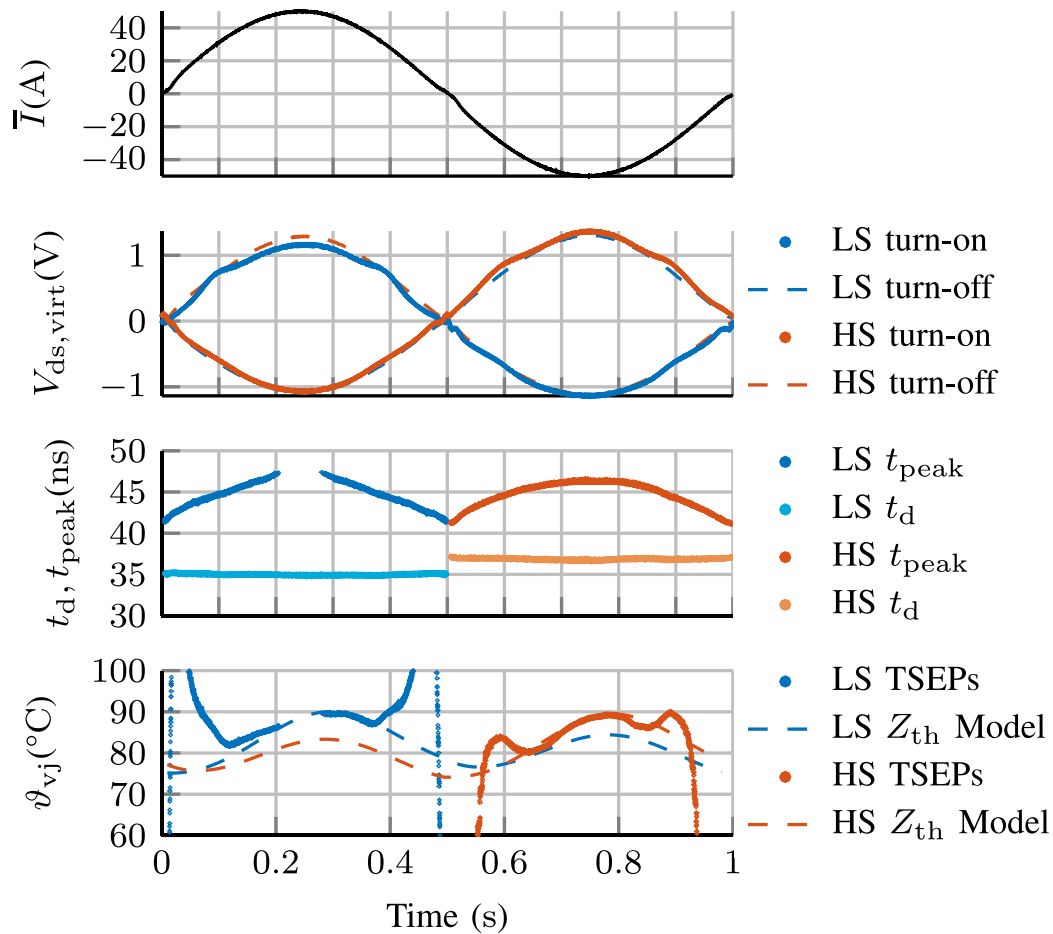
**Abbildung 42: Aufbau zur Messung der thermischen Modelle des Prüfstands und der emulierten Lötstichtdegradation [3]**

Die Modelle berücksichtigen auch Querkopplung zwischen den topologischen Schaltern. Weiterführende Details zur Messung, Fittechnik und Modelladaptionen für die Querkopplung wurden in [3] veröffentlicht.

Das System wurde im PWM-Betrieb getestet. Die Kühlmitteltemperatur wurde in Absprache mit den Projektpartnern auf 60 °C festgelegt. Es wurde ein 1 Hz Laststrom eingepreßt, dessen Spitzenwert dem Nennstrom der Module entspricht. Die Ergebnisse des Referenzsystems mit einer einzelnen Schicht Wärmeleitfolie (TIM) sind in Abbildung 43 dargestellt. Die dargestellten TSEPs entsprechen den vier vorgestellten TSEP aus Abbildung 1, gemessen jeweils von der High-Side und Low-Side. Die gezeigte Temperaturschätzung benutzt dabei bereits eine Kombination der vier TSEP mittels künstlicher neuronaler Netze.

Die Temperaturbestimmung über TSEPs und die Modellvorhersage über das gemessene thermische Modell des Prüfstands führen zu sehr gut übereinstimmenden Ergebnissen. Bei niedrigen Strömen sieht das man das bei TSEPs häufig auftreten Problem der sinkenden Genauigkeit, da die Temperaturabhängigkeiten der TSEPs gegen null gehen.

Der Versuch wurde nun mit der doppelten TIM Folie wiederholt. Zu erwarten ist eine erhöhte Sperrschichttemperatur, da der thermische Widerstand des Systems steigt. Abbildung 44 zeigt die vom System bestimmte Sperrschichttemperatur mit und ohne emulierte Lötstichtdegradation. Als Referenz sind die erwarteten Sperrschichttemperaturen mittels thermischen Modells eingetragen.

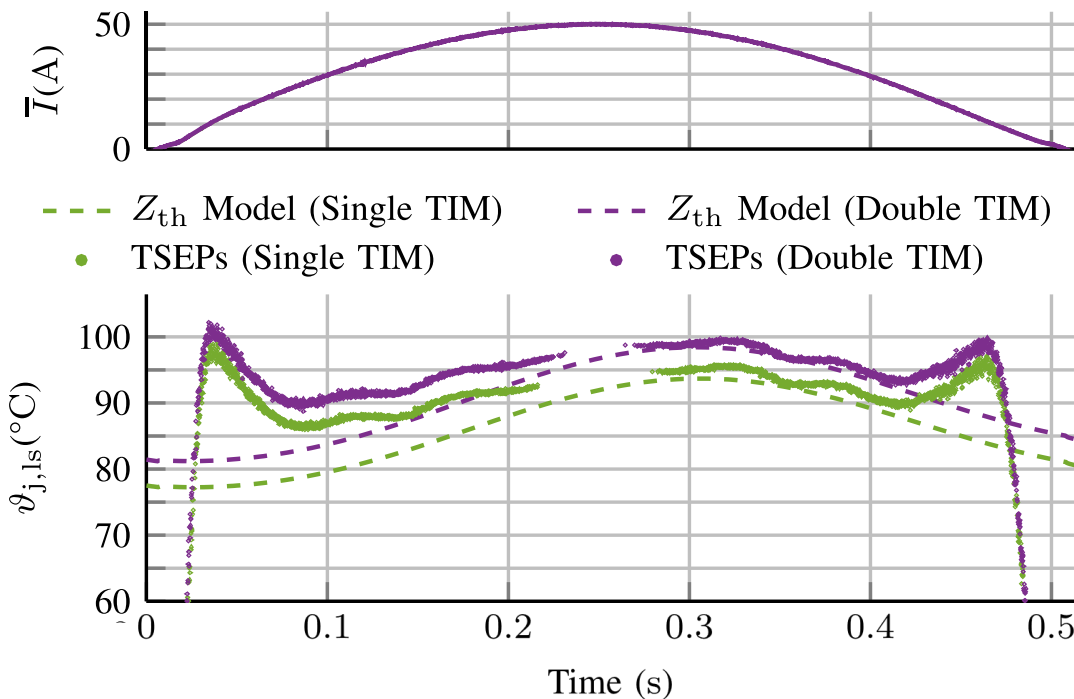


**Abbildung 43: Gemessene TSEPs im PWM-Betrieb (mitte) sowie TSEP-basierte Temperarschätzung und Modellvorhersage (unten) am Referenzsystem mit einer einzelnen Folie TIM [3]**

Es ist zu erkennen, dass das System praktisch den gleichen Offset zwischen den Messungen erkennt, wie erwartet wird. Die Messergebnisse folgen dem Verlauf der Sperrschichttemperatur gut bei hohen Strömen. Die Fälle sind klar trennbar. Daher ist das System in der Lage eine Lotschichtdegradation zu erkennen.

Auf die technischen Ursachen der Unterschiedlichen Abweichungen in der ersten und zweiten Hälfte des Verlaufs wird in [3] detaillierter eingegangen.





**Abbildung 44: Erkannte Temperaturänderung des TSEP-Messsystems bei emulierter Lotschichtdegradation [3]**

### II.2.1 AP 4.1 - Definition der Tests

Der Ablauf und die Parameter der Alterungstests wurden mit dem Fraunhofer IISB und der Infineon AG abgestimmt. Es werden Power Cycling (Sec) Tests, angelehnt an „Automotive Qualification Guideline“ AQG 324, durchgeführt. Entsprechend dem „Product Qualification Reports“ der Module wird eine Lebensdauer von ca. >25000 Zyklen angenommen. Die Alterungszyklen werden dabei drei Mal unterbrochen und die Module mit dem TSEP-Messsystem vermessen. Es werden sieben Module, inkl. einer Blindprobe, gealtert<sup>4</sup>. Zwei Module werden während der Alterung für Schliffbilder aus dem Test entnommen.

### II.2.2 AP 4.3 - Durchführung der Tests

Dieses Arbeitspaket besteht aus zwei Kernkomponenten. Zum einen die praktische Durchführung der Alterungstests und TSEP-Messungen, zum anderen die Untersuchung in wie weit sich die Temperatúrauswertung durch die Kombination mehrerer TSEPs verbessern lässt.

Für die Alterungstests wurden die elektrischen Parameter, eine Wasserkühlung sowie die Ansteuerungsplatinen für das Fraunhofer IISB vorbereitet, siehe Abbildung 45. Die Tests wurden über einen Zeitraum von ca. 8 Monaten durchgeführt. Dabei wurden die Module Abschnittsweise im Fraunhofer IISB gealtert oder im IAL mittels TSEPs vermessen.

Eine Übersicht über den Verlauf der Tests ist in Abbildung 47 dargestellt. Die Module wurden mit dem TSEP-Messsystem vor dem Beginn, nach etwa 50 % des erwarteten End-of-Life (EOL), nach 80 % EOL und nach überschreiten eines der EOL-Kriterien nach AQG 324 gemessen. Die

<sup>4</sup> Dies entspricht 14 topologischen Schaltern.

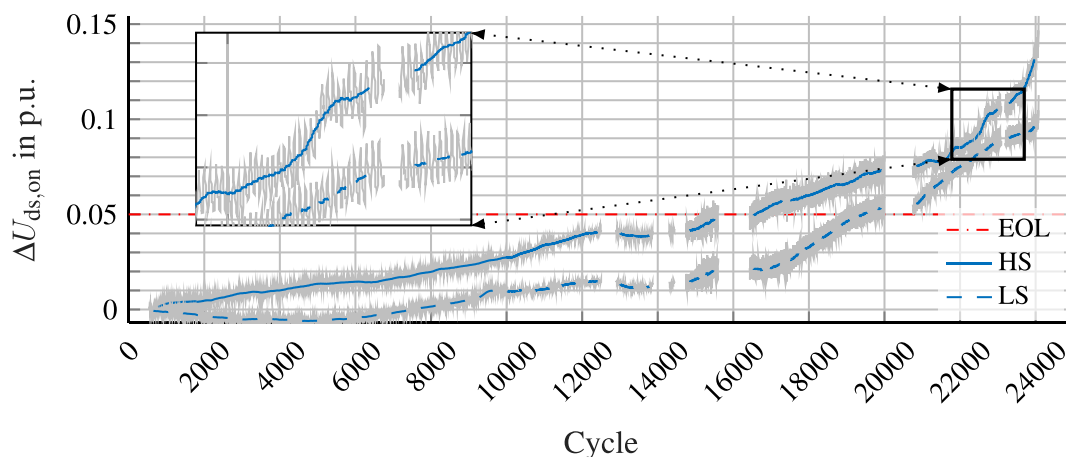
Vorgaben in der AQG 324 sehen kein Lösen oder Ändern der Testparameter nach Beginn vor. Das wiederholte Lösen und Montieren der Module führte jeweils zu deutlichen, sprunghaften Änderungen der Durchlassspannung und des Temperaturhubs.



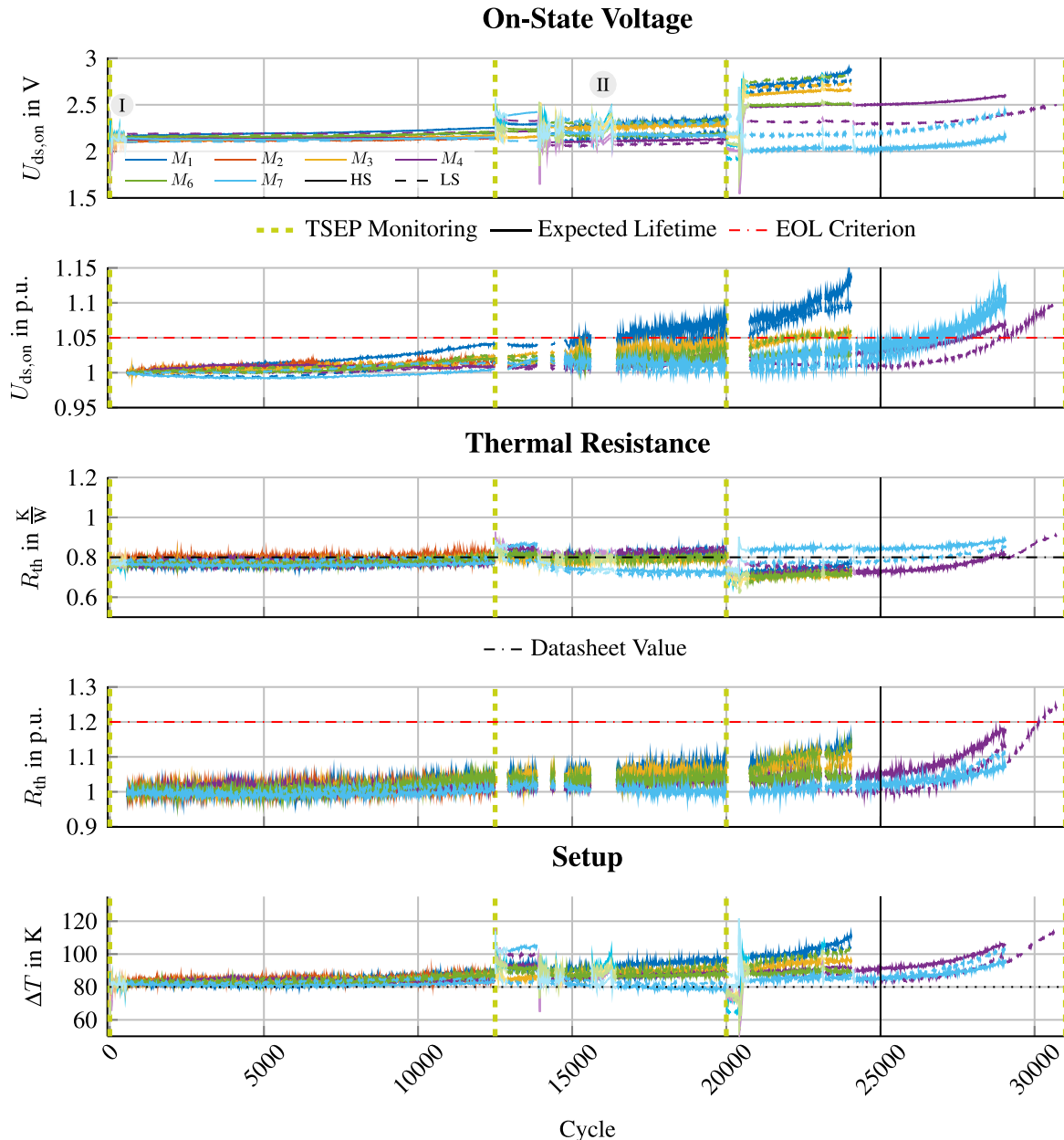
**Abbildung 45: Vorbereitetes Kühlsystem, Module und Ansteuerung für die Alterungstests im Fraunhofer IISB**

Der zugrundeliegenden Alterungsmechanismus (Temperaturhub) sollte jedoch kontinuierlich sein, um möglichst nah an den geplanten Bedingungen nach AQG 324 zu arbeiten. Daher wurde nach jeder Neumontage am PCT Prüfstand die Gatespannung aller Schalter angepasst, bis diese jeweils den gleichen Temperaturhub wie vor dem Lösen hatten. Dieses Nachstellen wurde in der Berechnung der Ausfallkriterien berücksichtigt, vergleiche relative Durchlassspannung und thermischen Widerstand in Abbildung 47.

Wie erwartet, zeigen alle Module eine Erhöhung oder ein Überschreiten der Ausfallkriterien nahe der qualifizierten 25000 Zyklen. Lediglich Modul  $M_1$  (blau) zeigt einen auffällig frühen Anstieg in der Durchlassspannung. Da dies bereits vor dem ersten Lösen bei 12500 Zyklen erkennbar ist, scheint dies nicht durch die speziellen Bedingungen des Tests hervorgerufen zu sein. Abbildung 46 zeigt eine Detailansicht dieses Moduls. Es ist der einzige Verlauf, der einen sprunghaften Anstieg der Durchlassspannung während der Tests zeigt, was auf einen möglichen Bonddrahtschaden hindeutet.



**Abbildung 46: Detailansicht eines Moduls mit möglichem Bonddrahtschaden**



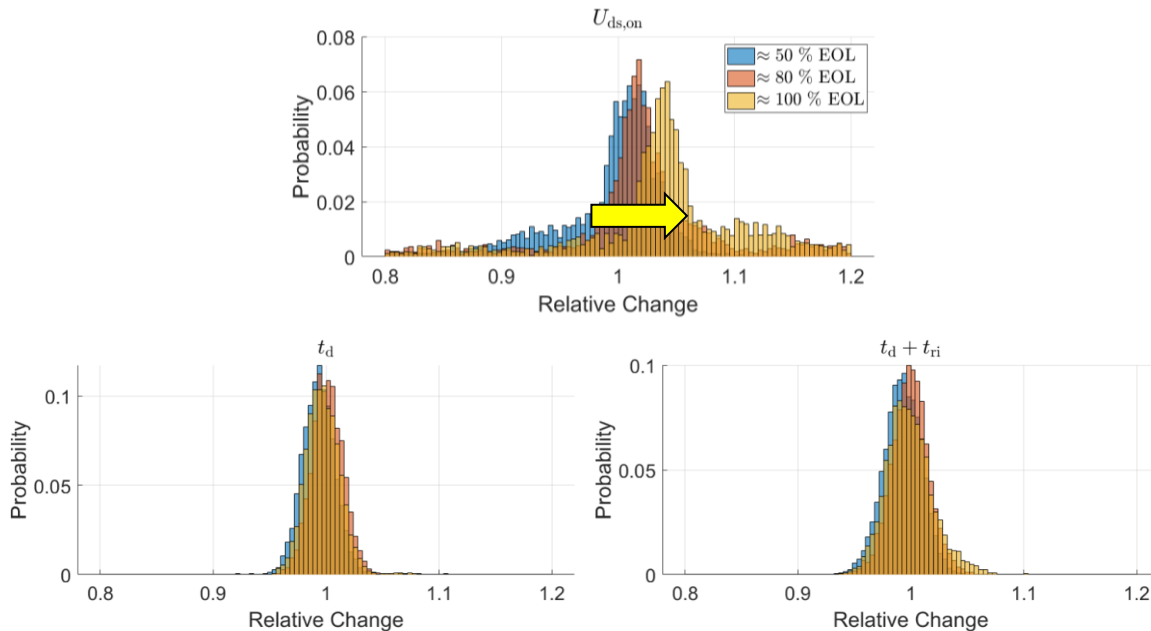
**Abbildung 47: Übersicht über den Verlauf der Alterungstests (PCT Sec); EOL Kriterien:  
+5%  $U_{ds,on}$  oder +20%  $R_{th}$**

### II.2.1 AP 4.4 Auswertung der Tests und Abgleich mit Lebensdauermodellen

Abbildung 48 zeigt ein Histogramm über die relative Änderung der gemessenen TSEPs über den Verlauf der Alterung. Diese Daten wurden in Doppelpulsen ohne Eigenerwärmung der Chips aufgezeichnet (Kalibrierdaten). Die Durchlassspannung zeigt die erwartete Erhöhung um ca. 5 % gegenüber den Initialmessungen. Das System kann somit Bonddrahtschäden oder Veränderungen der Metallisierung erkennen. Da keine Eigenerwärmung vorliegt, sollten sich die Schaltzeiten nicht verändern, was durch die Messdaten bestätigt wird.

Abbildung 50 zeigt den TSEP-Verlauf eines Moduls im PWM-Betrieb über die Alterung. Dabei werden die Zeiten kombiniert dargestellt, entsprechend der gezeigten Ergebnisse in AP 2.Im PWM-Betrieb liegt zusätzlich Eigenerwärmung der Chips vor. Eine Erhöhung der Schaltzeiten,

Differenz der Schaltzeiten oder dem Verhältnis der Schaltzeiten wird erwartet. Dies ist in den Daten ab 80% EOL klar zu erkennen, daher ist eine Alterungserkennung der Lotschicht im Betrieb zwischen 50 % und 80% EOL möglich.



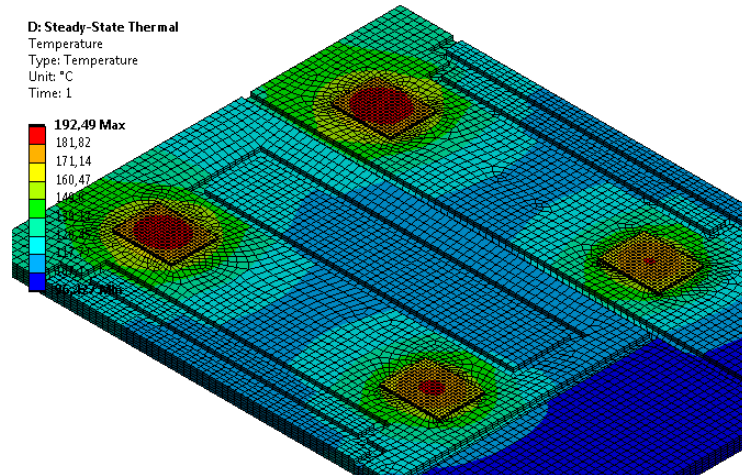
**Abbildung 48: Anstieg der gemessenen TSEPs über den Alterungsverlauf in Doppelpulsen; eine Erhöhung der Durchlassspannung um 5 % wird erwartet; Es wird keine Änderung in den Schaltzeiten erwarten;**

### Lebensdauermodelle

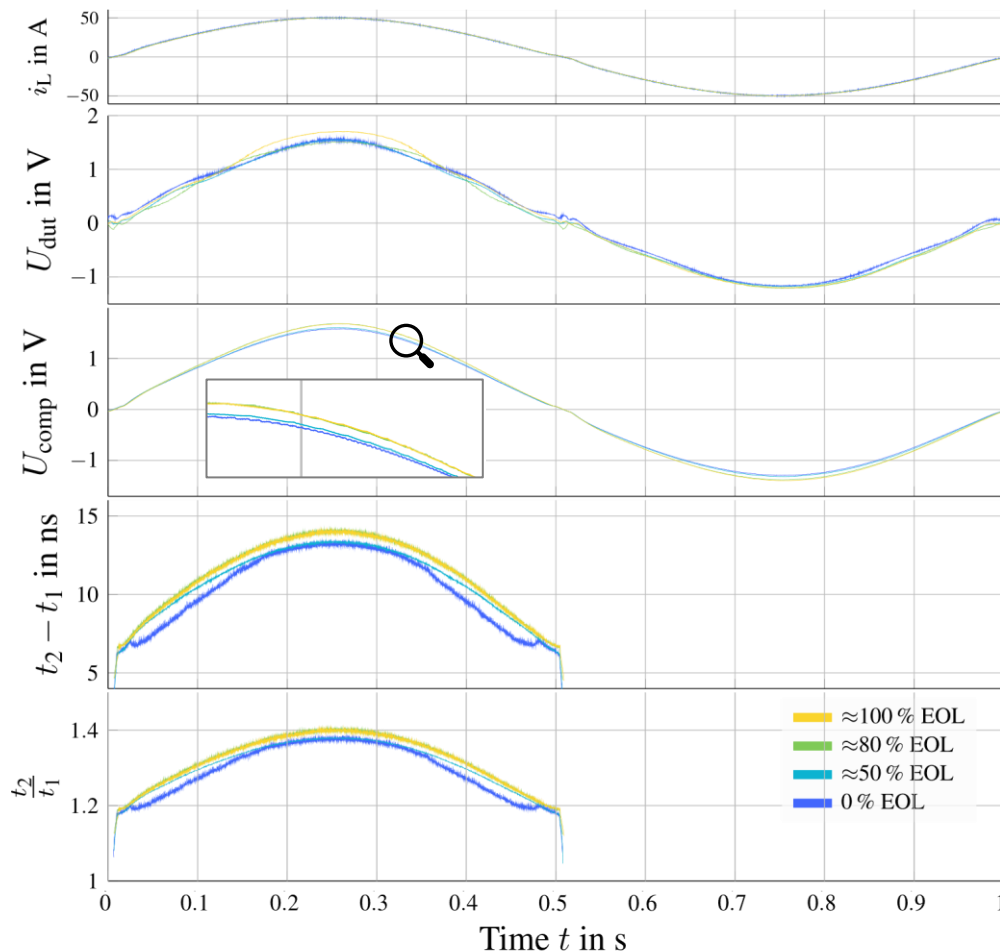
Es wurde ein Unterauftrag zur Erstellung von Lebensdauermodellen der Lotschicht basierend auf geometrischen Daten des Moduls erteilt. Die nachfolgenden Beschreibungen sind in diesem Unterauftrag durch einen externen Partner entstanden.

Die Lebensdauer von Lotschichten hängt von einer Vielzahl an Material- und Prozessparameter ab. Da es sich um kritische Betriebsgeheimnisse handelt, konnten diese nicht bereitgestellt werden. Die notwendigen Größen wurden aus öffentlich verfügbaren Informationen extrahiert und abgeschätzt. Insbesondere wurden Lebensdauermodelle von Loten für BGA Lötverbindungen genutzt.

Zunächst wurde eine thermische Simulation des Moduls durchgeführt, um die mechanischen Spannungen in den Ecken der Lotverbindung zu bestimmen, siehe Abbildung 49.



**Abbildung 49: Thermische Simulation des Moduls zur Bestimmung der mechanischen Spannungen [12]**



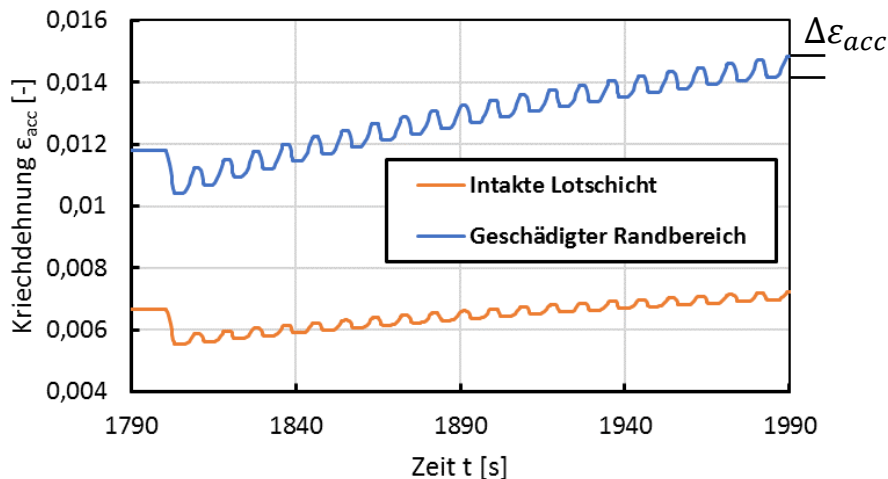
**Abbildung 50: Verlauf der kombinierten TSEPs im PWM-Betrieb eines Moduls über den Verlauf der Alterungstests; Eine Erhöhung der Schaltzeit  $t_2 = t_d + t_{ri}$  gegenüber  $t_1 = t_d$  ist zwischen 50% EOL und 80 % EOL klar zu erkennen**

Aus dem mechanischen Spannungsverlauf über die Zeit wurde die Kriechdehnung der Lotschicht simuliert, vergleiche Abbildung 51. Aus der akkumulierten Kriechdehnung und

einem Coffin-Manson Modell wurde die Lebensdauererwartung auf ca. 97000 Zyklen in den durchgeführten Alterungstests geschätzt.

Dieses Ergebnis wird als unpassend eingeschätzt, da die Module lediglich für 25000 Zyklen qualifiziert. Die Messungen im PCT zeigen dazu passende Zyklen bis zum Überschreiten eines EOL-Kriteriums.

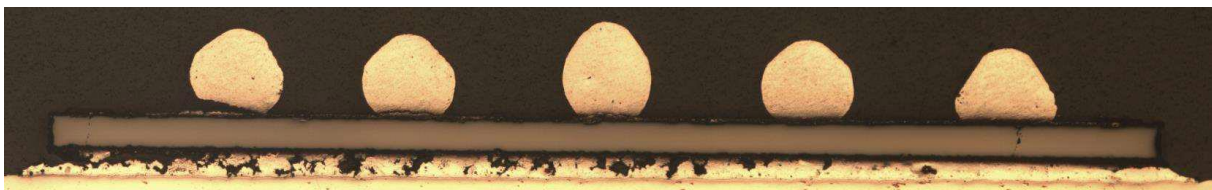
Als wichtigste Ursache der Abweichungen werden die genutzten Parameter zur Kriechdehnungsvorhersage und Lebensdauerparameter vermutet, da diese aus angrenzenden technischen Gebieten (BGA Lotverbindungen) übertragen werden mussten.



**Abbildung 51: Kriechdehnungsverlauf im Randbereich des Lotes und in der inneren Fläche des Chips [12]**

### Schliffbilder

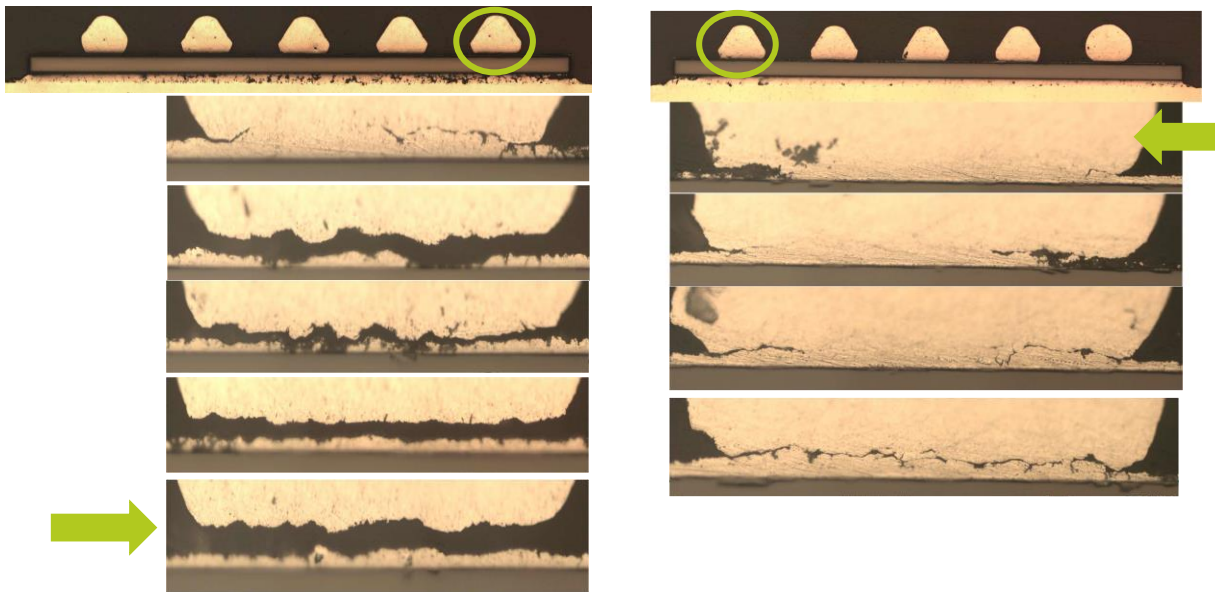
Zusätzlich wurden Schliffbilder des stark geschädigten Moduls aus Abbildung 46 im Rahmen des Unterauftrages erstellt. Abbildung 52 zeigt ein Schliffbild des Moduls durch einen der Chips. Eine starke Degradation der Lotschicht ist zu erkennen.



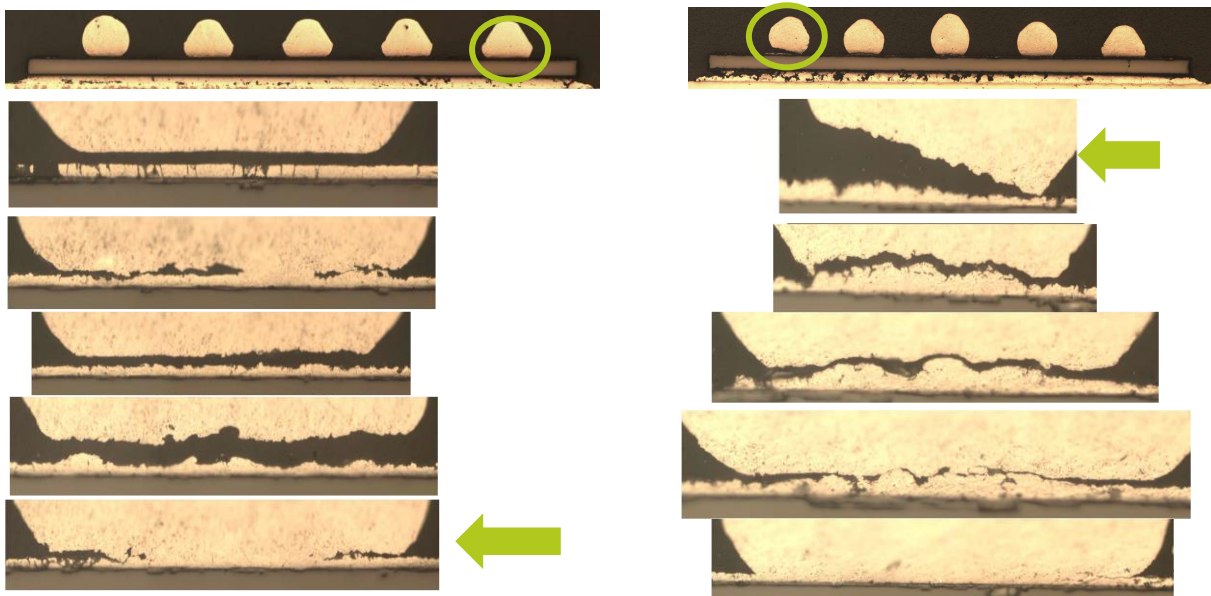
**Abbildung 52: Schliffbild der Lotschicht des stark geschädigten Moduls  $M_1$  [12]**

Abbildung 53 und Abbildung 54 zeigt eine Nahaufnahme der Bonddraht Verbindungsstellen. Diese Schliffbilder zeigen eine extreme Schädigung der Bonddrähte mit einer hohen Anzahl gelöster Verbindungen. Diese Ergebnisse sind nicht plausibel. Bei jeweils einem der Chips auf der High-Side und Low-Side ist der Bonddraht des Gates defekt, was eine Verdoppelung der Durchlassspannung zur Folge hätte. Weiter könnte das Modul nicht mehr sicher blockieren. Das Modul wurde vor Erstellung der Schliffbilder in Doppelpulsen und im PWM-Betrieb unter Last gemessen und war nicht auffällig. In den PCTs ist eine Erhöhung um maximal 15 % erkennbar.

An dieser Stelle wird davon ausgegangen, dass die Bonddrahtverbindungen bei Erstellung des Schliffbildes oder beim Transport beschädigt wurden.



**Abbildung 53: Schliffbilder der Bonddrähte der High-Side des stark geschädigten Moduls  $M_1$ ; Bonddraht des Gates in Grün [12]**



**Abbildung 54: Schliffbilder der Bonddrähte der Low-Side des stark geschädigten Moduls  $M_1$ ; Bonddraht des Gates in Grün [12]**

### II.3 Zahlenmäßiger Nachweis

Position	Benennung im Antrag	Verwendung
0812	Beschäftigte E12-E15	Wissenschaftliche Bearbeitung der Arbeitspakete des IAL
0817	Beschäftigte E1-E11	Unterstützung durch Beschäftigte der Werkstatt beim Aufbau der Leistungselektronik und des Prüfstands zum Betrieb der Demonstratoren
0822	Beschäftigungsentgelte	Studentischen Hilfskräften zur Unterstützung der wissenschaftlichen Beschäftigten
0835	Vergabe von Aufträgen	Alterungstests mit dem Fraunhofer IISB; Lebensdauermodelle und Schliffbilder der Module
0843	Sonstige allgemeine Verwaltungsaufgaben	Material zum Aufbau der Leistungselektronik und des Prüfstands
0846	Dienstreisen	Reisen zu den Projekttreffen
0850	Gegenstände und andere Investition von mehr als 410/400€	Anschaffung eines Messgerätes zur Validierung der Messschaltungen

Der zahlenmäßige Nachweis wurde separat mit dem Verwendungsnachweis zur Verfügung gestellt.

### II.4 Notwendigkeit und Angemessenheit der geleisteten Projektarbeiten

Bei klassischen Verbrennerfahrzeugen tritt ein ungewolltes Fahrverhalten als Vorbote eines kommenden noch größeren Schadens auf. Der Fahrer kann in diesem Fall eine Werkstatt aufsuchen. Bei Elektrofahrzeugen können diese Zustände ohne zusätzliche Zustandsüberwachung nicht erkannt werden. Ein Komplettausfall des elektrischen Systems ohne Vorwarnung ist daher als kritischer Zustand anzusehen. Besonders bei autonom fahrenden Fahrzeugen fehlt jegliche Kontrollinstanz, um ein ungewolltes Liegenbleiben der Fahrzeuge zu verhindern.

Temperatursensitive elektrische Parameter (TSEPs) können als Zustandsüberwachung für Leistungsmodule genutzt werden und als Sensor für übergeordnete Schutzfunktionen dienen. Die erfolgreiche Anwendung von TSEPs im Umrichterbetrieb ist dabei komplex und Störanfällig.

Die durchgeführten Arbeiten führen zu einer niedrigeren Störempfindlichkeit von TSEP im Umrichterbetrieb. Der Übergang zu „Wide-bandgap“-Halbleitern zeigt, dass auch an schnellschaltenden Leistungshalbleitern Schaltzeiten auf dem Gatetreiber erfasst werden



können. Die Funktionalität des Systems konnte in beschleunigten Alterungstests mit thermomechanischen Alterungsmechanismen gezeigt werden.

Die vom IAL geleisteten Arbeiten im Rahmen des Verbundprojekts ZuLeSELF, die im vorliegenden Abschlussbericht näher beschrieben sind, sind zur Erreichung der Projektziele erforderlich gewesen und waren daher für die Durchführung des Vorhabens notwendig und angemessen. Die geleisteten Arbeiten und der Ressourceneinsatz entsprechen der bewilligten Arbeits- und Finanzplanung.

## **II.5 Verwertungsplan (Verwertbarkeit der Ergebnisse und der Erfahrungen)**

Die technischen und wissenschaftlichen Ergebnisse aus ZuLeSELF fließen in weitere Forschungsprojekte des IALs ein. Insbesondere sei hier auf das Projekt ReCoWind (BMW) verwiesen, in welchem Mess- und Schaltungskonzepte zur Erkennung von feuchtigkeitsbedingten Alterungsmechanismen entwickelt werden.

Im Rahmen des Projektes ZuLeSELF wurden mehrere studentische Arbeiten verfasst, die in engem Zusammenhang mit den Projektthemen standen. Weiterhin wurden drei Paper veröffentlicht. Einige Inhalte wurden öffentlich oder firmenintern vorgetragen, vergleiche Tabelle 6 und Tabelle 7.

Die Ergebnisse fließen direkt in eine Dissertation ein.

Die neugewonnenen Erkenntnisse im Bereich Zustandsüberwachung von „Wide-bandgap“-Halbleiter flossen in die Vorlesung „Leistungshalbleiter und Ansteuerung“ und Hochschulvorträgen ein.

Entstandene Hardware- und Softwarekomponenten konnten zusätzlich in anderen Versuchsaufbauten und Forschungsprojekten genutzt werden.

## **II.6 Von dritter Seite her, bekannt gewordene Ergebnisse, die für die Durchführung des Vorhabens relevant wurden**

Es sind keine Ergebnisse dritter Seite bekannt.

## **II.7 Erfolgte oder geplanten Veröffentlichungen der Ergebnisse**

Die veröffentlichten Beiträge im Rahmen des Projektes sind in Tabelle 6 dargestellt.

**Tabelle 6: Übersicht der Veröffentlichungen**

Titel	Bemerkung
"Applying temperature sensitive electrical parameters to SiC power modules considering parasitic effects" – Arbeitstitel Dissertation	Dissertation, unveröffentlicht
D. Herwig, T. Brockhage and A. Mertens, "Combining multiple temperature-sensitive electrical parameters using artificial neural networks," <i>2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)</i> , Lyon, France, 2020, pp. 1-10, doi: 10.23919/EPE20ECCEEurope43536.2020.9215567.	Konferenzbeitrag
D. Herwig, T. Brockhage and A. Mertens, "Impact of Parasitics in Power Modules and Gate Drivers on TSEP-based Temperature Estimations," <i>2020 23rd International Conference on Electrical Machines and Systems (ICEMS)</i> , Hamamatsu, Japan, 2020, pp. 804-809, doi: 10.23919/ICEMS50442.2020.9291091.	Konferenzbeitrag
D. Herwig and A. Mertens, "Junction Temperature Estimation of SiC MOSFETs During Inverter Operation Using Switching Times and On-State Voltages," <i>2021 IEEE Energy Conversion Congress and Exposition (ECCE)</i> , 2021, pp. 2747-2754, doi: 10.1109/ECCE47101.2021.9595535.	Konferenzbeitrag
"Identification and Compensation of Parasitic Impacts on TSEP-Based Condition Monitoring," <i>2021 13<sup>th</sup> Expert Forum on electric vehicle drives and e-mobility, E-Motive by FVA</i> , online	Konferenzbeitrag - Vortrag

**Tabelle 7: Übersicht studentischer Arbeiten**

Titel	Bemerkung
Untersuchung und Realisierung einer Messschaltung zur kombinierten Erfassung und Auswertung mehrerer thermosensitiver Parameter an einer IGBT-Halbbrücke	Masterarbeit
Modellierung von Leistungsmodulen und Untersuchung der Erfassbarkeit üblicher Ausfallmechanismen	Bachelorarbeit
Auslegung und Realisierung eines Gatetreibers und Zwischenkreises für Si-IGBTs zum Vermessen von Leistungshalbleitern eines Serienelektrofahrzeuges	Bachelorarbeit
Messkonzepte eines kontaktintegrierten Temperatursensors in Leistungsmodulen	Masterarbeit

### III. Literaturverzeichnis

- [1] D. Herwig, T. Brockhage und A. Mertens, „Combining multiple temperature-sensitive electrical parameters using artificial neural networks,“ in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, Lyon, France, 2020.
- [2] D. Herwig, T. Brockhage und A. Mertens, „Impact of Parasitics in Power Modules and Gate Drivers on TSEP-based Temperature Estimations,“ in *2020 23rd International Conference on Electrical Machines and Systems (ICEMS)*, Hamamatsu, Japan, 2020.
- [3] D. Herwig und A. Mertens, „Junction Temperature Estimation of SiC MOSFETs During Inverter Operation Using Switching Times and On-State Voltages,“ *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 2747-2754, 2021.
- [4] N. Baker, M. Liserre, L. Dupont und Y. Avenas, „Junction temperature measurements via thermo-sensitive electrical parameters and their application to condition monitoring and active thermal control of power converters,“ in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, Vienna, Austria, 2013.
- [5] Y. Avenas, L. Dupont und Z. Khatir, „Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters—A Review,“ *IEEE Transactions on Power Electronics*, Bd. 27, Nr. 6, pp. 3081 - 3092, 2012.
- [6] M. H. M. Sathik, J. Pou, S. Prasanth, V. Muthu, R. Simanjorang und A. K. Gupta, „Comparison of IGBT junction temperature measurement and estimation methods-a review,“ *2017 Asian Conference on Energy, Power and Transportation Electrification (ACEPT)*, pp. 1-8, 2017.
- [7] M. Denk und M. Bakran, „Junction Temperature Measurement during Inverter Operation using a TJ-IGBT-Driver,“ in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2015.
- [8] P. GHIMIRE, S. BE, CZKOWSKI, S. MUNK-NIELSEN, B. RANNESTAD und THØGERSEN, „A review on real time physical measurement techniques and their attempt to,“ in *Power Electronics and Applications (EPE)*, Lille, France, 2013.
- [9] L. Zheng, L. Han, J. Liu und X. Wen, „Investigation of the Temperature Character of IGBT Solder Delamination Based the 3-D Thermal-Electro Coupling FEM,“ *2010 Asia-Pacific Power and Energy Engineering Conference*, pp. 1-4, 2010.
- [10] U. Scheuermann und R. Schmidt, „Investigations on the VCE(T)-Method to Determine the Junction Temperature by Using the Chip Itself as Sensor,“ *PCIM Europe*, 2009.
- [11] J. Ebersberger, „Charakterisierung einer SiC-Halbbrücke zur chipflächenskalierten Dimensionierung eines Wechselrichters,“ *Masterarbeit IAL*, 2019.

- [12] AMIC Angewandte Micro-Messtechnik GmbH, „Lebensdauermodellierung eines SiC-Leistungsmoduls,“ AMIC, Berlin, 2022.
- [13] L. Zhang, P. Liu, S. Guo und A. Q. Huang, „Comparative study of temperature sensitive electrical parameters (TSEP) of Si, SiC and GaN power devices,“ in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2016.
- [14] J. S. Yuan und J. J. Liou, *Semiconductor Device Physics and Simulation*, Springer US, 2013.
- [15] A. Wintrich, U. Nicolai, W. Tursky und T. Reimann, „Application manual Power Semiconductors,“ *SEMIKRON International GmbH, Nuremberg, Germany*, January 2011.
- [16] R. K. Williams, W. Grabowski, M. Darwish, H. Yilmaz, M. Chang und K. Owyang, „A 30-V P-channel trench gated DMOSFET with 900 /spl mu//spl Omega/cm/sup 2/ specific on-resistance at 2.7 V,“ in *8th International Symposium on Power Semiconductor Devices and ICs. ISPSD '96. Proceedings*, 1996.
- [17] S. Wiese, E. Meusel und K.-J. Wolter, „Microstructural dependence of constitutive properties of eutectic SnAg and SnAgCu solders,“ in *53rd Electronic Components and Technology Conference, 2003. Proceedings.*, 2003.
- [18] I. Voss, T. Aichinger, T. Basler, P. Friedrichs und R. Rupp, „Reliability and Ruggedness of SiC Trench MOSFETs for Long-Term Applications in Humid Environment,“ in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018.
- [19] C. Unger und M. Pfof, „Determination of the Transient Threshold Voltage Hysteresis in SiC MOSFETs after Positive and Negative Gate Bias,“ in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2019.
- [20] S. M. Sze und K. K. Ng, *Physics of Semiconductor Devices*, Wiley, 2006.
- [21] A. Syed, „Accumulated creep strain and energy density based thermal fatigue life prediction models for SnAgCu solder joints,“ in *Proceedings - Electronic Components and Technology Conference*, 2004.
- [22] S. C. Sun und J. D. Plummer, „Modeling of the on-resistance of LDMOS, VDMOS, and VMOS power transistors,“ *IEEE Transactions on Electron Devices*, Bd. 27, pp. 356-367, 1980.
- [23] P. Sochor, A. Huerner, M. Hell und R. Elpelt, „Understanding the Turn-off Behavior of SiC MOSFET Body Diodes in Fast Switching Applications,“ in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021.
- [24] J. Singh, *Electronic and Optoelectronic Properties of Semiconductor Structures*, Cambridge University Press, 2003.

- [25] W. Simon, „Beitrag zur Zustandsüberwachung von IGBT-Modulen mit temperatursensitiven Parametern,“ 2018.
- [26] W. Shockley, „A Unipolar "Field-Effect" Transistor,“ *Proceedings of the IRE*, Bd. 40, pp. 1365-1376, 1952.
- [27] A. Schubert, R. Dudek, E. Auerswald, A. Gollbardt, B. Michel und H. Reichl, „Fatigue life models for SnAgCu and SnPb solder joints evaluated by experiments and simulation,“ in *53rd Electronic Components and Technology Conference, 2003. Proceedings.*, 2003.
- [28] U. Scheuermann und R. Schmidt, „Investigations on the VCE(T)-Method to Determine the Junction Temperature by Using the Chip Itself as Sensor,“ in *PCIM Europe 2009*, 2009.
- [29] A. Rohatgi, *Webplotdigitizer: Version 4.5*, 2022.
- [30] M. Roellig, R. Dudek, S. Wiese, B. Boehme, B. Wunderle, K.-J. Wolter und B. Michel, „Fatigue analysis of miniaturized lead-free solder contacts based on a novel test concept,“ *Microelectron. Reliab.*, Bd. 47, pp. 187-195, 2007.
- [31] M. Riccio, G. De Falco, P. Mirone, L. Maresca, M. Tedesco, G. Breglio und A. Irace, „Accurate SPICE Modeling of Reverse-Conducting IGBTs Including Self-Heating Effects,“ *IEEE Transactions on Power Electronics*, Bd. 32, pp. 3088-3098, 2017.
- [32] M. Riccio, V. d'Alessandro, G. Romano, L. Maresca, G. Breglio und A. Irace, „A Temperature-Dependent SPICE Model of SiC Power MOSFETs for Within and Out-of-SOA Simulations,“ *IEEE Transactions on Power Electronics*, Bd. 33, pp. 8020-8029, 2018.
- [33] J. Raja, K. Jang, C. P. T. Nguyen, N. Balaji, S. Chatterjee und J. Yi, „Drain-Induced Barrier Lowering and Parasitic Resistance Induced Instabilities in Short-Channel InSnZnO TFTs,“ *IEEE Electron Device Letters*, Bd. 35, pp. 756-758, 2014.
- [34] K. Puschkarsky, H. Reisinger, T. Aichinger, W. Gustin und T. Grasser, „Threshold voltage hysteresis in SiC MOSFETs and its impact on circuit operation,“ in *2017 IEEE International Integrated Reliability Workshop (IIRW)*, 2017.
- [35] D. G. Pierce, „A temperature dependent SPICE macro-model for power MOSFETs,“ in *[1991] Proceedings of the 34th Midwest Symposium on Circuits and Systems*, 1991.
- [36] D. Peters, R. Siemieniec, T. Aichinger, T. Basler, R. Esteve, W. Bergner und D. Kueck, „Performance and ruggedness of 1200V SiC — Trench — MOSFET,“ in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017.
- [37] D. Peters, T. Aichinger, T. Basler, G. Rescher, K. Puschkarsky und H. Reisinger, „Investigation of threshold voltage stability of SiC MOSFETs,“ in *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2018.
- [38] O. Peter J., *Nonlinear Ordinary Differential Equations*, Peter J. O., 2017.

- [39] K. Peng, S. Eskandari und E. Santi, „Characterization and modeling of SiC MOSFET body diode,“ in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016.
- [40] R. S. Muller und T. I. Kamins, *Device Electronics for Integrated Circuits*, Wiley, 2002.
- [41] F. Morancho, H. Tranduc und P. Rossel, „Limit of D.C. performance of trench power MOSFETs,“ in *Proceedings of International Conference on Microelectronics*, 1995.
- [42] K. Ma, N. He, M. Liserre und F. Blaabjerg, „Frequency-Domain Thermal Modeling and Characterization of Power Semiconductor Devices,“ *IEEE Transactions on Power Electronics*, Bd. 31, pp. 7183-7193, 2016.
- [43] L. Lorenz, G. Deboy, A. Knapp und M. Maerz, „CoolMOS - a new milestone in high voltage power MOS,“ in *Power Semiconductor Devices and ICs, 1990. ISPSD '90. Proceedings of the 2nd International Symposium on*, 1999.
- [44] F. Koeslag, H. D. Mouton und J. Beukes, „Analytical Modeling of the Effect of Nonlinear Switching Transition Curves on Harmonic Distortion in Class D Audio Amplifiers,“ *IEEE Transactions on Power Electronics*, Bd. 28, pp. 380-389, 2013.
- [45] S. Kalker, C. H. van der Broeck und R. W. De Doncker, „Online Junction-Temperature Sensing of SiC MOSFETs with Minimal Calibration Effort,“ in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020.
- [46] S. Kalker, C. H. Van Der Broeck und R. W. De Doncker, „Online Junction-Temperature Extraction Method for SiC MOSFETs Utilizing Turn-on Delay,“ in *2021 IEEE 8th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2021.
- [47] M. John, „Frequency-domain modeling of harmonic interactions in pulse-width modulated voltage-source inverter drives,“ 2019.
- [48] S. Jahdi, O. Alatise, R. Bonyadi, P. Alexakis, C. A. Fisher, J. A. O. Gonzalez, L. Ran und P. Mawby, „An Analysis of the Switching Performance and Robustness of Power MOSFETs Body Diodes: A Technology Evaluation,“ *IEEE Transactions on Power Electronics*, Bd. 30, pp. 2383-2394, 2015.
- [49] T. Harder, „Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles,“ *ECPE European Center for Power Electronics e.V.*, May 2021.
- [50] D. Grivas, K. L. Murty und J. W. Morris, „Deformation of PbSn eutectic alloys at relatively high strain rates,“ *Acta Metallurgica*, Bd. 27, p. 731–737, May 1979.
- [51] P. Ghimire, S. Bęczkowski, S. Munk-Nielsen, B. Rannestad und P. B. Thøgersen, „A review on real time physical measurement techniques and their attempt to predict wear-out status of IGBT,“ in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013.

- [52] J. Fernandez, S. Hidalgo, J. Paredes, F. Berta, J. Rebollo, J. Millan und F. Serra-Mestres, „An ON-resistance closed form for VDMOS devices,“ *IEEE Electron Device Letters*, Bd. 10, pp. 212-215, 1989.
- [53] M. A. Eleffendi und C. M. Johnson, „Application of Kalman Filter to Estimate Junction Temperature in IGBT Power Modules,“ *IEEE Transactions on Power Electronics*, Bd. 31, pp. 1576-1587, 2016.
- [54] J. Ebersberger, J. K. Müller und A. Mertens, „Dynamic Characterization of a SiC-extscMOSFET Half Bridge in Hard- and Soft-Switching and Investigation of Current Sensing Technologies,“ in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, 2020.
- [55] R. Dudek, H. Walter, R. Doering und B. Michel, „Thermal fatigue modelling for SnAgCu and SnPb solder joints,“ in *5th International Conference on Thermal and Mechanical Simulation and Experiments in Microelectronics and Microsystems, 2004. EuroSimE 2004. Proceedings of the*, 2004.
- [56] J. M. Dias Pereira, P. M. B. Silva Girao und O. Postolache, „Fitting transducer characteristics to measured data,“ *IEEE Instrumentation Measurement Magazine*, Bd. 4, pp. 26-39, 2001.
- [57] V. d'Alessandro, A. Magnani, M. Riccio, G. Breglio, A. Irace, N. Rinaldi und A. Castellazzi, „SPICE modeling and dynamic electrothermal simulation of SiC power MOSFETs,“ in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2014.
- [58] Z. Chen, H. Wong, Y. Han, S. Dong und B. L. Yang, „Temperature dependences of threshold voltage and drain-induced barrier lowering in 60nm gate length MOS transistors,“ *Microelectronics Reliability*, Bd. 54, pp. 1109-1114, 2014.
- [59] C.-S. Chang, D.-Y. S. Day und S. Chan, „An analytical two-dimensional simulation for the GaAs MESFET drain-induced barrier lowering: a short-channel effect,“ *IEEE Transactions on Electron Devices*, Bd. 37, pp. 1182-1186, 1990.
- [60] K. M. Cham, S.-Y. Oh, J. L. Moll, K. Lee, P. Vande Voorde und D. Chin, „Drain-Induced Barrier Lowering in Short Channel Transistors,“ in *Computer-Aided Design and VLSI Device Development*, Boston, MA: Springer US, 1988, p. 197–209.
- [61] D. Cavaiuolo, M. Riccio, L. Maresca, A. Irace, G. Breglio, D. Daprà, C. Sanfilippo und L. Merlin, „A robust electro-thermal IGBT SPICE model: Application to short-circuit protection circuit design,“ *Microelectronics Reliability*, Bd. 55, pp. 1971-1975, 2015.
- [62] Q. Cao, Y. Zhang und Y. Zhang, „An Analytical Model of Drain Induced Barrier Lowering Effect for SiC MESFETs,“ in *Extended Abstracts - 2008 8th International Workshop on Junction Technology (IWJT '08)*, 2008.
- [63] T. Basler, D. Heer, D. Peters, T. Aichinger und R. Schoerner, „Practical Aspects and Body Diode Robustness of a 1200 V SiC Trench MOSFET,“ in *PCIM Europe 2018*;

*International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, 2018.*

- [64] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer US, 2008.
- [65] B. J. Baliga, *Advanced Power MOSFET Concepts*, Springer US, 2010.
- [66] A. S. Bahman, K. Ma und F. Blaabjerg, „Thermal impedance model of high power IGBT modules considering heat coupling effects,“ in *2014 International Power Electronics and Application Conference and Exposition, 2014*.
- [67] B. Asllani, H. Morel, D. Planson, A. Fayyaz und A. Castellazzi, „SiC power MOSFETs Threshold-voltage hysteresis and its impact on Short Circuit operation,“ in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC), 2018*.
- [68] M. Ali, J. Friebe und A. Mertens, „Simplified Calculation of Parasitic Elements and Mutual Couplings of Wide-bandgap Power Semiconductor Modules,“ in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe), 2020*.
- [69] T. Aichinger, G. Rescher und G. Pobegen, „Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs,“ *Microelectronics Reliability*, Bd. 80, pp. 68-78, 2018.
- [70] Fuji Electric Co.,Ltd., „PowerMOSFET,“ 2014.
- [71] Infineon Technologies AG, „Hard Commutation of Power MOSFET,“ 2014.
- [72] M. A. Eleffendi und C. M. Johnson, „Evaluation of on-state voltage  $V_{CE(ON)}$  and threshold voltage  $V_{th}$  for real-time health monitoring of IGBT power modules,“ *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, pp. 1-10, 2015.
- [73] V. Smet, F. Forest, J.-J. Huselstein, F. Richardeau, Z. Khatir, S. Lefebvre und M. Berkani, „Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling,“ *IEEE Transactions on Industrial Electronics*, Bd. 58, Nr. 10, pp. 4931-4941, 2011.
- [74] N. Baker, M. Liserre, L. Dupont und Y. Avenas, „Junction temperature measurements via thermo-sensitive electrical parameters and their application to condition monitoring and active thermal control of power converters,“ *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, pp. 942-948, 2013.