

Kurzbericht zum BMBF Verbundprojekt

**Elektrische Antriebsmaschine mit in das
Lagerschild integrierte SiC-Leistungselektronik**
(Förderkennzeichen: 16EMO0312)

LaSiC

Teilvorhaben

Fraunhofer Institut für Siliziumtechnologie ISIT

**Systemoptimierung, Topologieuntersuchung, Systemlayout
und Zuverlässigkeitsuntersuchungen**

ISIT-LaSiC

Projektzeitraum: 01.10.2018 - 30.09.2021 (Verlängerung bis 31.03.2022)

GEFÖRDERT VOM



 Bundesministerium
für Bildung
und Forschung

Einleitung

Die Aufgaben der Fraunhofer ISITs lassen sich im Wesentlichen in zwei Bereiche unterteilen. Zum einen wurde das Projekt während der kompletten Laufzeit durch Simulationen mit unterschiedlichen Themen und Schwerpunkten begleitet, um die Ziele des Gesamtsystems aber auch der Einzelkomponenten zu erreichen.

Zum anderen wurde in der zweiten Hälfte der Projektlaufzeit die Charakterisierung der Zuverlässigkeit an den entwickelten Treibern und Leistungsmodulen durchgeführt. Neben der Durchführung der aktiven und passiven Lastwechseltest bestand auch ein wesentlicher Teil in der Proben-Präparation und Analyse der Defekte.

AP3 Simulationen

Zu Beginn des Projektes lag der Fokus auf der Auswahl eines geeigneten SiC-Mosfets. Hierzu wurden die Datenblätter der aktuell verfügbaren Chips miteinander verglichen. Zusätzlich wurden in LTSpice Modelle aufgebaut, um die Verluste der Bauteile in der vorgesehenen Anwendung abzuschätzen. Neben den Verlusten waren die Anzahl der parallel geschalteten Chips, die Schaltflanken der Bauteile und Schaltfrequenzen wichtige Größen bei den Untersuchungen.

Ein weiteres Simulationsgebiet beschäftigte sich mit der Reduktion der Zwischenkreis-kapazitäten, um den Bauraum der Leistungselektronik zu reduzieren. Hier wurden einige Verfahren auf Umsetzbarkeit, Kapazitätsersparnis als auch Sensitivität der Parameter untersucht. Als besonders vorteilhaft wurde eine 2x3-phasige Ansteuerung und speziell ausgelegte E-Maschine identifiziert, um die Kapazität um 45% reduzieren zu können.

Des Weiteren wurde die FH Kiel bei der Entwicklung des Busbar durch FEM-Simulationen unterstützt. Ziel dieser Untersuchung war ein möglichst niederinduktiver Aufbau zwischen den Kondensatoren und Leistungsmodulen, um einen sicheren Betrieb bei den schnellen Schaltvorgängen der SiC-Leistungshalbleiter zu gewährleisten. Schlussendlich ergab sich für den kompakten Aufbau eine Überspannung am Leistungshalbleiter von maximal 100 V während des Schaltvorgangs bei einer Zwischenkreisspannung von 850 V, somit besteht für die ausgewählten SiC-Mosfets (max. 1200 V) keine Gefahr.

Zur Validierung der LTSpice-Modelle wurden Doppelpuls-Messungen mit den SiC-Mosfets und dem von der FH Kiel entwickelten Treiber durchgeführt. Diese Messergebnisse dienen als Basis für die Simulation und Generierung der Kennfelder sowie der Simulation des WLTP Zyklus.

Um diese Simulationen aufzubauen, wurden zusätzlich die Wärmeübergangswiderstände vom Chip bis zum Kühlmedium von Danfoss Silicon Power bereitgestellt. Speziell lag der Fokus auf dem Vergleich unterschiedlicher Modul-Konfigurationen. Hier wurden die 2-Chip-, 3-Chip- bzw. 4-Chip-Varianten pro Schalter miteinander verglichen. Für jede Variante wurde das komplette Kennfeld von 100-16000 Umdrehungen pro Minute und einem Drehmoment bis 322 Nm sowohl im motorischen als auch generatorischen Betrieb aufgenommen. Hierbei zeigt sich für alle Varianten über einen großen Bereich des Kennfelds ein sehr hoher Wirkungsgrad von über 98%. Der Unterschied zwischen den Varianten beträgt nur ein Zehntel Prozent. Zusätzlich wurden Kennfelder mit den zu erwartenden Chip-Temperaturen der SiC-Mosfets für das komplette Kennfeld generiert.

Für die Simulation des WLTP Zyklus wurde seitens Volkswagen ein Mission Profile über 23 km mit einer Höchstgeschwindigkeit von 131 km/h auf die entwickelte E-Maschine angewendet. Daraus ergab sich das zugehörige Mission Profile zur Ansteuerung der Leistungselektronik. So ließen sich die Temperaturen der Chips und Wirkungsgrade über die 1800s Fahrdauer aufzeichnen. Generell ist der WLTP Zyklus eher defensiv, so dass keine Arbeitspunkte an der Belastungsgrenze auftreten. Dementsprechend sind die Chip-Temperaturen eher gering und die Wirkungsgrad-Vorteile der Varianten mit vielen Chips kaum nachweisbar. Aus Systemsicht lässt sich das Fazit ziehen, dass Module mit möglichst geringer Chip-Anzahl pro Schalter zu favorisieren sind, da die Kostenersparnis groß ist und Effizienz-Nachteile vernachlässigbar klein sind.

AP 13 Charakterisierung der Zuverlässigkeit

Treiberbaugruppe:

Nach Ermittlung der zu erwartenden Betriebsbelastung und Identifikation kritischer Komponenten auf der Treiberbaugruppe wird diese einer Klimaauslagerung (85°C / 85%RF, 1000h) und einer passiven Temperaturwechselbelastung (TWT: -40°C / +125°C, je 15 Minuten Haltezeit, 2700 Zyklen) unterworfen.

Nach der Klimaauslagerung sind im elektrischen Test keine Auffälligkeiten sichtbar und es sind keine Hinweise auf Korrosion oder ECM (elektrochemische Migration) vorhanden.

Bei den als kritisch eingestuften Komponenten sind nach TWT-Belastung typische Alterungserscheinungen (Versetzen in den Lötstellen, Rissbildung) sichtbar.

Die Qualität der Treiberbaugruppe lässt unter angenommen optimalen Fertigungsbedingungen in einer automatischen Fertigungsumgebung elektronischer Baugruppen unter der erwarteten Betriebsbelastung (-20°C ... +80°C) eine Lebensdauer von >15 Jahren erwarten.

Leistungsmodule:

Der am ISIT bestehende Aufbau für Lastwechseltests wurde hinsichtlich der Steuerung und Messung an die zu testenden SiC-MOSFETs angepasst.

Für die Belastungstests auf Modulebene wurde gemeinsam mit den Projektpartnern der FH Kiel und Danfoss Silicon Power das Design für ein Testmodul entworfen und entsprechende Module durch die FH Kiel aufgebaut und zur Verfügung gestellt.

Die Kalibrierungstemperatur der einzelnen Chips wurde aufgrund starker Streuung der Messwerte von ursprünglich 160°C auf 120°C reduziert. Nach Anpassung der Versuchsparameter konnten zwischen ca. 9700 und ca. 18700 Zyklen erreicht werden, bevor es hier zu einem unerlaubten Anstieg des Temperaturhubs kam. Fehlerhafte Anbindungen der SiC-Chips und der Isolationsfolie wurden detektiert, wobei Ursache und Wirkung nicht eindeutig zugeordnet werden konnten. Die Module zeigen z.T. Frühausfälle, die mit den eingesetzten Untersuchungsmethoden nicht zu erklären sind. Hier bedarf es einer weiteren Analyse des Verbundaufbaus, insbesondere des thermischen Verhaltens der SiC-Leistungstransistoren und der eingesetzten Isolationsfolie.

Fachlicher Sachbericht zum BMBF Verbundprojekt

**Elektrische Antriebsmaschine mit in das
Lagerschild integrierte SiC-Leistungselektronik**
(Förderkennzeichen: 16EMO0312)

LaSiC

Teilvorhaben

Fraunhofer Institut für Siliziumtechnologie ISIT

**Systemoptimierung, Topologieuntersuchung, Systemlayout
und Zuverlässigkeitsuntersuchungen**

ISIT-LaSiC

Projektzeitraum: 01.10.2018 - 30.09.2021 (Verlängerung bis 31.03.2022)

GEFÖRDERT VOM



 Bundesministerium
für Bildung
und Forschung

Eingehende Darstellung der wissenschaftlich-technischen Ergebnisse

AP3 Simulationen

Zu Beginn des Projektes wurde im Konsortium eine Grobauslegung der Antriebskomponenten diskutiert. Auf der DC-Seite (Batterie) wird von einer Zwischenkreisspannung im Bereich 560 V – 850 V ausgegangen. Die Peak-Leistung der E-Maschine wurde mit 150 kW beziffert. Aufgrund der Integration der Leistungselektronik in das Lagerschild der E-Maschine wird eine hohe Temperaturbelastung erwartet. Für die Auslegung der Leistungshalbleiter sind somit 1200 V SiC-Mosfets favorisiert, um auch einen sicheren Betrieb bei der maximalen Batteriespannung von 850 V zu gewährleisten. Abhängig von der Topologie variieren die Ströme pro Schalter zwischen 130 A-300 A effektiv, somit wird bei den state-of-the-art Chips der bekannten SiC-Mosfet-Hersteller eine Parallelschaltung von 2-4 Chips pro Schalter notwendig sein. Neben einer denkbaren Einzelschalter-Lösung wird aus Modulsicht der Aufbau als Halbbrücke für sinnvoll erachtet, um die Kommutierungskreise klein zu halten und eine effektive Kühlung zu realisieren.

1. Bauelementauswahl (3001)

Als mögliche SiC-Leistungshalbleiter wurden folgende Bauteile der 1200 V-Spannungsklasse der Firmen Rohm, Cree, ST und GE in die engere Auswahl gezogen (Tabelle 1).

Hersteller	Artikelname	LxB / mm	R _{DS_on} / mΩ	V _{DS} * / V	max. T _J / °C	max. I _b / A	E _{on} / mJ	E _{off} / mJ
Rohm	S4103UCCF	4,81x4,80	22-27,5	3,2	175	95*	0,632	0,243
Cree	CPM3-1200-0016A	4,04x6,44	16-20	4,4	175	75**	kA	kA
Cree	QPM3-1200-0017C	5,00x5,00	17-22	4,9	175	98**	2,81	1,86
Cree	CPM3-1200-0013C	4,36x7,26	13-16	4,4	175	90**	2,1	1,5
ST	SCT160N120G3D2AG	4,36x7,26	10,4-13,5	3,5	200	130**	TBD	TBD
GE	GE1209003	4,50x4,70	25	4,4	200	73**	0,57	0,123

Tabelle 1: Übersicht möglicher SiC-MOSFETs * (T_c=25°C) ** (T_c=100°C)

Aus Tabelle 1 wurde der QPM3-1200-0017 von Cree als SiC-MOSFET für das Projekt ausgewählt, da er die Anforderungen aus den Systemspezifikationen erfüllt und während der Projektlaufzeit in ausreichender Anzahl lieferbar ist. Basierend auf den Systemanforderungen ergeben sich Phasenströme (effektiv) für die Schalter zu 310 A (3-phasig) bzw. 203 A (6-phasig). Dementsprechend werden je nach Chipauswahl 2-4 Chips pro Schalter parallel geschaltet werden müssen. Prinzipiell sind Chips mit geringer Strombelastbarkeit aufgrund der zu erwartenden höheren Verluste bei gleicher Chipanzahl schlechter zu bewerten. Des Weiteren wird eine geringe Chipanzahl pro Schalter angestrebt, um das Bauvolumen der Module möglichst klein zu halten. Die in Tabelle 1 aufgeführte maximale Strombelastung bezieht sich auf die jeweilige Kühlung und variiert zwischen den Datenblättern, somit lässt sich auch durch eine geschickte Kühlung eine geringere Anzahl paralleler Chips realisieren. Berücksichtigt werden die Durchlassverluste aus dem vorwärts und rückwärts leitenden Zustand des Mosfets sowie der Bodydiode. Die Durchlassverluste P_{ctd} der Bodydiode treten während der Verriegelungszeit t_d auf.

2. Systemuntersuchung zur Nutzung der hohen Schaltflanken (AP 3002)

Im Vergleich zu herkömmlichen Silizium-Mosfets lassen sich mit Siliziumkarbid-Mosfets deutlich geringere Schaltverluste erzielen, dies ist ein wichtiger Aspekt hinsichtlich der Reduzierung der Verlustenergien der Leistungshalbleiter. Somit lässt sich der Bauraum für das Modul und Kühlung reduzieren, um schlussendlich höhere Leistungsdichten mit dem Siliziumkarbid-Umrichter zu erreichen. Diese Reduzierung der Schaltverluste wird u.a. durch schnellere Schaltvorgänge erreicht,

d.h. im Schaltvorgang treten steilere Strom- und Spannungsflanken auf. Speziell die Spannungsflanken sind ein kritischer Punkt hinsichtlich der Isolationsfestigkeit bei dem Aufbau elektrischer Maschinen. Um das Schaltverhalten des Umrichters zu analysieren wurde eine Systemsimulation mittels LTSpice aufgebaut (Abbildung 1).

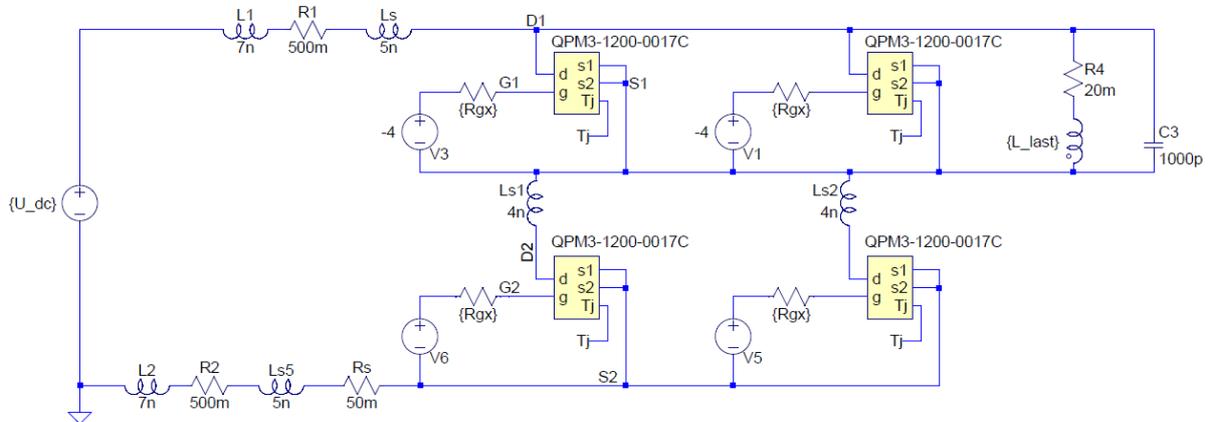


Abbildung 1: LTSpice-Simulationsmodell mit Original-Bauteil von Cree

Der Fokus bei diesen Untersuchungen lag auf den Spannungsflanken während der Schaltvorgänge, da diese aufgrund der Spannungsfestigkeit der E-Maschine auf einen Wert von ca. 20 kV/ μ s begrenzt sind. Durch Anpassung des Gate-Widerstands ließ sich die erwünschte Flankensteilheit für den Ein- und Ausschaltvorgang des MOSFETs einstellen. Für diese Arbeitspunkte lässt sich durch Integration des Produktes aus Strom und Spannung die Ein- bzw. Ausschaltenergie ermitteln, welche für die Abschätzung der Verluste der MOSFETs eine wichtige Größe ist. Die Ergebnisse der Simulation werden mit den gemessenen Werten in Abbildung 15 gegenübergestellt.

3. Power Pulsation Buffer (3003)

Im Hinblick auf die strengen Bauraumanforderungen für die lagerschildintegrierte Leistungselektronik stellt die Minimierung der Zwischenkreiskapazität eine große Herausforderung dar. Um das durch die Kapazität beanspruchte Volumen gering zu halten, ist die Verwendung von Elektrolytkondensatoren auf den ersten Blick sinnvoll. Insbesondere der durch den Wechselrichter generierte pulsierende Strom ist für die Auslegung der Zwischenkreiskapazität von Bedeutung. In einem einphasigen Wechselrichter tritt im Gegensatz zu einem dreiphasigen Wechselrichter eine mit der doppelten Grundfrequenz periodisch pulsierende Leistung auf, was den Einsatz von aktiven Filterschaltungen, sogenannten Power Pulsation Buffern (PPB), sinnvoll macht. In einem dreiphasigen System können aufgrund fehlender mit der Grundfrequenz pulsierender Leistung keine PPB eingesetzt werden. Stattdessen wird ein spezielles 2x3phasiges Ansteuerungsverfahren zur Reduzierung der Zwischenkreiskapazität im Folgenden untersucht und aufgebaut.

Das Plecs-Simulationsmodell (siehe Abbildung 2) bildet die elektrischen Komponenten des Antriebsstrangs nach und ist für eine sehr hohe Flexibilität und Erweiterbarkeit ausgelegt. Die elektrische Batterie des Antriebsstrangs wird durch eine konstante Spannungsquelle V_{bat} , einen internen ohmschen Widerstand R_{int} und eine interne Induktivität L_{int} modelliert. Parallel zum Batteriemodell wird die Zwischenkreiskapazität durch zwei in Serie verschaltete Kapazitäten, inklusive deren parasitärer Serienwiderstände (ESR, engl. 'equivalent series resistance'), nachgebildet.

Da die im Rahmen des Projektes entwickelte Synchronmaschine segmentierte Wicklungen, also parallele Wicklungen, aufweist, kann der Strom am Eingang des Wechselrichters geglättet werden, wenn die Ströme in den parallelen Wicklungen durch unterschiedliche PWM Signale geregelt werden. Dieses Ansteuerungskonzept wird im Folgenden als „Doppel-Carrier-Modulation“ bezeichnet.

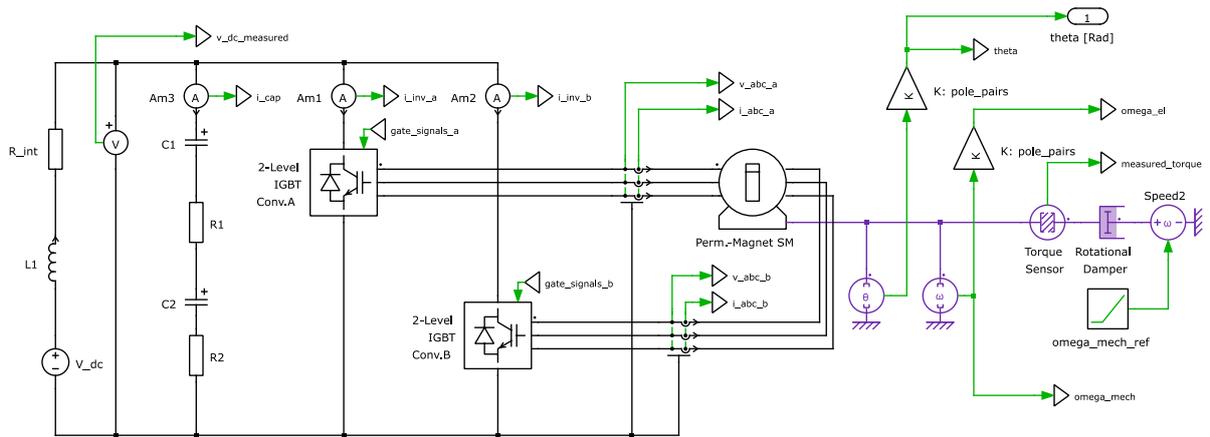


Abbildung 2: Simulationsmodell der Leistungselektronik in Plecs

Das Prinzip der PWM-Erzeugung bei der Doppel-Carrier-Modulation ist in Abbildung 3 dargestellt. Dabei wird ein Referenz-PWM Signal mit zwei um 180° phasenverschobenen sägezahnförmigen Trägern (engl. ‚Carrier‘) verglichen. Dadurch können aus einem Referenzsignal zwei unterschiedliche PWM-Signale generiert werden.

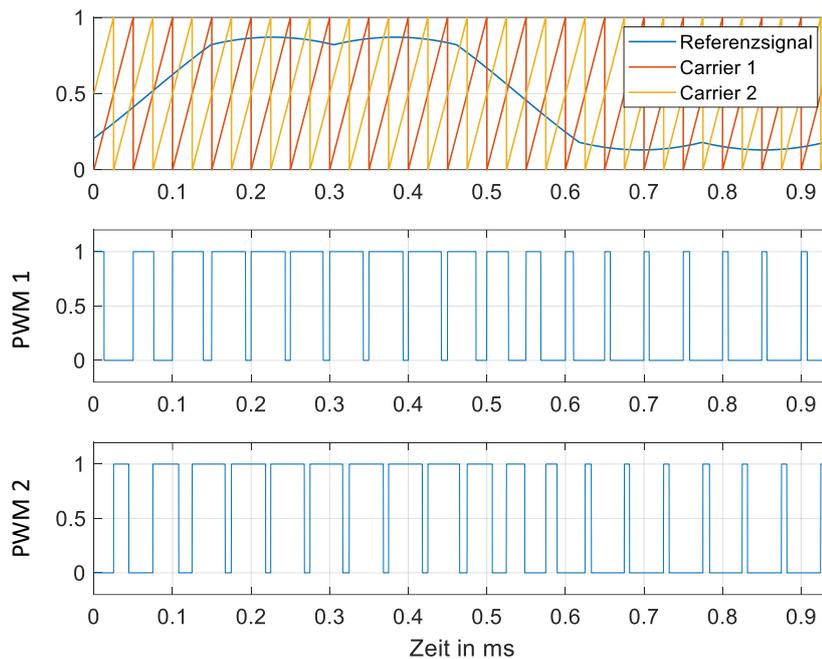


Abbildung 3: Konzept der PWM-Generierung bei der „Segmentierten Modulation“

Im Folgenden werden die Ergebnisse der Simulation dargestellt. In den sogenannten „surf“-Plots wird auf der X-Achse die Drehzahl und auf der Y-Achse das Drehmoment der Synchronmaschine aufgetragen, während die Färbung den Wert der untersuchten Größe für diesen definierten Arbeitspunkt der E-Maschine wiedergibt. Zur Veranschaulichung des Effektes der segmentierten Modulation wurde für die folgenden Ergebnis-Plots auf der linken Seite die klassische Modulation (Raumzeigermodulation) und auf der rechten Seite die segmentierte Modulation (2x3phasig) angewendet. In Abbildung 4 wird der Effektiv-Strom am Zwischenkreiskondensator verglichen, welcher bei dem segmentierten Ansatz um ca. 45% reduziert werden konnte.

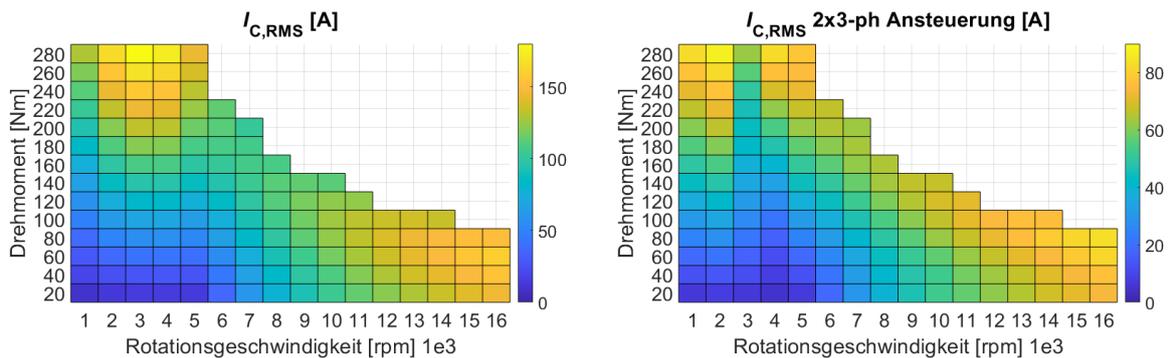


Abbildung 4: Wirkstrom durch den Zwischenkreiskondensator bei klassischer Modulation (links) und „Segmentierter Modulation“ (rechts)

In Abbildung 5 wird der daraus resultierende Spannungsrippel (peak to peak) im Zwischenkreis dargestellt. Aus der VW-Norm wurde ein Wert von 16V Spannungsrippel anvisiert, welcher mit dem Ansatz der segmentierten Modulation erreicht werden kann.

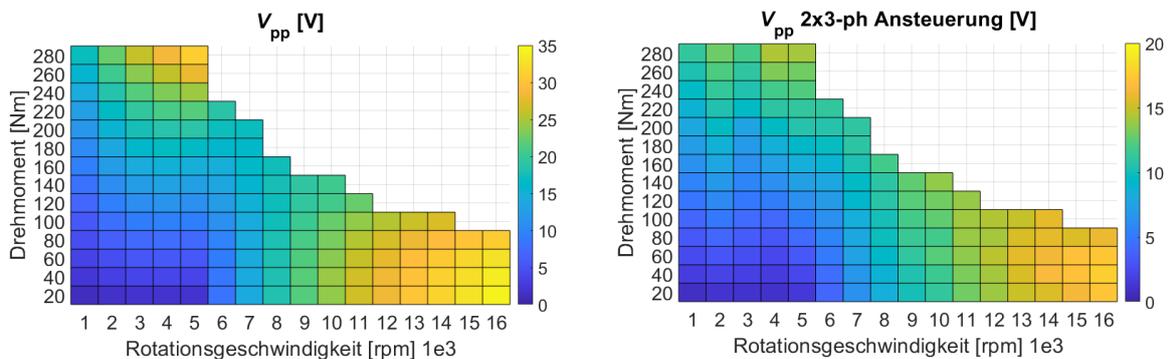


Abbildung 5: Spannungsrippel am Zwischenkreis

4. Niederinduktives Layout (AP 3004)

Für die Analyse der parasitären Größen des mechanischen Aufbaus wird Comsol Multiphysics als finite-element-method (FEM) – Software eingesetzt. Von großer Bedeutung sind die Kommutierungspfade des Stroms im Umrichter, da diese parasitären Induktivitäten zu Überspannungen in den Schaltvorgängen führen und somit die SiC-MOSFETs beschädigen können. Der wesentliche Anteil an der Gesamtinduktivität liegt allerdings in Verschleung zwischen den Modulen und Kondensatoren. Im Rahmen dieses Arbeitspaketes wird die Induktivität dieser Verschleung mittels Comsol Multiphysics untersucht. Als Grundlage wurde die Konstruktion von der FH Kiel als Geometrie in Comsol importiert und entsprechend der Simulations-Randbedingungen angepasst (Abbildung 6). Zur Veranschaulichung sind in dieser Abbildung nur ein Modul und ein Kondensator eingeblendet. Für diese Anwendung wird das Modul für magnetische Felder eingesetzt, welches an den Anschlussflächen des Moduls einen sinusförmigen Strom einprägt. Aus den Messungen auf dem Doppelpuls-Messplatz ist bekannt, dass ein Schaltvorgang im Bereich 35-120 ns liegt. In der Praxis wird nach folgendem Zusammenhang die äquivalente Frequenz für die Anregung des sinusförmigen Stroms berechnet.

$$f = \frac{0.35}{t_{\text{Schaltdauer}}} = \frac{0.35}{35\text{ns}} = 10\text{MHz}$$

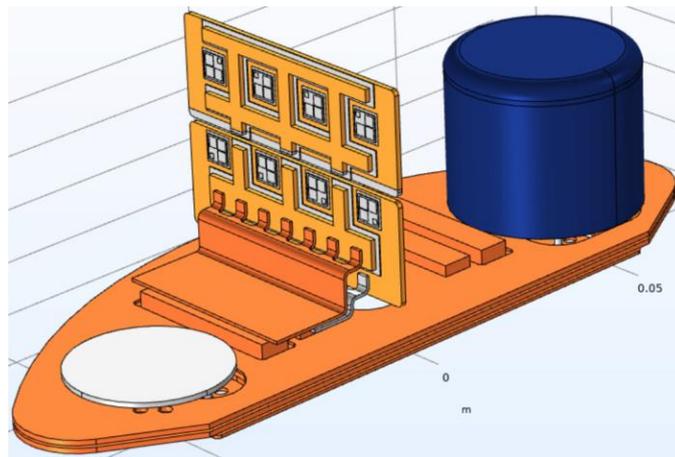


Abbildung 6: Geometrie aus Busbar-Verschierung, einem Modul und einem Kondensator

Die Busbar-Verschierung besteht aus drei Ebenen, da zwei Kondensatoren in Reihe verschaltet sind. Zur Verdeutlichung des Aufbaus und besserer Analyse der Kommutierungskreise werden diese drei Ebenen von der Seite betrachtet und zusätzlich ist für ein Modul der Kommutierungspfad eingezeichnet (Abbildung 7 (links)). Theoretisch ist die Induktivität kleiner, wenn die durch den Strom aufgespannte Schleife eine möglichst kleine Fläche besitzt. In der Praxis bedeutet dies, dass der Hin- und Rückfluss des Stroms möglichst dicht beieinander liegen sollte, so dass sich die magnetischen Felder ausgleichen. Bei der Betrachtung der Variante 1 (Abbildung 7 (links)) wird deutlich, dass Optimierungen möglich sind. Durch den Tausch der unteren beiden Ebenen (Abbildung 7 (rechts)) lässt sich annehmen, dass der Kommutierungskreis niederinduktiver ist, allerdings sind dadurch in der mittleren Ebenen zwei weitere Aussparungen notwendig, um den negativen Anschluss der beiden Module auf die untere Ebene führen zu können. Daher werden beide Varianten mit gleichen Randbedingungen simuliert und verglichen.

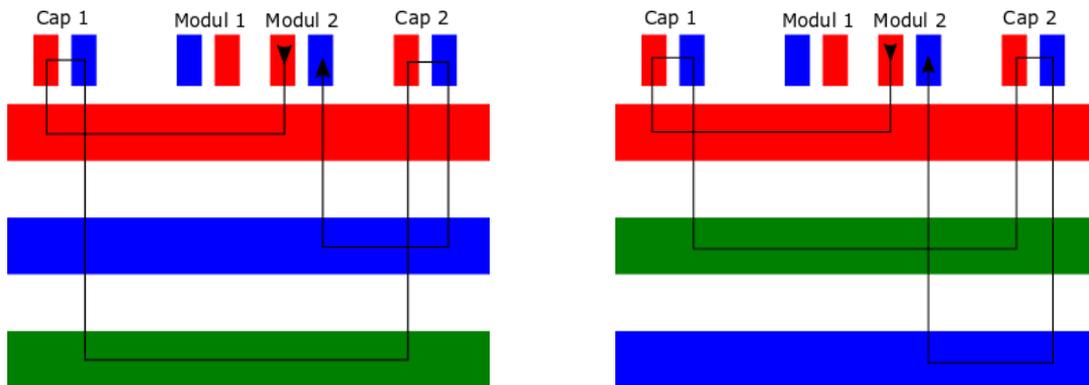


Abbildung 7: Querschnitt der Busbar mit Kommutierungskreis: Variante 1 (links); Variante 2 (rechts)

In Tabelle 2 werden die Ergebnisse zusammengefasst. Neben der berechneten Anregungsfrequenz von 10 MHz wurden die Simulationen ebenfalls für 1 MHz und 50 MHz durchgeführt, um die Sensitivität der Ergebnisse in Abhängigkeit der Schaltgeschwindigkeit zu bewerten. In Variante 2 ergibt sich bei 10 MHz eine Induktivität von 7 nH (Optimierung von 14,6 %) und ein Widerstand von 9,9 mΩ.

Frequenz [MHz]	Variante 1		Variante 2		Reduktion der Induktivität von V1 zu V2
	Induktivität [nH]	Widerstand [mΩ]	Induktivität [nH]	Widerstand [mΩ]	
1	8,6	3,5	7,3	3,0	17,8%
10	8,2	11,5	7,0	9,9	14,6%
50	8,1	27,1	6,9	22,9	14,8%

Tabelle 2: Simulationsergebnisse der Busbar-Verschierung für Variante 1 und Variante 2

Im Vergleich zu kommerziellen Umrichtern ist dies ein gutes Ergebnis, somit ermöglicht dieses Design den Einsatz der schnellschaltenden SiC Leistungshalbleiter. In einer ersten Abschätzung der Gesamtinduktivität aus Busbar, Modul und Zwischenkreiskondensatoren ergibt sich ein Wert von ca. 20 nH. Bei den Doppelpulsmessungen wurden Schaltvorgänge mit einer Stromflanke von bis zu 5 kA/μs gemessen, somit wäre eine Überspannung von 100 V zu erwarten. Die maximale Zwischenkreis-spannung liegt bei 800 V und die verwendeten SiC Leistungshalbleiter haben einen sicheren Arbeitsbereich bis 1200 V, folglich gibt es keine Einschränkungen bei dem Betrieb des Umrichters.

$$\Delta U = L \cdot \frac{di}{dt} = 20nH \cdot 5kA/\mu s = 100V$$

Die Abbildungen 8-11 zeigen die Simulationsergebnisse der Variante 1. Farblich ist auf den Oberflächen der Busbar die Stromdichte (A/m²) dargestellt, zusätzlich lassen sich Pfeile einblenden, um die Stromrichtung abzubilden. Auf Grund des Skin-Effekts fließt der Strom bei den hohen Frequenzen annähernd auf den Randfläche. Bei 10 MHz beträgt die Eindringtiefe δ nach dem Skin-Effekt

$$\delta = \sqrt{\frac{2\rho}{2\pi f\mu}} \approx 20,6\mu m.$$

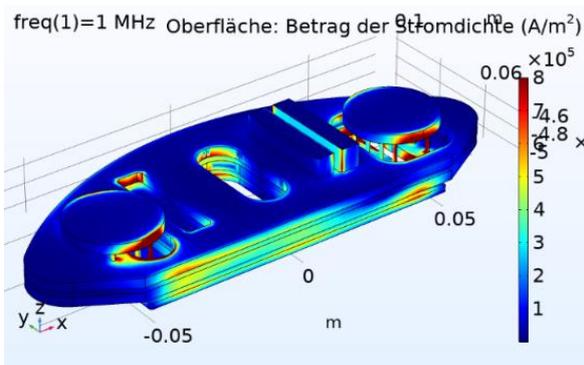


Abbildung 8: Oberflächen-Stromdichte (A/m²) bei 1 MHz

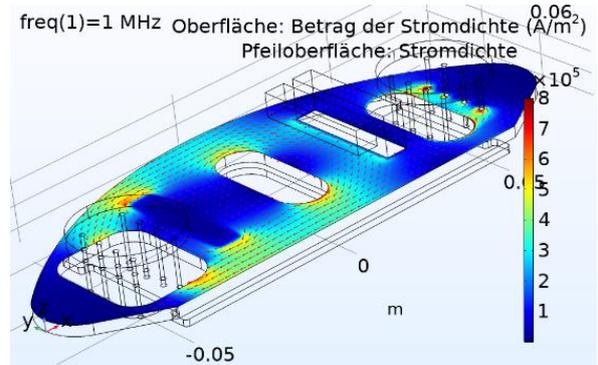


Abbildung 9: Stromdichte (A/m²) der Oberseite der 2. Ebene

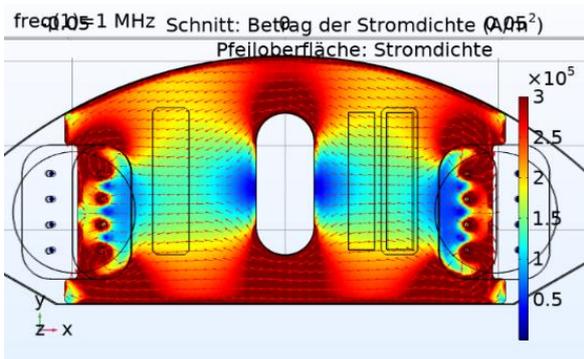


Abbildung 10: Stromdichte (A/m²) der Oberseite der 3. Ebene

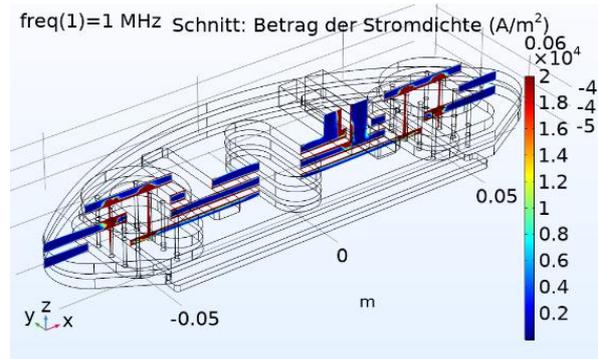


Abbildung 11: Stromdichte (A/m²) im Schnitt der Busbar

5. Systemsimulationen mit kombinierter Pareto- und Sensitivitätsanalyse zur Ermittlung der maximalen Systemeffizienz und Bewertung der erreichbaren Performance (AP 3005)

Im Folgenden wird ein Einblick in die Sensitivitätsanalyse des Batterie-Ripplestroms gegeben, dazu zeigt Abbildung 12 die wesentlichen Größen für die Untersuchung. Der Ripplestrom der Batterie wird beeinflusst durch die Größe der Zwischenkreis Kapazität C, den Innenwiderstand der Batterie und dem Widerstand der Zuleitungen zusammengefasst in R, der Induktivität der Batterie und der Zuleitungen zusammengefasst in L und den Serienwiderstand des Zwischenkreis Kondensators R_{ESR} .

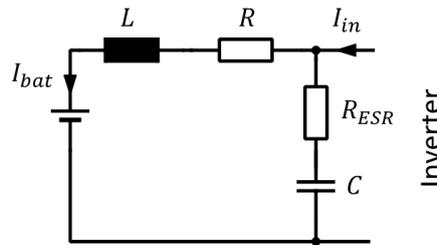


Abbildung 12: Schaltbild zur Sensitivitätsanalyse des Batteriestroms

Die Übertragungsfunktion kann wie folgt analytisch beschrieben werden:

$$H = \left| \frac{I_{bat}}{I_{in}} \right| = \left| \frac{1 + j\omega C R_{ESR}}{1 + j\omega C (R + R_{ESR}) - \omega^2 LC} \right| = \frac{\sqrt{1 + (j\omega C R_{ESR})^2}}{\sqrt{(1 - \omega^2 LC)^2 + (\omega C (R + R_{ESR}))^2}}$$

In den folgenden Graphen (Abbildung 13) zeigt sich wie empfindlich das System auf Abweichungen der Parameter dieses System reagiert. Insbesondere die Variation der Induktivität L zeigt, dass ein zu kleiner Wert zu einer geringen Dämpfung führt. Allerdings wäre es für die Lebensdauer der Batterie von Vorteil, wenn ein Großteil des Ripplestroms vom Kondensator im Zwischenkreis übernommen wird und die Batterie soweit möglich nur einen Gleichanteil übernehmen muss.

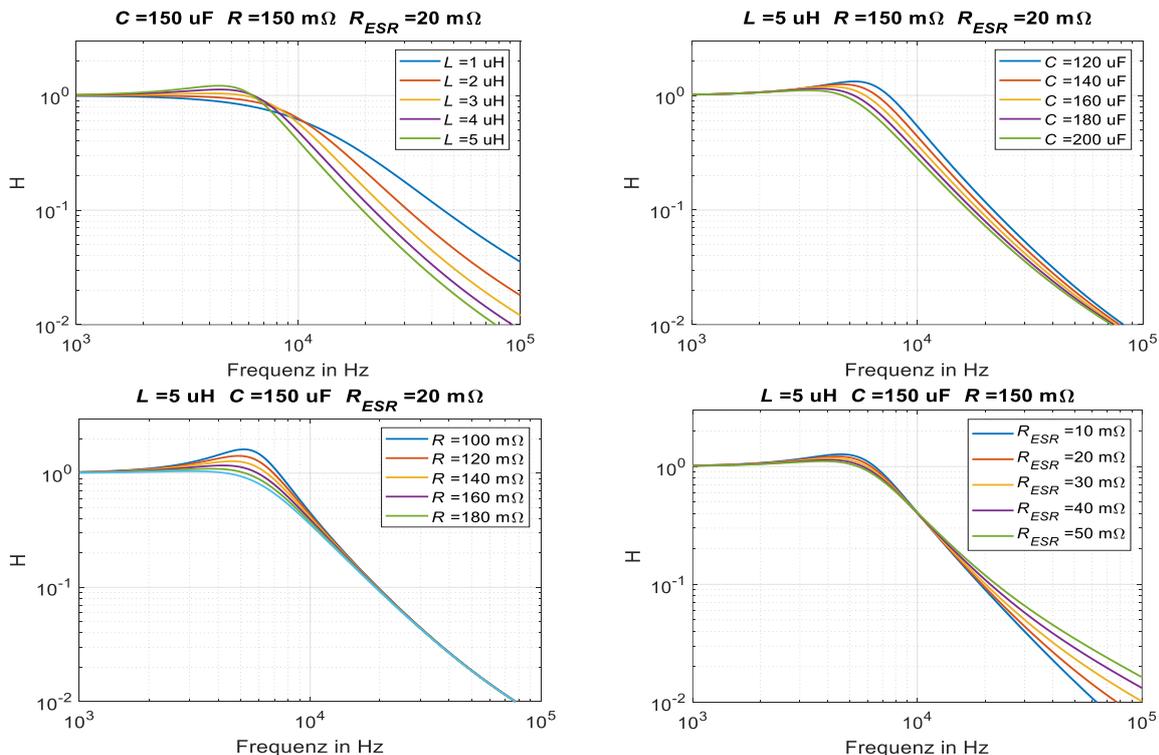


Abbildung 13: Betrag der Übertragungsfunktion bei Variation der Parameter

6. Bauelementcharakterisierung und Verlustleistungsabschätzung (AP3006)

Neben den Durchlassverlusten haben die Schaltverluste den wesentlichen Einfluss auf die Gesamtverluste des MOSFETs, welche eine wichtige Größe für die Auslegung der Kühlung des Umrichters ist. Da es zu den Schaltenergien bzw. Schaltverlusten keine Angaben in dem Datenblatt gibt, wurde zuerst mittels LTSpice auf simulativer Ebene analysiert (AP 3002). Diese Simulationen konnten später durch Messungen auf dem Doppelpuls-Messplatz verifiziert werden. In Abbildung 14 ist der Messplatz dargestellt, wobei auf dem rechten Bild die Adapterplatine mit zwei SiC-MOSFETs abgebildet ist; die Größe der Chips beträgt 5 mm x 5 mm, die Unterseite ist gesintert und auf der Oberseite sind Bond-Drähte zur Kontaktierung zu sehen.

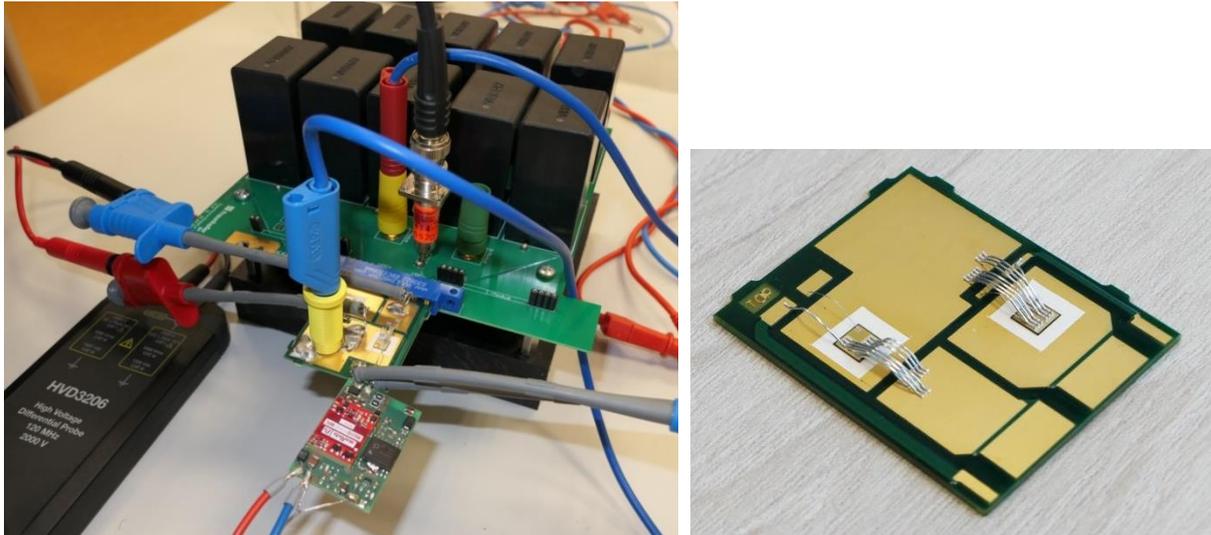


Abbildung 14: Doppelpuls-Messplatz mit Treiber der FH Kiel (links), Adapterplatine mit zwei SiC Chips (rechts)

In Abbildung 15 sind die Ergebnisse einer Messung bei 650 V und 71 A dargestellt. Der obere Graph zeigt die Drain-Source-Spannung (blau) und den Drain-Strom (rot), während der untere Plot die Gate-Source-Spannung (blau) und die Verlustleistung (rot) skizzieren. Zur Bestimmung der Schaltflanken wird die Steigung zwischen den Punkten der Sollspannung von 10 % und 90 % herangezogen. Die Schaltenergie wird berechnet durch die Integration der Verlustleistung während des Schaltvorgangs. Zum Zeitpunkt $t = 0 \mu s$ findet der Ausschaltvorgang des MOSFETs statt und $1,5 \mu s$ später wird der MOSFET bei dem annähernd gleichen Strom wieder eingeschaltet. Nach einer kleinen Anpassung des Gate-Widerstand zeigten die Simulationskurven (gestrichelt) eine gute Übereinstimmung mit den Messkurven (siehe Abbildung 15) und die Differenz der Schaltenergien lag bei unter 10 %.

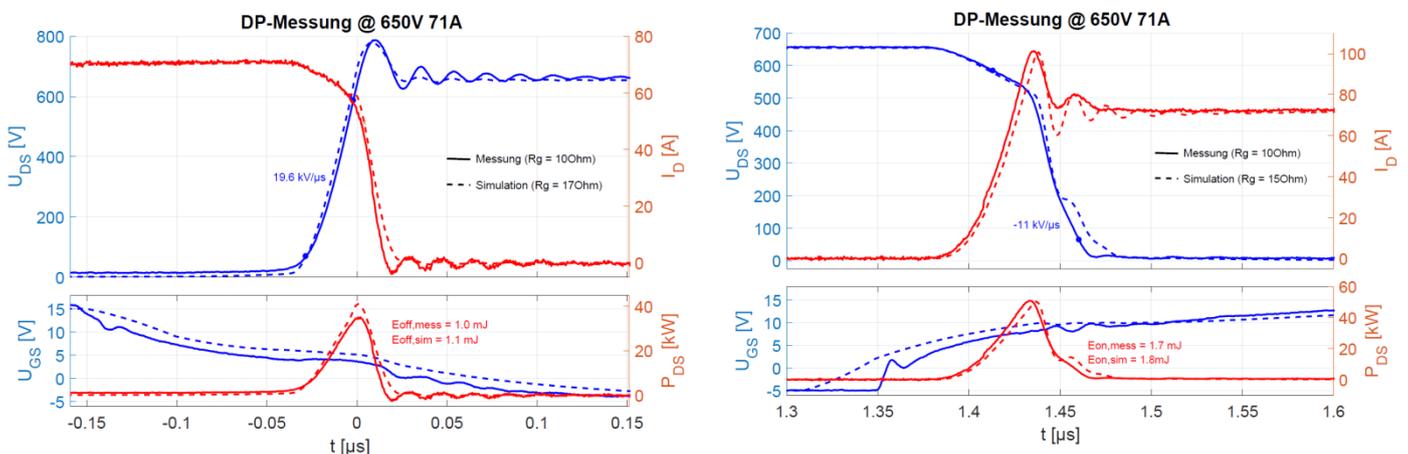


Abbildung 15: Vergleich der Ergebnisse von Messung und Simulation bei 650V und 71A Ausschaltvorgang (links); Einschaltvorgang (rechts)

Basierend auf den Messungen, den Datenblatt-Werten und Simulationen konnten die Verluste für das gesamte Halbbrückenmodul berechnet werden (siehe Tabelle 3). Abhängig von dem thermischen Stapel des Moduls und der möglichen Kühlleistung des Umrichters hängt ab, wie viele SiC-Chips pro Schalter parallel geschaltet werden müssen, um die volle Leistung des Umrichters im erlaubten Temperaturbereich ausfahren zu können. Basierend auf den kalkulierten Gesamtverlusten werden bei der FH Kiel und Danfoss Silicon Power thermische Simulationen vorgenommen, um eine Entscheidung für die Anzahl paralleler Chips treffen zu können.

Anzahl paralleler Chips		2	3	4
Strom (RMS) pro Chip [A]	$I_{chip} = \frac{I_a}{n}$	75,0	50,0	37,5
Durchlassverluste [W] @ 175°C	$P_{cond} = \frac{I_{chip}^2 \cdot R_{DS}}{2}$	84,4	37,5	21,1
BodyDiode [W] @ 500ns; 175°C		5,0	3,0	2,0
Schaltenergie [mJ]		4,2	2,7	2,0
Schaltverluste (30kHz) [W]	$P_{sw} = \frac{f_{sw}}{\pi} \cdot \hat{I}_{chip} \cdot \frac{V_{DC}}{V_{ref}} \cdot (E_{on} + E_{off})$	40,1	25,8	19,1
Einzelchip-Verluste [W]	$P_{chip} = P_{cond} + P_{sw}$	129,5	66,3	42,2
Schalter-Verluste [W]	$P_{Schalter} = n \cdot P_{chip}$	259,0	198,8	168,8
Modul-Verluste [W]	$P_{Modul} = 2 \cdot P_{Schalter}$	517,9	397,7	337,5

Tabelle 3: Übersicht der SiC-MOSFET-Verluste

Durch Variation der Gate-Vorwiderstände auf der Treiberplatine konnte eine optimale Schaltgeschwindigkeit eingestellt werden. Prinzipiell führen schnellere Schaltvorgänge zu geringeren Schaltverlusten, andererseits besteht auch die Gefahr von höheren Überspannungen, die den MOSFET zerstören. Des Weiteren ist von Seiten der E-Maschine eine maximale Spannungsflanke (du/dt) von 20 kV/µs vorgeschrieben, um die Isolationsschicht der Wicklungen nicht zu gefährden. Neben den bereits durchgeführten Messungen wurde eine komplette Charakterisierung des SiC MOSFETs in 10 A Schritten bis 100 A und für die drei Zwischenkreisspannungen (560 V, 650 V und 850 V) durchgeführt. Die Ergebnisse für die Schaltenergien und Schaltflanken sind in Abbildung 16 dargestellt. Diese Datenbasis ist auch ein wichtiger Bestandteil der Effizienz-Untersuchungen im AP 3007.

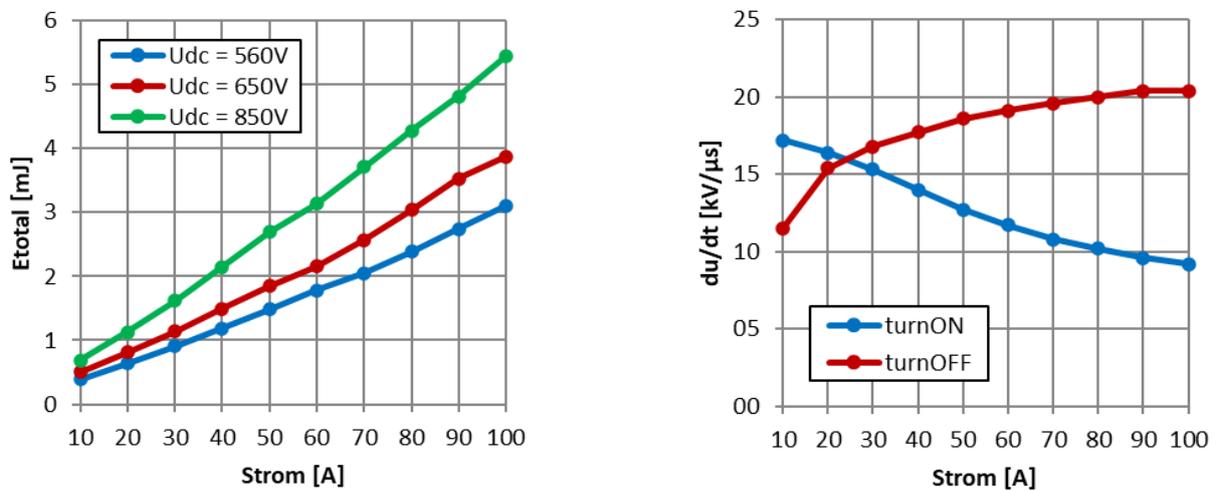


Abbildung 16: Messergebnisse vom DP-Messplatz: Schaltenergien (links); Schaltflanken (rechts)

7. Simulation kompletter LE-Kennfelder und Untersuchung der LE basierend auf dem WLTP-Zyklus (AP 3007)

Dieses Arbeitspaket ist während des Projekts bei der Bearbeitung von der Systemsimulation in AP 3005 entstanden. Die Simulink/PLECS-Modelle und Untersuchungen aus AP3005 wurden als Grundlage herangezogen und erweitert. Einerseits worden nicht nur einzelne Arbeitspunkte angesteuert, sondern das komplette Kennfeld der Leistungselektronik für eine 2-Chip-, 3-Chip- bzw. 4-Chip-Variante pro Schalter (Abbildung 17) untersucht und zum anderen konnte der von VW vorbereitete WLTP-Zyklus über 1800 s Fahrzeit durchsimuliert werden.

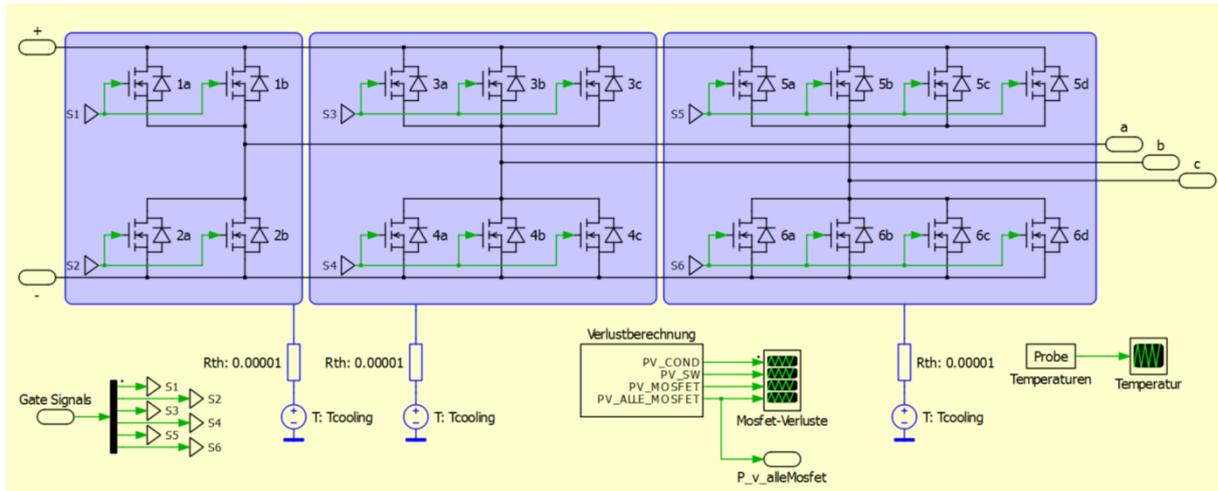


Abbildung 17: Übersicht des Simulationsmodells in Simulink

Bei der Erstellung der LE-Kennfelder wurden in dem Bereich von 1.000 RPM bis 16.000 RPM und -322 Nm (generatorischer Betrieb) bis + 322Nm (motorischer Betrieb) insgesamt 580 Arbeitspunkte angefahren. Sobald sich die Bauteil-Temperaturen eingeschwungen haben, worden die Wirkungsgrade und SiC-Chip-Temperaturen der unterschiedlichen Varianten extrahiert. In Abbildung 18 werden die drei Kennfelder für eine Zwischenkreisspannung von $U_{bat} = 700$ V dargestellt.

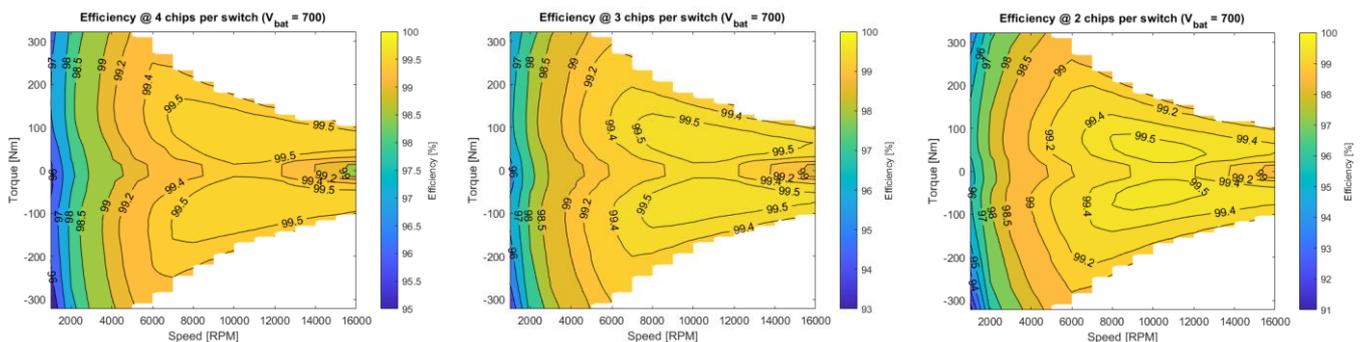


Abbildung 18: Wirkungsgrad-Kennfelder für die Varianten: 4-Chip (links), 3-Chip (Mitte) und 2-Chip (rechts)

Die Kühl-Vorlauftemperatur wird mit 45 °C angenommen und für den Wärmewiderstand zwischen Chip und Kühlmedium worden von Danfoss Silicon Power die Werte in Tabelle 4 vorgegeben.

Der Vergleich der unterschiedlichen Varianten zeigt, dass die Wirkungsgrade wie erwartet bei den Varianten mit mehr Chips pro Schalter höher sind. Allerdings sind die Unterschiede sehr gering, so dass die Kosten für eine höhere SiC-Chip-Anzahl vermutlich nicht gerechtfertigt sind. Die Temperaturen sehen sehr moderat aus und selbst bei maximalem Drehmoment werden nur 71 °C (4-Chip-Variante), 85 °C (3-Chip-Variante) und 112 °C (2-Chip-Variante) erreicht.

Nur bei worst case Bedingungen, bestehend aus Zwischenkreisspannung von 850 V, Kühlmedium-Temperatur von 70 °C, doppelter Schaltenergie und 15 % asymmetrischer Stromverteilung worden ein paar Arbeitspunkte bei der 2-Chip-Variante mit einer Chip-Temperatur von oberhalb 175 °C identifiziert.

Beim dem WLTC-Klasse-3-Testzyklus handelt es sich um eine Fahrdauer von 1800 s inklusive 242 s Stillstand. Die zurückgelegte Distanz beträgt 23.262 m, wobei eine Höchstgeschwindigkeit von 131,3 km/h und eine Durchschnittsgeschwindigkeit (ohne Stopps) von 53,8 km/h erreicht wird. Dieses Profil führt auf der LaSiC E-Maschine zu den Drehzahl- und Drehmomentverläufen der Abbildung 19.

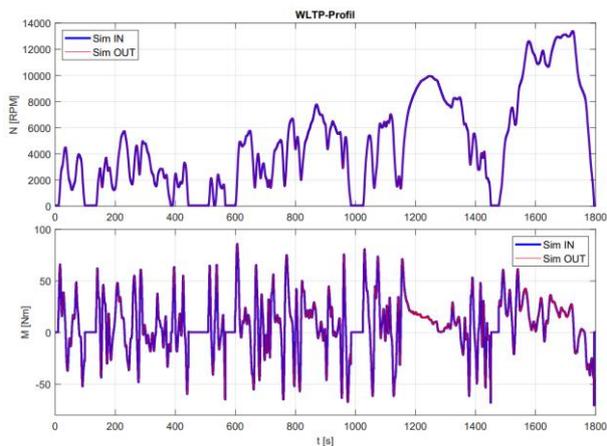


Abbildung 19: WLTP-Profil mit Drehzahl (oben) und Drehmoment (unten) über 1800s

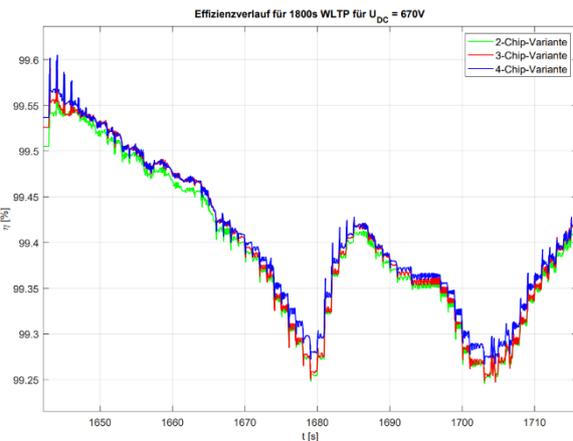


Abbildung 20: Wirkungsgrad der drei Chip-Varianten während des WLTP-Zyklus

Zur Überprüfung der durchgeführten Simulation worden in Abbildung 19 neben den Vorgaben (blaue Kurven) auch die gemessenen Werte (rote Kurven) während der Simulation aufgezeichnet. Als Sollgrößen worden für die Regelung nämlich die Stromkomponenten I_d und I_q anstelle des Moments vorgegeben. Des Weiteren sind die Maschinen-Induktivitäten L_d und L_q , sowie die Flussverkettung Ψ stromabhängige Größen, die sich während der 1800s verändern.

In Abbildung 20 sind die Wirkungsgrade der drei Chip-Varianten während des Zyklus dargestellt. Auch hier zeigt sich wieder, dass die höhere Chip-Anzahl nur zu einer minimalen Verbesserung des Wirkungsgrads führt (siehe Tabelle 4).

Des Weiteren sind die maximal erreichten Temperaturen der SiC-Chips der drei Varianten während des Zyklus sehr moderat (siehe Tabelle 4). Die geringen Temperaturen hängen mit dem eher zurückhaltenden WLTP Profil zusammen.

Variante	4-Chip	3-Chip	2-Chip
Wärmewiderstand	0,893 K/W	0,858 K/W	0,71 K/W
Wirkungsgrad	98,60 %	98,59 %	98,56 %
Max. Chiptemperatur	50,45 °C	52,12 °C	54,73 °C

Tabelle 4: Parameter und Ergebnisse der WLTP-Simulation

Als Randbedingungen zu den Simulationen sind folgende Punkte zu nennen. Im Zwischenkreis wurde eine Konstant-Spannungsquelle eingesetzt. Die Stillstandphasen sind aus der Wirkungsgrad-Berechnung entfernt worden. Die Ergebnisse dienen hauptsächlich zur Unterscheidung der drei Chip-Varianten und aus Sicht der Simulation ist das Fazit, dass die Wirkungsgradunterschiede zu vernachlässigen sind und somit aus Systemsicht die Kostenreduktion durch Einsparung der teuren SiC-Halbleiter sinnvoll ist.

AP13 Charakterisierung der Zuverlässigkeit

Das Ziel dieses Arbeitspakets ist die Ergebnisbewertung in Bezug auf die Projektziele und Abschlussberichte der Teilvorhaben.

1. Treiberbaugruppe: Identifizieren kritischer Bauteile (AP 13003)

Es wird die Annahme getroffen, dass sich die Betriebsbelastung der Treiberbaugruppe in einem Fenster von -20 °C ... $+80\text{ °C}$ bewegen wird. Dies erscheint aufgrund von Erfahrungswerten ein realistischer Temperaturbereich.

Potentiell gefährdete und somit kritische Bauteile sind große keramische Komponenten, da diese durch ihren geringeren Ausdehnungskoeffizienten (ca. $3\text{...}6\text{ ppm/K}$) gegenüber der Trägerleiterplatte (ca. 14 ppm/K) bei Temperaturwechselbeanspruchung durch die Ausdehnungsdifferenz Scherkräfte auf ihre Lötstellen ausüben können. Dies kann zum Frühausfall durch Lötstellenermüdung und dadurch entstehende Rissbildung führen. Auf der Treiberbaugruppe sind dies konkret Widerstände der Baugröße 1210 ($3,2\text{ mm} \times 2,5\text{ mm}$) und Kondensatoren der Baugröße 1206 ($3,2\text{ mm} \times 1,6\text{ mm}$). Zusätzlich stellt die Huckepackplatine eine potentielle Schwachstelle aufgrund ihrer Verbindung zur Trägerplatine durch „Anschlussflächen in Einbuchtungen“ (Castellations) dar.

2. Treiberbaugruppe: Belastungstests (AP 13004)

Es wurden Belastungstests an Treiberbaugruppen in Form einer Klimaauslagerung und eines passiven Temperaturwechseltests durchgeführt. Diese Belastungstests wurden jeweils zusammen mit den Modulen durchgeführt.

Bei der Klimaauslagerung wurden drei Treiberbaugruppen bei einer Temperatur von 85 °C und einer relativen Luftfeuchtigkeit von 85% in vier Intervallen von jeweils ca. 250 h ausgelagert, siehe Abbildung 21 und jeweils im Anschluss einer Sichtprüfung sowie einem einfachen elektrischen Test unterzogen. Während der Auslagerung wurde an den Treiberbaugruppen eine Versorgungsspannung von 5 V angelegt. Die elektrischen Tests nach den einzelnen Testintervallen haben keine Auffälligkeiten gezeigt.

Die optische Inspektion der Baugruppen nach 1000 Stunden zeigt Verfärbungen der Kupferoberflächen und oxidierte Lotoberflächen, Abbildung 22a, sowie dunkelverfärbte Flussmittelreste, Abbildung 22b. Diese sind jedoch nach entsprechender Belastung üblich und unkritisch. Es sind keine Hinweise auf Korrosion oder ECM (elektrochemische Migration) sichtbar.

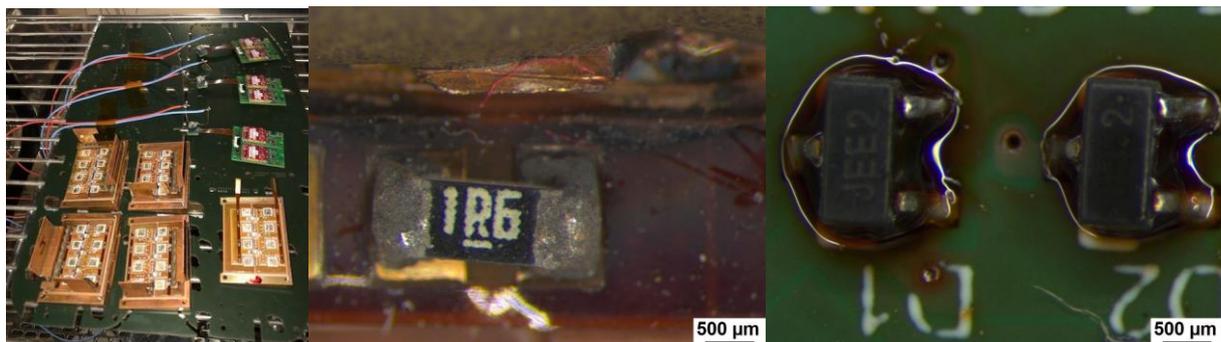


Abbildung 21:
Treiberbaugruppen und
Module in der
Klimaauslagerung

(a)
Abbildung 22: optische Inspektion nach 1000 h Feuchteaustlagerung

Beim passiven Temperaturwechseltest wurden die Treiberbaugruppen ebenfalls gemeinsam mit den Modulen bei einer Kalttemperatur von -40 °C sowie einer Warmtemperatur von 125 °C und einer Haltezeit von 15 Minuten je Kammer, also einer Dauer von 30 Minuten je Zyklus, ausgelagert. Eine optische Inspektion erfolgte nach jeweils ca. 300 Zyklen . Der passive Temperaturwechseltest wurde nach insgesamt ca. 2700 Zyklen beendet.

Bei den als kritisch eingestuften Widerständen sind erste leichte Versetzungen nach ca. 900 Zyklen sichtbar, deutliche Versetzungen und erste Rissbildungen nach ca. 1800 Zyklen sowie ausgeprägte Versetzungen und deutliche Rissbildungen nach ca. 2700 Zyklen, siehe Abbildung 23. Zudem ist eine Ablösung der Bauteilmetallisierung sichtbar.

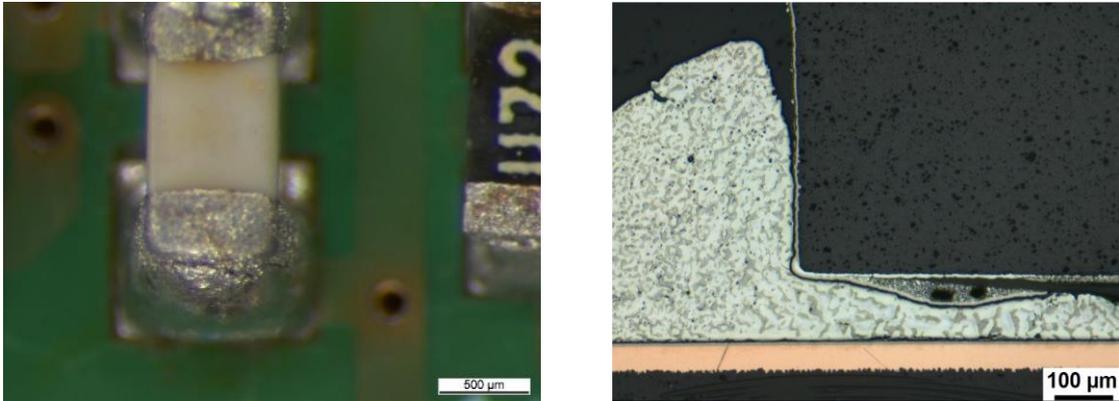


Abbildung 23: Widerstand mit Rissbildung an einer Lötstelle nach Temperaturwechselbelastung (2700 Zyklen)

Bei den als kritisch eingestuften Kondensatoren sind erste leichte Versetzungen nach ca. 900 Zyklen sichtbar, deutliche Versetzungen und erste Rissbildungen nach ca. 1800 Zyklen sowie ausgeprägte Versetzungen und erste Rissbildungen nach ca. 2700 Zyklen, siehe Abbildung 24.

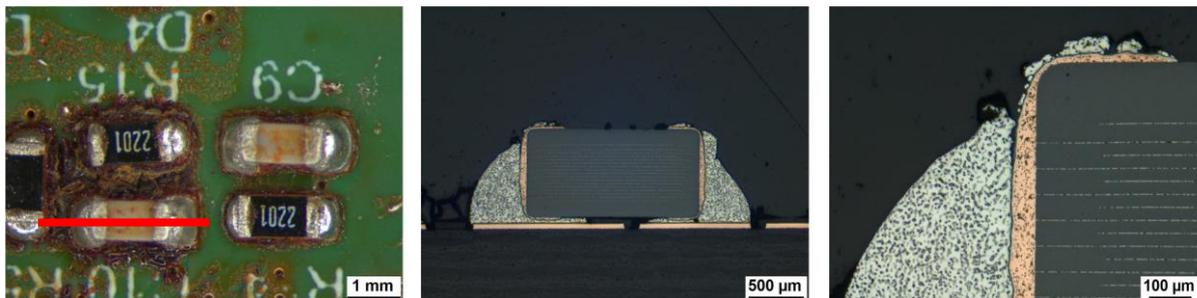


Abbildung 24: Kondensator mit Rissbildung an einer Lötstelle nach Temperaturwechselbelastung (2700 Zyklen)

Bei der als kritisch eingestuften Huckepackplatine sind erste leichte Versetzungen nach ca. 900 Zyklen sichtbar, deutliche Versetzungen und erste Rissbildungen nach ca. 1800 Zyklen sowie ein Ausfall der Huckepack-Platine nach 2700 Zyklen zu verzeichnen, siehe Abbildung 25. Dies wird begünstigt durch den manuellen Lötprozess, der eine Benetzung der unterhalb der Platine liegenden Lötflächen verhinderte. Das führte zu einer bereits im Ausgangszustand geschwächten Lötverbindung. Ein automatischer Fertigungsprozess mit automatischem Lotpastendruck, automatischer Bestückung und Inline-Reflowlötprozess würde zu deutlich stabileren Lötstellen und einer Zuverlässigkeit ähnlich den untersuchten Kondensatoren und Widerstände führen.



Abbildung 25: Huckepackplatine mit Rissbildung nach Temperaturwechselbelastung (2700 Zyklen)

3. Qualifizierung der SiC MOSFETs (AP 13006)

Als Vorbereitung auf die anstehenden Belastungstests der Aufbauten auf Modulebene mussten die am ISIT bestehenden Aufbauten für Lastwechseltests hinsichtlich der Steuerung und Messung an die zu testenden SiC-MOSFETs angepasst werden. Dies wurde gemeinsam mit der SiC-MOSFET Qualifizierung durchgeführt.

Zur Bestimmung der Sperrschichttemperatur T_J im laufenden Testbetrieb wird ein konstanter Messstrom I_M in die Body-Diode des SiC-MOSFETs eingeprägt und der daraus resultierende Spannungsabfall über der Diode U_{SD} gemessen, siehe Abbildung 26. Die gemessene Spannung ist abhängig von der Sperrschichttemperatur T_J des Leistungshalbleiters. Dabei ist zu berücksichtigen, dass die MOSFET-Strecke vollständig gesperrt ist und der Strom komplett über die Body-Diode fließt. Außerdem muss der Messstrom so niedrig gewählt werden, dass dadurch noch keine Erwärmung des Chips erfolgt. Zur Bestimmung des Zusammenhangs der gemessenen Spannung und der zugehörigen Sperrschichttemperatur T_J als „temperatursensitiver Parameter“ (TSP) erfolgt vor Testbeginn eine Kalibrierung der einzelnen DUTs bei unterschiedlichen Temperaturen in einem Ofen.

Die Treiber der bestehenden Aufbauten konnten lediglich eine Gatespannung U_{GS} im Bereich von 0 V bis 15 V bereitstellen. Während dies für den Test von IGBTs und Si-MOSFETs ausreichend war, konnten an SiC-MOSFETs damit keine reproduzierbaren Temperaturen bzw. Temperaturhübe im Lastwechselbetrieb bestimmt werden. Bei einer Gatespannung U_{GS} von 0 V war die MOSFET-Strecke noch nicht vollständig gesperrt und somit teilte sich der konstante Messstrom auf MOSFET und Diode auf. Dies führte dann auch zu Unterschieden bei der gemessenen Spannung U_{SD} .

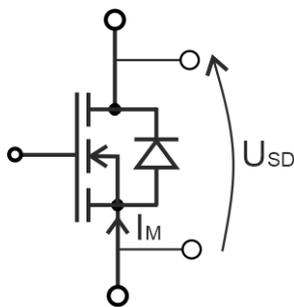


Abbildung 26: Prinzip der Temperaturbestimmung anhand I_M und Messung $U_{SD}(T)$

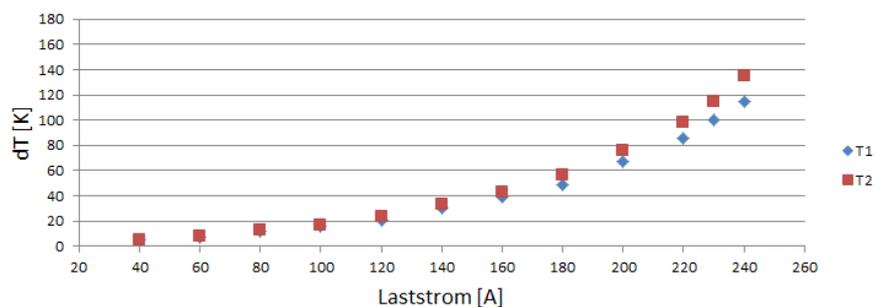


Abbildung 27: Temperaturhub als Funktion des Laststroms für 1 Modul mit 3 Chips, $t_{ON} = 1s$, $U_{GE} = 15 V$

Anhand dieser Erkenntnisse wurde der Treiber des Lastwechsellaufbaus so modifiziert, dass er eine Gatespannung im Bereich von -5 V bis ca. 19 V bereitstellen kann. Die negative Gatespannung von -5 V bewirkt ein zuverlässiges Sperren der SiC-MOSFET-Strecke und die Erhöhung der maximal einstellbaren Gatespannung von 15 V auf ca. 19 V ermöglicht zukünftig eine noch flexiblere Anpassung der Testparameter für unterschiedliche Leistungshalbleiter. Die Reproduzierbarkeit der Messungen konnte sowohl an diskreten SiC-MOSFETs, als auch an Mustermodulen mit dem in diesem Projekt verwendeten SiC-MOSFET von Cree, die von den Projektpartnern der FH Kiel und Danfoss Silicon Power aufgebaut und zur Verfügung gestellt wurden, verifiziert werden.

Beim Lastwechseltest werden die DUTs auf einen Wasserkühler montiert und wiederholt für eine definierte Einschaltdauer t_{ON} von z.B. 1 s oder 15 s mit einem Laststrom beaufschlagt. Durch die im SiC-MOSFET umgesetzte Verlustleistung werden die DUTs in dieser Zeit aufgeheizt und nach dem Abschalten des Laststroms wieder für eine definierte Zeit t_{OFF} oder bis zum Erreichen einer definierten Temperatur des DUTs abgekühlt. Während der Einschaltzeit wird der geringe Messstrom I_M durch den Laststrom überlagert. Daher kann die Temperaturmessung nur erfolgen, wenn gerade kein Laststrom fließt. Um die Temperatur T_J des SiC-MOSFETs direkt zum Ausschaltzeitpunkt des Laststroms zu ermitteln (dies ist in der Regel die heißeste Temperatur), wird der durch den Messstrom I_M

hervorgehobene und gemessene Spannungsverlauf U_{SD} , die Abkühlkurve, aufgenommen und anhand dieser Daten auf den Wert für die Temperatur zum Zeitpunkt des Abschaltens interpoliert.

Abbildung 27 zeigt den Temperaturhub der beiden Schalter eines Mustermoduls als Funktion des Laststroms für eine Einschaltdauer t_{ON} von einer Sekunde und einer Gatespannung U_{GE} von 15 V. Bei dem Mustermodul aus diesem Vorversuch waren 3 SiC-MOSFETs je Schalter parallel geschaltet.

4. Belastungstests: Aufbauten auf Modulebene (AP 13007)

Für die Belastungstest auf Modulebene wurde gemeinsam mit den Projektpartnern der FH Kiel und Danfoss Silicon Power das Design für ein Testmodul entworfen und entsprechende Module durch die FH Kiel aufgebaut und zur Verfügung gestellt, siehe Abbildung 28. Der eigentliche Aufbau des Moduls entspricht hinsichtlich des Modul-Stacks den Modulen für den Umrichter. Durch den Aufbau in einem „Standardgehäuse“ konnten allerdings vorhandene Kühler am Teststand genutzt und die elektrische Kontaktierung der zu testenden Bauteile vereinfacht werden. Zusätzlich wurde die elektrische Verschaltung der 4 SiC-MOSFETs innerhalb des Moduls dahin gehend angepasst, dass jeder MOSFET separat kontaktiert werden konnte und damit gezielt einzelne Chips innerhalb eines Moduls getestet werden konnten.

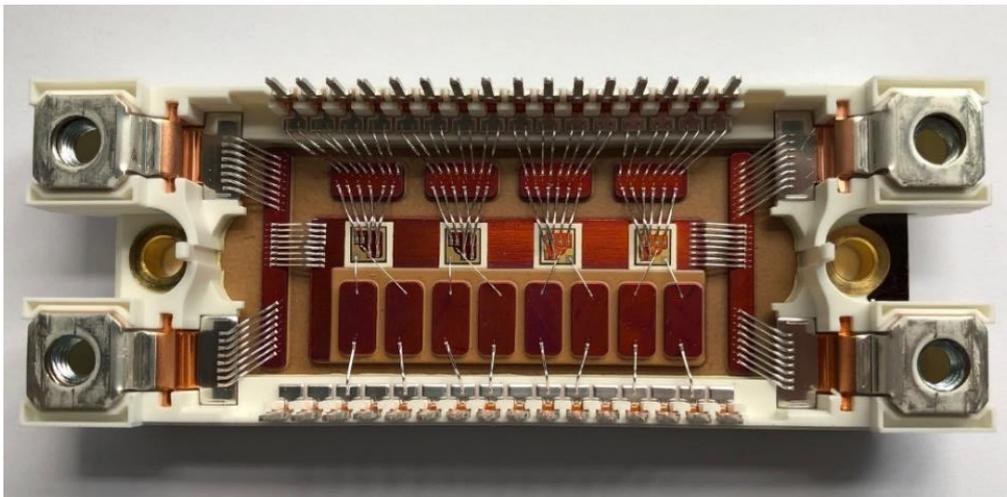


Abbildung 28: Modul für den Lastwechselstest mit 4 SiC-MOSFETs

Als Vorbereitung für die Lastwechseltests wurden die einzelnen Chips in den sechs verfügbaren Modulen einer Kalibrierung bei den angestrebten Kalt- und Warmtemperaturen (30 °C bzw. 160 °C) in einem Ofen unterzogen.

In einem ersten Versuch wurden fünf Module auf dem Kühler montiert und insgesamt 5 SiC-MOSFETs (ein Transistor je Modul) in Serie verschaltet. Die Testbedingungen wurden zuvor wie folgt abgestimmt:

- Einschaltdauer von 1 Sekunde
- Temperaturhub von 130 K (30 °C ... 160 °C)
- maximale Gatespannung U_{GS_max} von 15 V
- Laststrom von 85 A (zuvor in einem Vorversuch an einem Testmodul ermittelt)

Bis zu einem Stand von ca. 230 Zyklen wurde an den Treibern der einzelnen Transistoren noch die Gatespannungen justiert, um den gewünschten Temperaturhub von 130 K zu erreichen. Dabei haben sich Gatespannungen von ca. 9,9 V bis 15 V an den einzelnen SiC-MOSFETs ergeben, die dann nicht weiter verändert wurden. Diese starke Streuung der Gatespannungen U_{GS} , der daraus resultierenden Spannungen U_{SD} und damit auch der Verlustleistungen P_V zeigten hier bereits deutliche Unterschiede

beim Verhalten der einzelnen Transistoren, siehe Abbildung 29. Bereits nach wenigen Zyklen kam es zu einem teils deutlichen Anstieg der Temperaturhöhe, sowie der Spannung an den jeweiligen Bauteilen. Dies führte zum Ausfall vom Transistor „T2“ in Modul „S5“ nach ca. 500 Zyklen und schließlich zum Abbruch dieses Versuchs nach ca. 650 Zyklen.

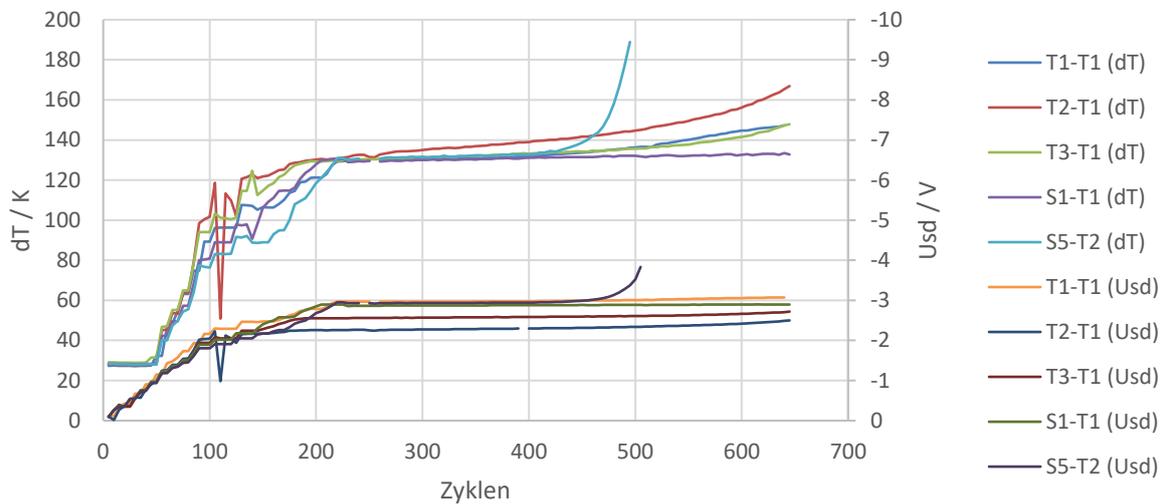


Abbildung 29: Versuch mit dT 130 K, Kalibrierung bis max. 160 °C, Temperaturhub und Spannung als Funktion der Zyklen

Eine dunkle Verfärbung der Isolationsfolien im Modul, die auf die vorherigen Kalibrierdurchläufe im Ofen bei bis zu 160 °C zurückzuführen war, ließ zu diesem Zeitpunkt eine Degradation der thermischen Leitfähigkeit und eine Verschlechterung der thermischen Anbindung des Leistungshalbleiters vermuten, siehe Abbildung. 30. Dies könnte auch das stark unterschiedliche Verhalten der einzelnen Chips, teilweise auch benachbarter Chips innerhalb eines Moduls, erklären.

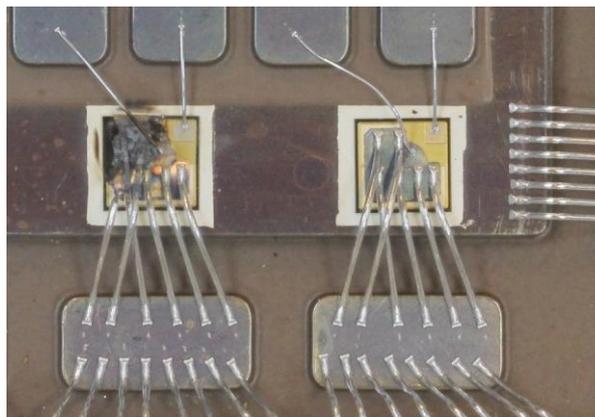


Abbildung 30: ausgefallener Leistungshalbleiter „S5-T2“ (links) und bräunlich verfärbte Isolationsfolie

Zusätzlich konnten zwei weitere Module (Module T4 und T5 mit vier bzw. zwei elektrisch funktionsfähigen Leistungshalbleitern) durch die FH Kiel bereitgestellt werden. Die einzelnen SiC-MOSFETs dieser Module wurden ebenfalls einer Kalibrierung unterzogen, siehe Abbildung 31. Die maximale Temperatur im Ofen wurde in diesem Fall aber auf 120 °C begrenzt. Auf diese Temperatur wurden die Module im Rahmen des Laminierprozesses der Folie während der Modulfertigung ebenfalls aufgeheizt.

Im Anschluss wurde der Lastwechseltest an den beiden Modulen vorbereitet und unter den gleichen Testbedingungen wie beim vorherigen Versuch in Betrieb genommen. Beim Kalibrierprozess im Ofen wurde ein stationärer Zustand der Temperaturverteilung abgewartet. Bei den kurzen Einschaltzeiten im Lastwechseltest wurde hingegen davon ausgegangen, dass trotz einer angestrebten Sperrschichttemperatur T_J des Leistungshalbleiters von 160 °C die Temperatur an der Laminierfolie unterhalb der Kupferinsel unter dem Chip 120 °C nicht überschreitet.

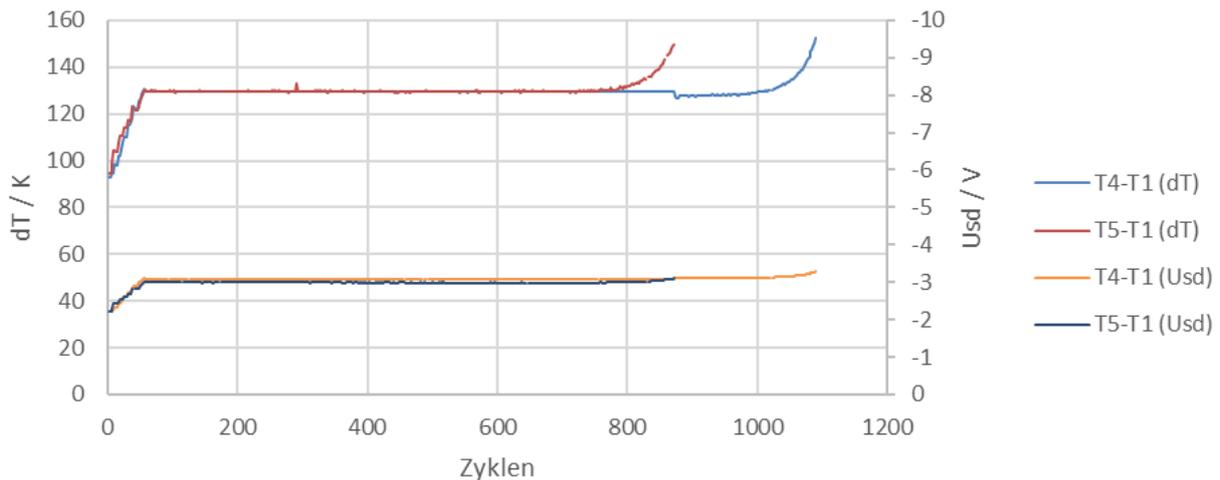


Abbildung 31: Versuch mit dT 130 K, Kalibrierung bis max. 120 °C, Temperaturhub und Spannung als Funktion der Zyklen

Der Temperaturhub an den beiden SiC-MOSFETs wurde innerhalb der ersten ca. 60 Lastzyklen auf den gewünschten Temperaturhub eingestellt. Die Gatespannungen U_{GS} mit 9,8 V bzw. 10,0 V, als auch die daraus resultierenden Spannung U_{SD} bzw. Verlustleistungen P_V lagen sehr nah beieinander. Der Verlauf des Temperaturhubs und der Spannung U_{SD} war zu Beginn sehr konstant, allerdings kam es nach ca. 800 Zyklen bzw. 1000 Zyklen auch an den beiden SiC-MOSFETs zu einem deutlichen Anstieg des Temperaturhubs. Aufgrund zuvor definierter Abbruchkriterien (hier ein Anstieg des Temperaturhub dT > 145 K), konnte der Test vor dem totalen Ausfall des jeweiligen Transistors abgebrochen werden. Anhand von zwischenzeitlich durch Danfoss Silicon Power gemachten Simulationen konnte mit den gemessenen Temperaturen sowie der umgesetzten Verlustleistung in den Leistungshalbleitern die Temperatur an der Isolationsfolie im Testbetrieb mit ca. 130 °C abgeschätzt werden. Da dies ebenfalls oberhalb der im Laminierprozess verwendeten Temperatur von 120 °C lag, konnte eine Veränderung der thermischen Leitfähigkeit der Folie nicht ausgeschlossen werden. Aus diesem Grund wurden die noch verfügbaren 3 SiC-MOSFETs in dem Modul T4 mit einem geringeren Temperaturhub von 100 K und damit den folgenden Bedingungen getestet:

- Einschaltdauer von 1 Sekunde
- Temperaturhub von 130K (30 °C ... 160 °C)
- maximale Gatespannung U_{GS_max} von 15 V

Unter diesen Bedingungen konnten mit den 3 Leistungshalbleitern zwischen ca. 9700 und ca. 18700 Zyklen erreicht werden, bevor es hier zu einem Anstieg des Temperaturhubs dT > 130 K kam, siehe Abbildung 32.

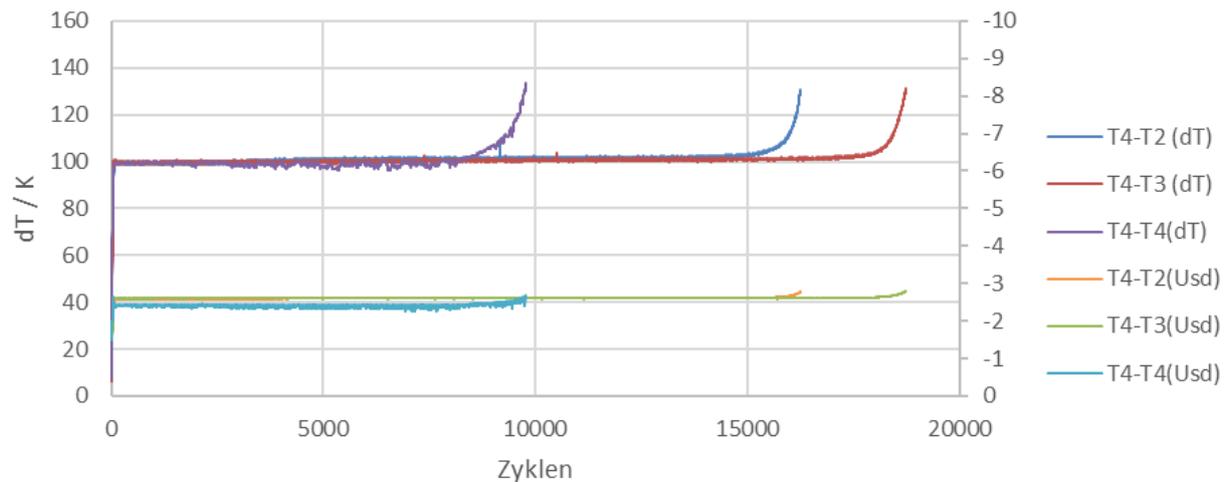


Abbildung 32: Versuch mit dT 100 K, Kalibrierung bis max. 120 °C, Temperaturhub und Spannung als Funktion der Zyklen

5. Fehleranalyse und Qualitätsbetrachtungen (AP 13008)

An in den aktiven Lastwechseltests auffälligen bzw. ausgefallenen Modulen wurde eine Fehleranalyse durchgeführt. Hierzu wurden Querschliffe angefertigt, um Anbindung und Struktur der Sinterschicht und der Isolationsfolie zu untersuchen.

Transistor T1 (Modul T5, elektrisch belastet) weist sowohl eine fehlerhafte Anbindung Chipmetallisierung (Ni)-SiC auf, als auch einen Riss in der Verbindung Sinterschicht – BasisCu, siehe Abbildung 33. Dies lässt den Ausfall erklären.

Die elektrischen Fehler der Transistoren T2 – T4 (elektrisch unbelastet) in Modul T5 lassen sich nicht durch fehlerhafte Sinterverbindungen erklären. Diese weisen in der Querschliffanalyse eine gute intermetallische Anbindung auf, siehe Abbildung 34.

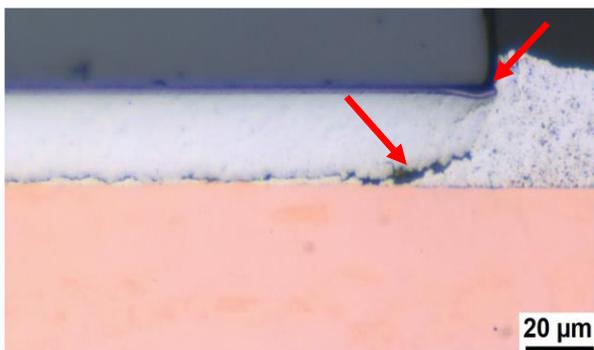


Abbildung 33: fehlerhafte Anbindungen (Chipmetallisierung und Sinterschicht)

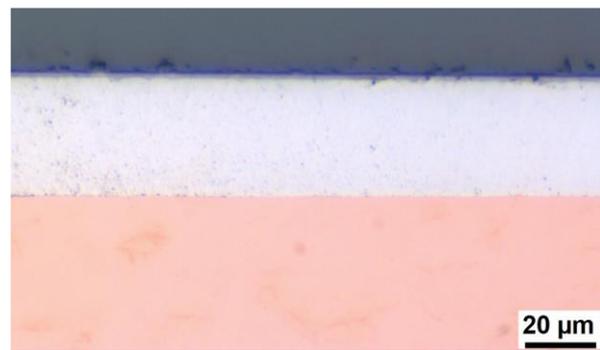


Abbildung 34: gute intermetallische Anbindung der Sinterschicht

Die Inspektion der Isolationsfolie im Vergleich Kalibriertemperatur 160 °C, siehe Abbildung 35 oben im Vergleich zur Kalibriertemperatur 120 °C zeigt keine Unterschiede in der Struktur oder Anbindung an die Fügepartner. Daraus lässt sich nicht die unterschiedliche Performance der Halbleiter und damit die frühen Ausfälle einiger der untersuchten Module erklären.

Zusätzlich zu den aktiven Lastwechseltests wurden an Modulen zusammen mit den Treiberbaugruppen eine Klimaauslagerung sowie ein passiver Temperaturwechseltest (TWT) durchgeführt (Details und Testbedingungen siehe AP 13004). Bei den für diese Tests zur Verfügung gestellten Modulen handelte es sich um Einstellmuster bzw. Ausschussmodule aus der Fertigung, die elektrisch nicht funktionsfähig

waren, jedoch dem mechanischen Aufbau der im Umrichter eingesetzten Module entsprachen. Für den passiven Temperaturwechseltest wurden jeweils 2 Halbschalen (Modul mit Kühlerstruktur) miteinander verschraubt.

Die Module zeigen nach 1000h Klimaauslagerung unkritische Verfärbungen aber keine Hinweise auf Korrosion oder ECM.

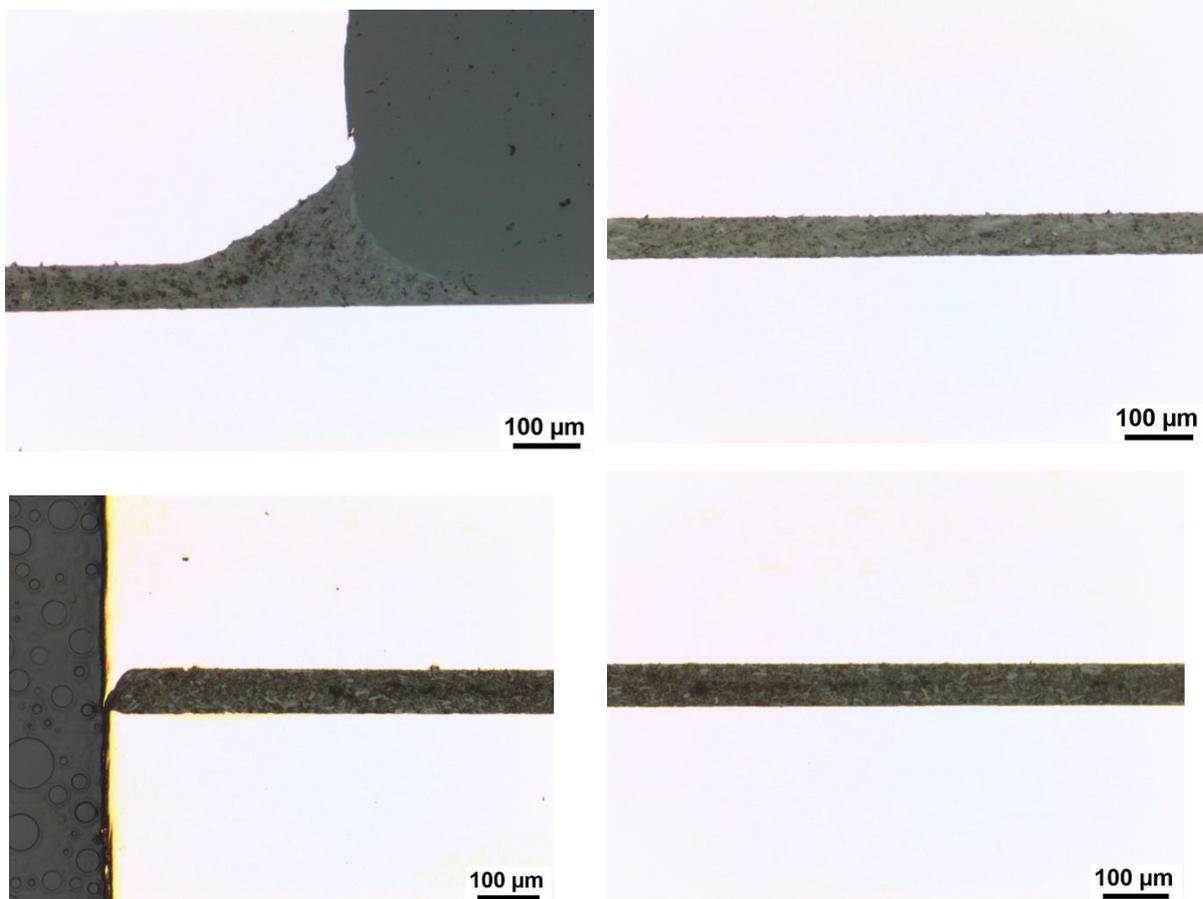


Abbildung 35: Isolationsfolie nach 160 °C Kalibriertemperatur (oben) und 120 °C Kal.temp. (unten)

Die Module zeigen nach 2700 TWT überwiegend chipseitig Risse in der Sinterverbindung, vereinzelt auch im Volumen, siehe Abbildung 36.

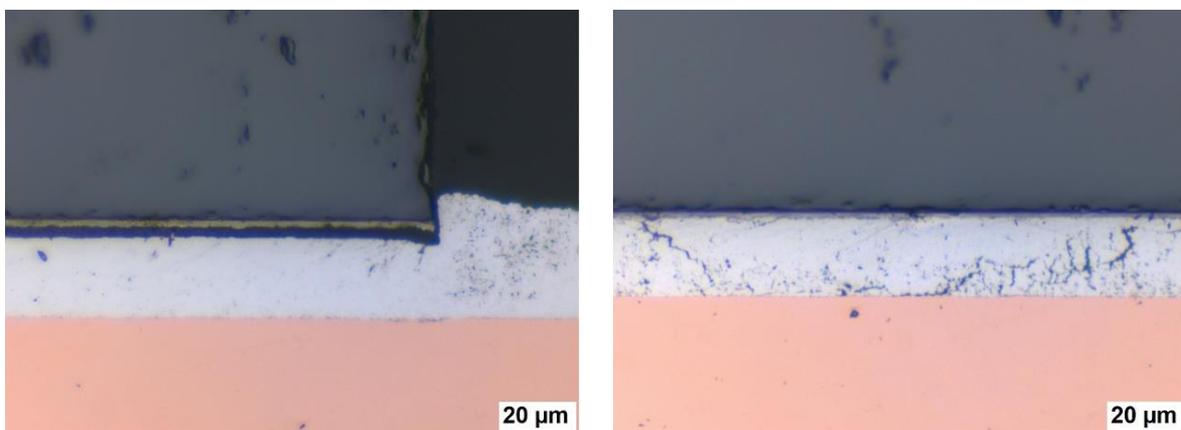


Abbildung 36: Risse in der Sinterverbindung nach 2700 TWT

Nach 300 Zyklen TWT zeigten sich erste Hinweise auf eine beginnende Ablösung der Isolationsfolie im äußeren Randbereich, siehe Abbildung 37 (optische Inspektion links oben). Diese ist vermutlich auf Oxidationseffekte zurückzuführen. Nach 2700 Zyklen war am Rand eine beginnende Rissbildung zu beobachten, wie im Querschliff dargestellt, siehe Abbildung 37 (rechts oben und Bilder unten). Die Rissbildung zeigte sich jedoch nur im Randbereich der Module und ist mit hoher Wahrscheinlichkeit auf Dehnungsdifferenzen zurückzuführen.

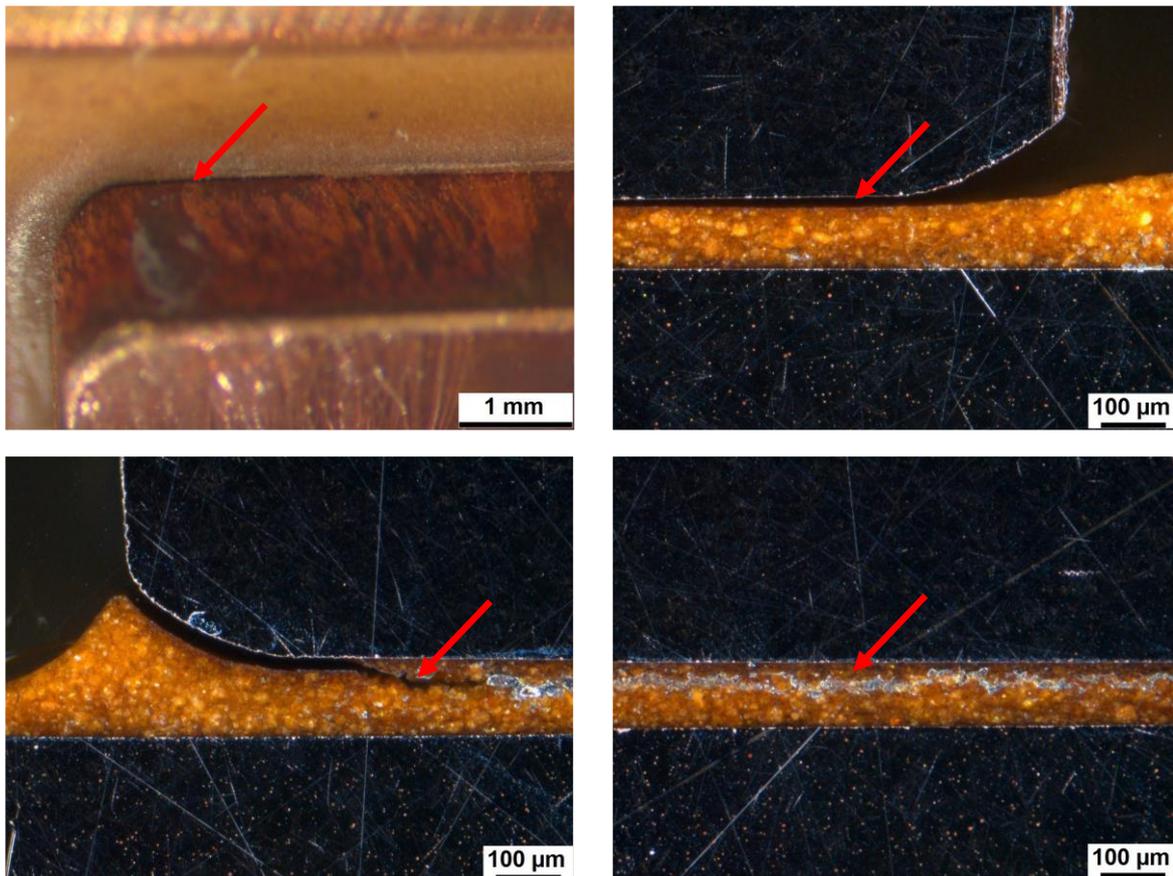


Abbildung 37: Isulationsfolie nach TWT

Die Qualität der Treiberbaugruppe lässt unter den angenommen optimalen Fertigungsbedingungen einer automatischen Fertigung elektronischer Baugruppen und den angenommenen Umgebungsbedingungen eine Lebensdauer von >15 Jahren erwarten. Voraussetzung ist, dass keine zusätzliche Belastung durch Schadstoffe, Partikel, ionische Verunreinigungen, thermomechanischer Stress, u.a. zu einem erhöhten Ausfallrisiko bzw. zu erhöhter Neigung zu Korrosion und ECM führen.

Die Module zeigen z.T. Frühausfälle, die aufgrund der Untersuchungsergebnisse nicht eindeutig zu erklären sind. Hier bedarf es einer weiteren Analyse des Verbundaufbaus SiC-MOSFET - Leadframe - Isulationsfolie – Cu-Grundkörper, insbesondere des thermomechanischen Verhaltens der SiC-Leistungstransistoren und der eingesetzten Isulationsfolie. Dehnungsunterschiede im Verbund und die große Härte von SiC führen vermutlich zu den beobachteten Ausfällen.

Erst, wenn die Ausfallursache eindeutig geklärt ist, lässt sich die erwartete Lebensdauer der Module realistisch abschätzen.