

Projekt SiCnifikant Schlussbericht



Zuwendungsempfänger:
RWTH Aachen University
Templergraben 55
52062 Aachen

Ausführende Stelle: Institut für Stromrichtertechnik und
Elektrische Antriebe

E-Mail: post@isea.rwth-aachen.de

Förderkennzeichen:
16EMO0304

Vorhabenbezeichnung:

Verbundprojekt: SiC-basierte Traktionsumrichter für neuartige Antriebsstrang-Konzepte

Teilvorhaben: Optimierte Ansteuerung parallelgeschalteter SiC-Leistungstransistoren in Hochleistungsumrichtern

Laufzeit des Vorhabens:

01.09.2018 bis 30.11.2021

Berichtszeitraum

01.09.2018 bis 30.11.2021

Berichtsdatum

21. März 2022

Vorgelegt beim Projektträger:

VDI/VDE Innovation + Technik GmbH
Steinplatz 1
10623 Berlin

Inhalt

1	Kurze Darstellung der Aufgabenstellung, der Voraussetzungen, der Planung und des Ablaufs des Vorhabens	2
1.1	Aufgabenstellung	2
1.2	Voraussetzungen, unter denen das Vorhaben durchgeführt wurde	2
1.3	Planung und Ablauf des Vorhabens	3
1.4	Stand der Technik, an den angeknüpft wurde	5
1.5	Zusammenarbeit mit anderen Stellen	6
2	Eingehende Darstellung	7
2.1	AP 1 Spezifikation	7
2.2	AP 2 Zuverlässigkeit & EMV	7
2.3	AP 3 Leistungsmodul	12
2.4	AP 4 Ansteuerung	14
2.4.1	Gate-Treiber für MOSFETs im TO247-4 Gehäuse	14
2.4.2	Gate-Treiber für Leistungsmodul	16
2.4.3	Temperaturunterschiede im Leistungsmodul	22
2.4.4	Untersuchung von Asymmetrien mit Messungen	26
2.4.5	Untersuchung von Asymmetrien durch Simulationen	30
2.4.6	Gate-Treiber zum Balancieren von Verlusten durch Gate-Signalverzögerung	33
2.4.7	Gate-Treiber zum Balancieren von Verlusten durch Variation der Gate-Widerstände	35
2.4.8	Gate-Treiber zum Balancieren von Temperaturen im PWM Betrieb	38
2.5	AP 5 Thermisches Design & Umrichter	41
2.6	AP 6 Aufbau E-Motor & Systemtest	42
2.7	Voraussichtlicher Nutzen, Verwertbarkeit der Ergebnisse und Erfahrungen	42
2.8	Fortschritt anderer Stellen auf dem Gebiet während der Durchführung des Vorhabens 43	
2.9	Erfolgte/geplante Veröffentlichungen des Ergebnisses	43
3	Literaturverzeichnis	44

1 Kurze Darstellung der Aufgabenstellung, der Voraussetzungen, der Planung und des Ablaufs des Vorhabens

1.1 Aufgabenstellung

Das Ziel von SiCnifikant ist es, die Vorteile von SiC-MOSFETs in Antriebsumrichtern zu erforschen und zu realisieren. Um dies zu ermöglichen ist eine ganzheitliche Betrachtung der Implementierung des Antriebsstrangs von Elektrofahrzeugen nötig. Der Fokus liegt hier auf einem System mit einer Antriebsleistung von bis zu 250 kW und einer Zwischenkreisspannung von bis zu 800 V. Insbesondere der Aufbau eines Leistungsmoduls sowie die Integration an die elektrische Maschine (E-Maschine) soll die optimale Nutzung der SiC-MOSFETs ermöglichen. Um das Potential von SiC Halbleitern besser ausnutzen zu können, ist eine entsprechende Ansteuerung notwendig. Dadurch werden Schaltgeschwindigkeiten von bis zu 50 kV/ μ s möglich, wodurch die Schaltverluste reduziert werden. Weitere Aspekte sind die Zuverlässigkeit und Störemissionen des Gesamtsystems.

Die Hauptaufgabe des Instituts für Stromrichtertechnik und Elektrische Antriebe (ISEA) in diesem Projekt ist die Erarbeitung einer optimierten Ansteuerung für ein SiC-Leistungsmodul. Da in der Regel mehrere SiC-MOSFETs in einem Leistungsmodul parallelgeschaltet sind, werden die einzelnen MOSFETs aufgrund von Asymmetrien unterschiedlich stark belastet. Eine entsprechende Ansteuerung der MOSFETs kann dafür sorgen diese Belastungen zu symmetrieren, um damit unterschiedliche Temperaturen und somit ungleichmäßige Alterungen der MOSFETs zu vermeiden. Dadurch wird ein Derating des Leistungsmoduls vermieden und das Potential der SiC-Technologie kann besser ausgenutzt werden.

1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

Zum Projektbeginn war es Stand der Technik, Silizium IGBT- und Dioden-Bauteile für Antriebsumrichter zu verwenden. SiC-MOSFETs waren noch nicht im Massenmarkt angekommen. Dies lag zum einen an der geringen Verfügbarkeit von SiC-Leistungsmodulen für eine Leistung von bis zu 250 kW. Andererseits waren die wenigen verfügbaren Leistungsmodule so aufgebaut, dass die Schaltgeschwindigkeit künstlich gebremst werden musste, was zu größeren Schaltverlusten führt. Eine weitere Herausforderung für SiC-Leistungsmodule war es, dass mehrere MOSFET Dies parallelgeschaltet werden müssen um die Stromtragfähigkeit zu erhöhen. Durch geometrische Asymmetrien und Bauteiltoleranzen kam es so zu ungleichmäßiger Belastung der einzelnen MOSFET Dies, wodurch die Bauteile nicht vollständig ausgenutzt werden konnten.

Von der Spezifikation der Anforderungen und der Entwicklung des Leistungsmoduls sowie der dazugehörigen Komponenten wie Filter bis zum Aufbau des Antriebsumrichters sowie der Inbetriebnahme und Validierung ist eine enge Zusammenarbeit der verschiedenen Projektpartner erforderlich. Während der Projektdurchführung wurden regelmäßig Telefonkonferenzen sowie vor-Ort-Treffen abgehalten um eine effiziente Abstimmung der Arbeiten und Bearbeitung der einzelnen Arbeitspakete (AP) zu gewährleisten. In den beiden letzten Projektjahren wurde die enge Zusammenarbeit aufgrund der COVID-19-Pandemie stark eingeschränkt, was die Inbetriebnahme des Antriebsumrichters verzögert hat. Die Abstimmung musste so vollständig per Videokonferenz stattfinden, was die effiziente Bearbeitung erschwert hat. Das Projekt wurde daher kostenneutral um drei Monate verlängert.

1.3 Planung und Ablauf des Vorhabens

Das ISEA der RWTH Aachen University beteiligte sich im Projekt SiCnifikant schwerpunktmäßig am AP 4. Eine Übersicht der Aktivitäten und die Verteilung der geplanten Personenmonate (PM) auf die Unterarbeitspakete ist in Abbildung 1 dargestellt.

AP Nr.	Arbeitspaket	PM	Projektjahr 1				Projektjahr 2				Projektjahr 3									
			Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4						
AP1	Spezifikation	3	■	■	■															
1.3	Spezifikation Schnittstellen Gate Treiber Board	2		■	■															
1.4	Festlegung Umwelthanforderungen	1		■																
AP2	Zuverlässigkeit & EMV	4		■	■	■	■													
2.2	Simulation	4		■	■	■	■													
AP3	Leistungsmodul	3	■	■	■															
3.2.1	Design Leistungsmodullayout	3	■	■	■															
AP4	Ansteuerung	33		■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
4.1	Auswirkungen von geometrischen Asymmetrien	5		■	■	■	■	■												
4.2	Missmatching von parallelen SiC-Halbleitern	5		■	■	■	■	■												
4.3	Ableitung von Designvorschriften für das Leistungsmodul	3		■	■	■														
4.4	Vorhersage und Optimierung der Schalteigenschaften	2		■	■															
4.5	Entwicklung der Treiberschaltung zur optimierten Ansteuerung	4		■	■	■	■													
4.6	Inbetriebnahme und Optimierung der Treiberschaltung an Modul-Prototyp	4						■	■	■	■									
4.7	Doppelpulsmessungen zur Verifizierung der Modelle	4						■	■	■	■									
4.8	Optimierung der Treiberschaltung für die Systemintegration	4						■	■	■	■									
4.9	Anpassungen am Doppelpulsprüfstand für die automatisierte Vermessung	2																		
AP5	Thermisches Design & Umrichter	4		■	■	■	■													
5.1	Abstimmung Erprobungsumfang	1		■																
5.3	Entwicklung eines niederinduktiven/EMV gerechten	1		■																
5.6	Mechanisches Design (CAD) des Gesamtinverters	1						■												
5.10	Inbetriebnahme Inverter mit Drehstromdrossel und Vermessung	1																		
AP6	Aufbau E-Motor & Systemtest	3						■	■	■										
6.1	Abstimmung Erprobungsumfang	1						■												
6.8	Inbetriebnahme SiC Inverter	0,5																		
6.9	Testing E-Motor mit SiC Umrichter	0,5																		
6.10	Wissenschaftliche- und technische Auswertung	1																		
AP7	Projektkoordination		■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■

Abbildung 1: Übersicht Zeitplan und Kapazitätsverteilung des ISEA

Eine Übersicht über die für das ISEA relevanten Meilensteine ist in Abbildung 2 zu sehen. Eine nähere Erläuterung zu den einzelnen Arbeitspaketen ist im Folgenden beschrieben.

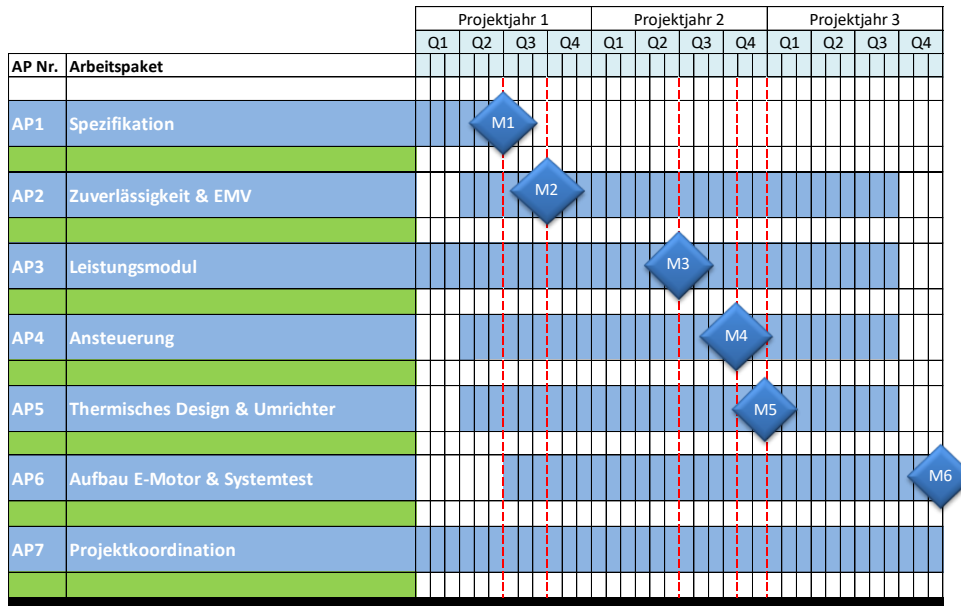


Abbildung 2: Übersicht Projektmeilensteine mit Beteiligung des ISEA

Im AP 1 werden die Anforderungen an den Inverter und den E-Motor erarbeitet. Dazu werden beispielsweise Ströme, Spannungen, thermische Randbedingungen, EMV- und Zuverlässigkeitsanforderungen in einem Lastenheft dokumentiert. Ebenfalls werden Bauräume und Schnittstellen für den Gate-Treiber spezifiziert.

Im AP 2 werden Untersuchungen bezüglich EMV und Zuverlässigkeit simulativ und experimentell durchgeführt. Unter anderem werden dazu Simulationen durchgeführt um die Störaussendungen zu beurteilen. Dabei geht es nicht darum, die Störungen exakt vorauszusagen, sondern verschiedene Modul-Geometrien qualitativ zu bewerten und gegenüber zu stellen.

Im AP 3 werden Konzept, Design und Aufbau eines innovativen niederinduktiven Moduls mit SiC-MOSFET Bauelementen erforscht und erstellt. Es wird unter anderem die Robustheit, die Parallelschaltbarkeit und das EMV-Verhalten sowie die Auswirkungen im Fehlerfall untersucht. Das Moduldesign wird iterativ durchgeführt, um Simulationen und Messungen in den Designprozess einfließen zu lassen.

Im AP 4 werden Ansteuerungskonzepte für schnellschaltende, parallelgeschaltete SiC-MOSFETs untersucht. Dazu werden Asymmetrien, die durch Bauteiltoleranzen oder geometrische Anordnungen hervorgerufen werden, genauer untersucht. Zur Bewertung werden Doppelpulsmessungen und Simulationen durchgeführt. Die Ergebnisse werden verwendet, um eine optimale Ansteuerung der Leistungshalbleiter zu erreichen. Der entwickelte Gate-Treiber wird in mehreren Iterationen an das finale Umrichterdesign angepasst.

Im AP 5 wird das mechanische Umrichterdesign festgelegt. Im Fokus stehen dabei ein möglichst kompaktes Design, welches gleichzeitig ausreichende Kühlmöglichkeiten aufweist. Dazu gehören unter anderem die Stromführungen als auch die Unterbringung der benötigten Platinen.

Im AP 6 werden die Anforderungen an die E-Maschine festgelegt. Dazu werden die Ergebnisse aus den anderen Arbeitspaketen zusammengeführt, um damit eine auf SiC basierende Antriebseinheit auf dem Prüfstand zu qualifizieren.

1.4 Stand der Technik, an den angeknüpft wurde

Relevanter Auszug aus dem Antrag

Heutige Antriebsumrichter basieren auf einer Kombination von Silizium IGBT- und Dioden-Bauteilen. Diese werden für verschiedene Spannungsklassen angeboten, die Stromskalierung erfolgt über eine entsprechende Parallelschaltung von Halbleitern.

Steigende Leistungsansprüche und weitere Reduzierungen des Bauraums müssen aus Sicht der OEMs zu einer weiteren Erhöhung der Leistungsdichte und der Effizienz der verwendeten Bauteile führen. Die Potentiale zur Wirkungsgradverbesserung können aktuell nur durch eine optimale Ansteuerung und einem idealen Aufbau erreicht werden. Antriebsinverter auf SiC-Basis müssen aktuell in ihrer Schaltgeschwindigkeit auf Werte im Bereich von 5 – 10 kV/ μ s künstlich gebremst werden, obwohl sie über ein Potential von über 50kV/ μ s verfügen. Diese künstliche Drosselung führt wiederum zu erhöhten Verlusten und Kosten. Die Ursache liegt in den aktuell ungeeigneten Komponenten für den Inverter wie auch auf unerforschte Effekte im Systemverbund. Aus bisherigen Studien ergibt sich ein Potential für eine Erhöhung der Reichweite um bis zu 5% durch den Einsatz von SiC im Umrichter [1].

Aktuelle Wicklungsisolierungen in E-Motoren werden auf die zweifache Batteriespannung und eine Spannungsteilheit von bis zu 10 kV/ μ s ausgelegt. Höhere Spannungsgradienten und hochfrequente Anregungen können dagegen aktuell zu Isolationsversagen führen.

Die Erhöhung der Schaltgeschwindigkeit (du/dt) steht dagegen in direktem Zusammenhang mit der erreichbaren Reduktion der Schaltenergien. Durch die sehr geringen parasitären Kapazitäten der Leistungstransistoren auf Basis von Siliziumkarbid lassen sich theoretisch sehr hohe Schaltgeschwindigkeiten realisieren.

Auf der einen Seite muss es das Ziel der nächsten Modul-Generationen sein, die Schaltzelle derart zu optimieren, dass die Potentiale des SiC-Chips auch auf Modulebene besser ausgenutzt werden können. Gleichzeitig werden für höhere Leistungen Lösungen mit einer Parallelschaltung von Leistungshalbleitern benötigt. Hier zeigt sich, dass durch leichte Abweichungen im transientem Verhalten von Einzelchip zu Einzelchip oder geometrischen Asymmetrien im Moduldesign starke Oszillationen mit signifikanten Spannungsüberhöhungen entstehen können, wodurch die Schaltgeschwindigkeit eingeschränkt oder die Zwischenkreisspannung stark abgesenkt werden muss.

Auf der anderen Seite gibt es dagegen für den Bereich der E-Maschinen Vorgaben zu den Spannungsflanken vor allem aus dem Industriebereich, wie sie etwa in der Norm IEC 60034-18-41 vorgegeben werden. Mit Referenz auf diese Norm wird meist eine Spannungsflanke von 5 kV/ μ s an den Motorklemmen von Herstellern spezifiziert, wobei Werte von 8 kV/ μ s ohne Filter ebenfalls möglich sein sollten [2]. Vor diesem Hintergrund erhöhen sich bei steigender Flankensteilheit die Ableitströme durch parasitäre Kapazitäten im Motorgehäuse und im Achslager. Diese Ableitströme sind direkt proportional zur Steilheit der Schaltflanke und tragen zu einem erhöhten Verschleiß der Lager bei.

Die Auflösung dieser beiden gegensätzlichen Randbedingungen hin zu einer ganzheitlichen Betrachtung des Systems Umrücker, Ansteuerung und E-Maschine ist eines der Hauptziele von SiCnifikant.

Ein weiteres zentrales Problem hoher Schaltflanken liegt in den kapazitiven Einkopplungen auf Systemebene. Diese Systemrückwirkungen sind bisher gerade in den im Projekt anvisierten Leistungsklassen noch kaum untersucht worden. Hier gibt es einen erheblichen Forschungsbedarf diesen Störeregungen mit einem geschlossenen Ansatz in Bezug auf Filter, Moduldesign, Ansteuerung sowie Systemauswirkungen zu begegnen.

Das Projekt SiCnifikant setzt hier an und erforscht verlässliche Methoden zur Bewertung der Zuverlässigkeit anhand der im Projektverlauf erarbeiteten realistischen Simulationsergebnisse. Durch die Bewertung mittels validierter virtueller Prototypen kann der notwendige Aufwand im Bereich der Zuverlässigkeitstest massiv reduziert werden.

Verwendete Fachliteratur

Als Informationsdienst wurde zum Großteil die Publikationsdatenbank IEEE Xplore® des IEEE (<https://ieeexplore.ieee.org>) verwendet. Die verwendete Literatur ist im Literaturverzeichnis dieses Berichts aufgelistet. Weitere verwendete Literatur ist in den in Rahmen von SiCnifikant entstandenen Publikation referenziert.

Konstruktionen, Verfahren und Schutzrechte

Über die erwähnte Literatur hinaus sind keine Konstruktionen, Verfahren oder Schutzrechte bekannt, die für die Durchführung des Vorhabens benutzt wurden.

1.5 Zusammenarbeit mit anderen Stellen

Für die ambitionierten Projektziele im Rahmen von SiCnifikant war eine enge Zusammenarbeit zwischen den beteiligten Projektpartnern nötig. Diese wurde durch regelmäßige Telefonkonferenzen innerhalb der Arbeitspakete, aber auch durch ein Statusupdate auf Gesamtprojektebene erreicht. So wurde mit den Projektpartnern Infineon und dem Fraunhofer ENAS das Leistungsmodul layout abgestimmt, um ein möglichst optimales Design für die Projektanwendung zu erreichen. Für verschiedene Gate-Treiber Vermessungen wurden von Infineon MOSFETs als Die, im TO247-4 Gehäuse und als Leistungsmodul zur Verfügung gestellt. Dadurch konnten unterschiedlichste Messungen am ISEA durchgeführt werden. Das Gate-Treiber Konzept wurde insbesondere mit den Projektpartnern Daimler und Infineon besprochen, um einerseits eine optimale Ansteuerung des Leistungsmoduls zu erreichen und andererseits die von den Projektpartnern benötigte Peripherie zur Verfügung zu stellen. Die Simulationsmodelle wurden gemeinsam mit dem CE-LAB hinsichtlich der EMV diskutiert und iterativ verbessert. Nur durch die enge Zusammenarbeit aller Projektpartner war es möglich, das Antriebsstrangkonzept von allen nötigen Seiten zu betrachten und aufzubauen.

2 Eingehende Darstellung

In diesem Kapitel werden die Projektziele und erreichten Ergebnisse des ISEA für jedes Arbeitspaket beschrieben. Die Ziele beziehen sich auf die Teilvorhabenbeschreibung (TVB) des ISEA.

2.1 AP 1 Spezifikation

In Arbeitspaket 1 geht es unter anderem darum, die Spezifikationen für die System- und Umweltaforderungen der E-Maschine, des Umrichters und des Gate-Treibers festzulegen. Der Fokus des ISEA liegt dabei auf den Spezifikationen des Gate-Treibers.

Damit der vom ISEA zur Verfügung gestellte Gate-Treiber mit dem Umrichter sowie der Steuerplattform kompatibel ist, müssen unter Abstimmung mit den Projektpartnern diverse Spezifikationen festgelegt werden. So soll die Übertragung des Gate-Signals für den Gate-Treiber galvanisch getrennt mit Low-Voltage-Differential-Signaling (LVDS) realisiert werden. Dadurch wird die Störanfälligkeit des Gate-Signals reduziert und es wird vermieden, dass es zu fehlerhaften Schaltvorgängen kommt, die den Umrichter beschädigen könnten. Der im ISEA vorhandene Doppelpulsprüfstand verwendet ein optisches Signal für die Treiber. Aus diesem Grund wird ebenfalls die Möglichkeit implementiert, den Treiber optisch zu triggern. Die Übertragung für das Gate-Signal erfolgt über einen D-Sub-25 Stecker. Aufgrund der Sicherheitsanforderungen der Projektpartner soll der Treiber eine Isolationsfestigkeit von 2150 V für 60 s aufweisen. Der Bauraum für den Gate-Treiber ist so konzipiert, dass die Grundfläche nicht über die des Leistungsmoduls hinausragt. Die Kühlung des Gate-Treibers erfolgt passiv.

Einige weitere Spezifikationen sind in Tabelle 1 aufgeführt.

Tabelle 1: Spezifikationen des Gate-Treibers

Beschreibung	Bezeichnung	Wert
Maximale Schaltfrequenz	$f_{sw,max}$	20 kHz
Spannungsversorgung	U_{supply}	12 V
Gate-Source-Spannung	U_{off}	-5 V
	U_{on}	15 V

2.2 AP 2 Zuverlässigkeit & EMV

Ziel des Arbeitspakets 2 ist es, die Zuverlässigkeit und Elektromagnetische Verträglichkeit (EMV) des Systems zu bewerten. Aufgabe des ISEA ist es dabei, unterschiedliche Modulgeometrien hinsichtlich ihrer EMV zu untersuchen.

Um Modulgeometrien zu beurteilen werden verschiedene Simulationen mit der Software Ansys und Simetrix durchgeführt. Die Ansys Simulationen werden beispielsweise für die Betrachtung magnetischer und elektrischer Felder sowie zur Beurteilung der Stromverteilung im 3D Modulmodell verwendet. Die Simetrix Simulationen werden dazu genutzt, um die transienten Vorgänge und Schaltverluste zu betrachten.

In Abbildung 3 sind zwei beispielhafte untersuchte Geometrien dargestellt. In der Simulation werden die Schaltzellen mit einem zuvor im Labor gemessenen Stromverlauf angeregt. In der Abbildung ist die magnetische Flussdichte B zu sehen, die sich in einem Abstand von 5 mm zum Modul ergibt. Der Hauptunterschied der beiden Geometrien liegt darin, dass die Chips bei Geometrie 1 in einzelnen Gruppen zusammengefasst sind, während die Chips bei Geometrie 2 länglich angeordnet sind. Da es in der Simulation lediglich um einen relativen Vergleich der magnetischen Flussdichte geht, wurden nur einzelne Bonddrähte verwendet und nicht wie üblich mehrere parallelgeschaltete Bonddrähte.

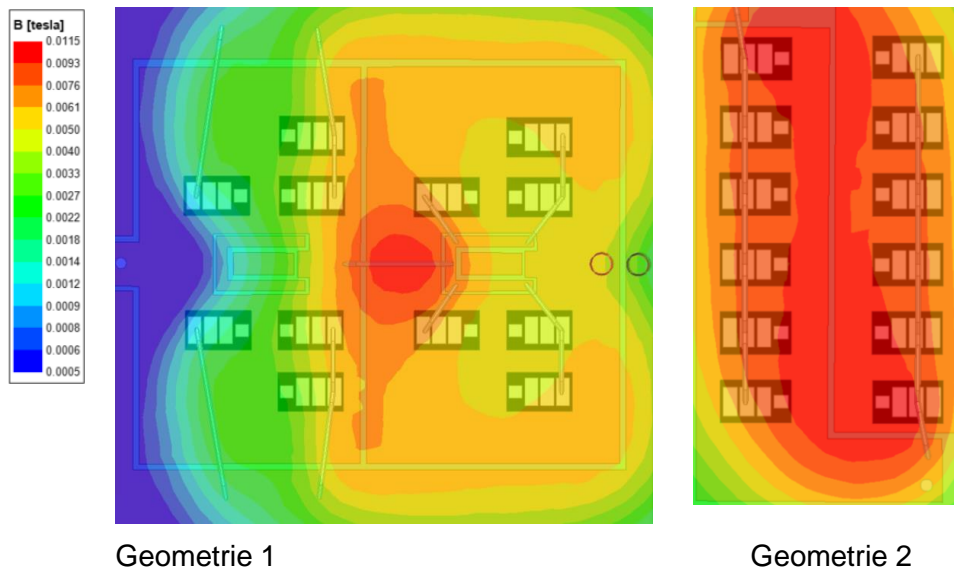


Abbildung 3: Beispielhafte Simulation der magnetischen Flussdichte B

Bei der Verwendung von Geometrie 1 ist die Ausdehnung der magnetischen Flussdichte nicht so flächig wie bei Geometrie 2. Für den Aufbau des Gate-Treibers ist dementsprechend die Geometrie 1 zu empfehlen, da dadurch die der starken Flussdichte ausgesetzte Fläche kompakter ist. Bauteile des Gate-Treibers können mit diesem Wissen gezielter platziert werden, um vom Modul erzeugten Störungen nicht ausgesetzt zu sein.

Um die kabelgebundenen Störungsemissionen abzuschätzen, werden Leistungsmodulgeometrien zunächst in Ansys simuliert. Anschließend wird ein Spice-Modell extrahiert. In diesem Spice-Modell sind sämtliche parasitäre Elemente sowie gegenseitige Kopplungen von unterschiedlichen Pfaden hinterlegt. Mit dem Simulationsprogramm Simetrix lassen sich transiente Simulationen mit dem Spice-Modell durchführen. Ein 3D Modell des Leistungsmoduls von Infineon und das daraus extrahierte Spice-Modell ist in Abbildung 4 dargestellt. Auf der linken Seite des Spice-Modells sind die Anschlüsse der zwölf MOSFET Dies von Gate, Drain und Source platziert. Die drei Anschlüsse auf der oberen Seite des Modells sind die großen Terminal Anschlüsse des Moduls. Die restlichen Anschlüsse auf der rechten Seite sind die übrigen aus dem Leistungsmodul herausgeführten Pins. Als MOSFET Modell wird ein von Infineon zur Verfügung gestelltes Spice-Modell verwendet.

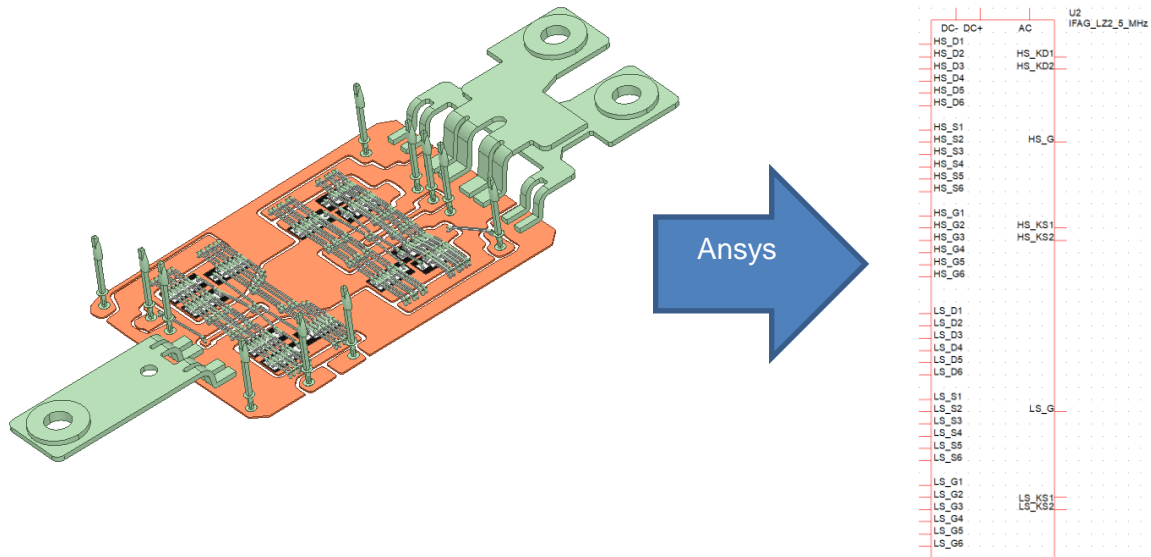


Abbildung 4: 3D Modell des Leistungsmoduls und das dazugehörige Spice-Modell

Ein Simulationsergebnis mit einer dc-Link Spannung $U_{dc} = 800 \text{ V}$, einem Laststrom $I_{load} = 300 \text{ A}$ und verschiedenen Gate-Widerständen R_G ist in Abbildung 5 dargestellt. Als Streuinduktivität für den Zwischenkreis wird $L_{dc} = 10 \text{ nH}$ verwendet. Zu sehen ist der transiente Verlauf der Low-Side Drain-Source-Spannung u_{DS} während des Ausschaltvorgangs. Durch einen größeren Gate-Widerstand R_G wird der Ausschaltvorgang verlangsamt, wodurch der Spannungsüberschwinger sinkt. Nach dem Spannungsüberschwinger treten hochfrequente Schwingungen auf, die gegebenenfalls zu Störungen führen können. Je größer der Gate-Widerstand R_G ist, desto gedämpfter sind die Schwingungen.

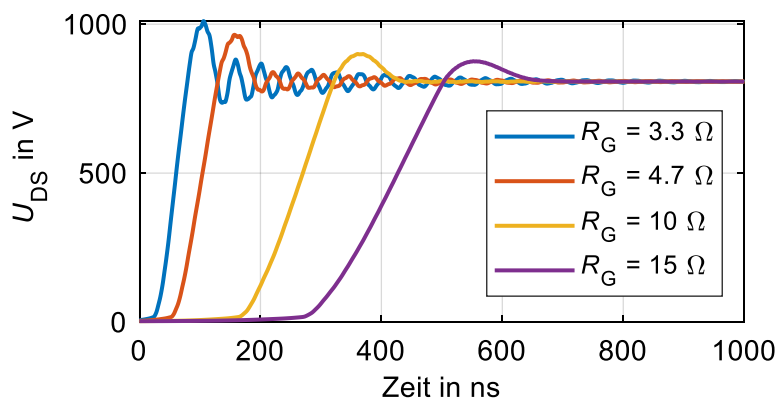


Abbildung 5: Simulationsergebnis der Drain-Source-Spannung für verschiedene Gate-Widerstände

In Abbildung 6 ist das zugehörige Frequenzspektrum der Schaltvorgänge mit verschiedenen Gate-Widerständen R_G zu sehen. Bis zu einer Frequenz von 2 MHz weisen die verschiedenen Spektren nur einen geringfügigen Unterschied zueinander auf. Für größere Frequenzen wird die Amplitude mit zunehmendem Gate-Widerstand R_G deutlich stärker gedämpft. Ebenfalls erkennbar ist die schmalbandige Störanregung im Bereich von 24 MHz. Diese Störanregung wird durch die zuvor beschriebenen Oszillationen nach dem Spannungsüberschwinger verursacht. Da ein größerer Gate-Widerstand R_G diese Oszillationen dämpft, wird auch diese Amplitude im Frequenzspektrum abgesenkt.

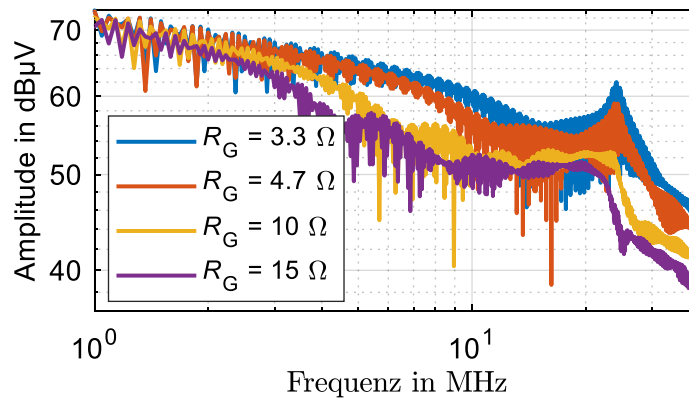


Abbildung 6: Simulationsergebnis des Frequenzspektrums für verschiedene Gate-Widerstände

In Abbildung 7 ist das Frequenzspektrum der Schaltvorgänge für unterschiedliche dc-Link Induktivitäten L_{dc} zu sehen. Bei einer Verringerung der Induktivitäten steigt die Resonanzfrequenz. Unterhalb der jeweiligen Resonanzfrequenz ist kein signifikanter Unterschied in den Amplituden sichtbar. Die Amplitude der Resonanzfrequenz ist bei größeren dc-Link Induktivitäten geringer gedämpft. Allerdings sind die Frequenzen oberhalb der Resonanzfrequenz für größere dc-Link Induktivitäten stärker gedämpft.

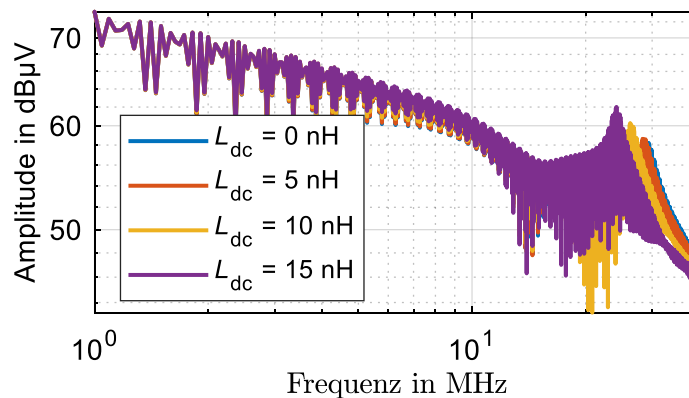


Abbildung 7: Simulationsergebnis des Frequenzspektrums für verschiedene dc-Link Induktivitäten

In Abbildung 8 ist das Spektrum eines am Leistungsmodul durchgeführten Doppelpulsversuchs zu sehen. Zu erkennen ist, dass Amplitude und Resonanzfrequenz im selben Bereich liegen wie im Simulationsergebnis. In der Messung ist die Amplitude der Resonanzfrequenz etwas stärker ausgeprägt.

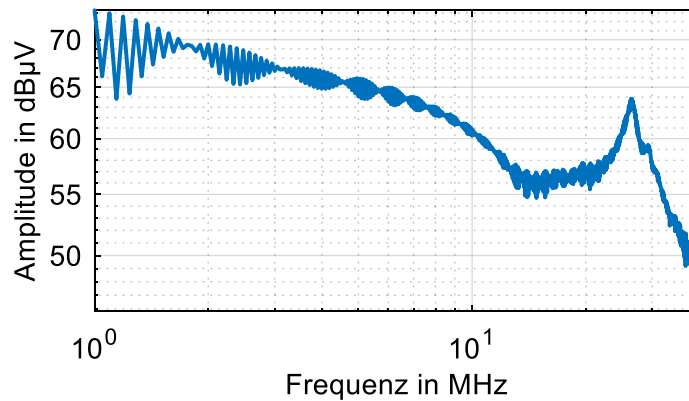


Abbildung 8: Messergebnis des Frequenzspektrums

In Abbildung 9 sind drei weitere Module abgebildet, die in Ansys modelliert und simuliert wurden. Die Module 1 und 2 unterscheiden sich lediglich in der Anzahl paralleler SiC-MOSFET Dies. Bei Modul 3 sind zu jedem SiC-MOSFET Die zwei parallele Dioden verbaut, um die Performance während der Totzeit zu verbessern. Die Simulationsergebnisse zeigen, dass die Summe der parasitären Induktivitäten im Kommutierungspfad für die Geometrie von Modul 2 am geringsten ist. Das Gleiche zeigt sich für die Induktivitäten im Gate-Source-Pfad. Grund hierfür ist die große Anzahl an parallel verschalteten Bonddrähten in dem Modul. Zwar können in Modul 3 die Verluste mit Hilfe der parallel verschalteten Dioden reduziert werden, allerdings führt der lange Pfad über Bonddrähte zu den Dioden zu erhöhten Streuinduktivitäten. Hinsichtlich der EMV ist demnach die Modulgeometrie 2 zu bevorzugen, da bei geringeren Streuinduktivitäten weniger Überschwinger und dementsprechend geringere Störaussendungen zu erwarten sind.

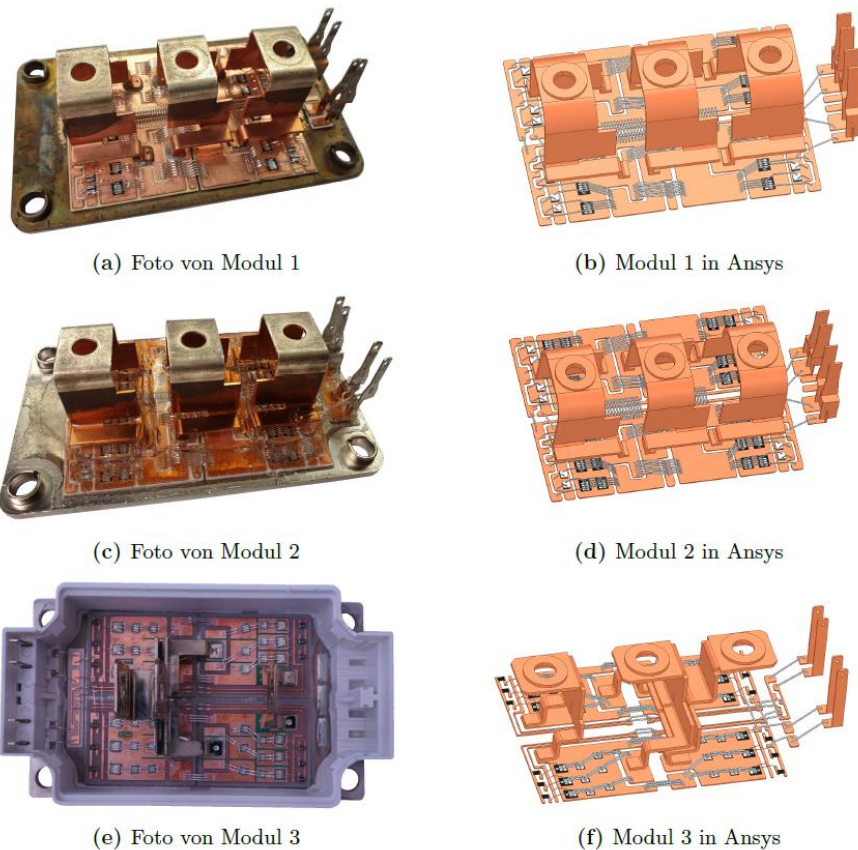


Abbildung 9: Beispiele für weitere untersuchte Modulgeometrien

2.3 AP 3 Leistungsmodul

Ziel des Arbeitspakets 3 ist es, ein Konzept, Design und Aufbau für ein Leistungsmodul mit SiC-MOSFETs zu erforschen und zu verwirklichen. Aufgabe des ISEA ist es, bei der Entwicklung von optimalen Modulgeometrien zu unterstützen.

Im Laufe des Projekts wurden verschiedene Ideen für den Leistungsmodulaufbau diskutiert und ausgetauscht. In Abbildung 10 ist das 3D Modell einer früheren Version des Leistungsmoduls zu sehen. Dargestellt ist die Stromdichte während des Einschaltvorgangs, wobei als äußere Anregung (AC, DC- und DC+ Klemmen) ein mit einzelnen MOSFETs gemessener Stromverlauf in die Simulation gegeben wurde. Die MOSFETs weisen eine unterschiedliche Stromdichte auf und werden dementsprechend unterschiedlich belastet. In der Mitte des Moduls ist zu erkennen, dass der vertikale DC+ Kupferstreifen kaum mit Strom durchflossen wird. Dementsprechend kann dieser Kupferstreifen ausgelassen werden und die AC-Kupferflächen können direkt miteinander verbunden werden, wodurch Bonddrähte eingespart werden.

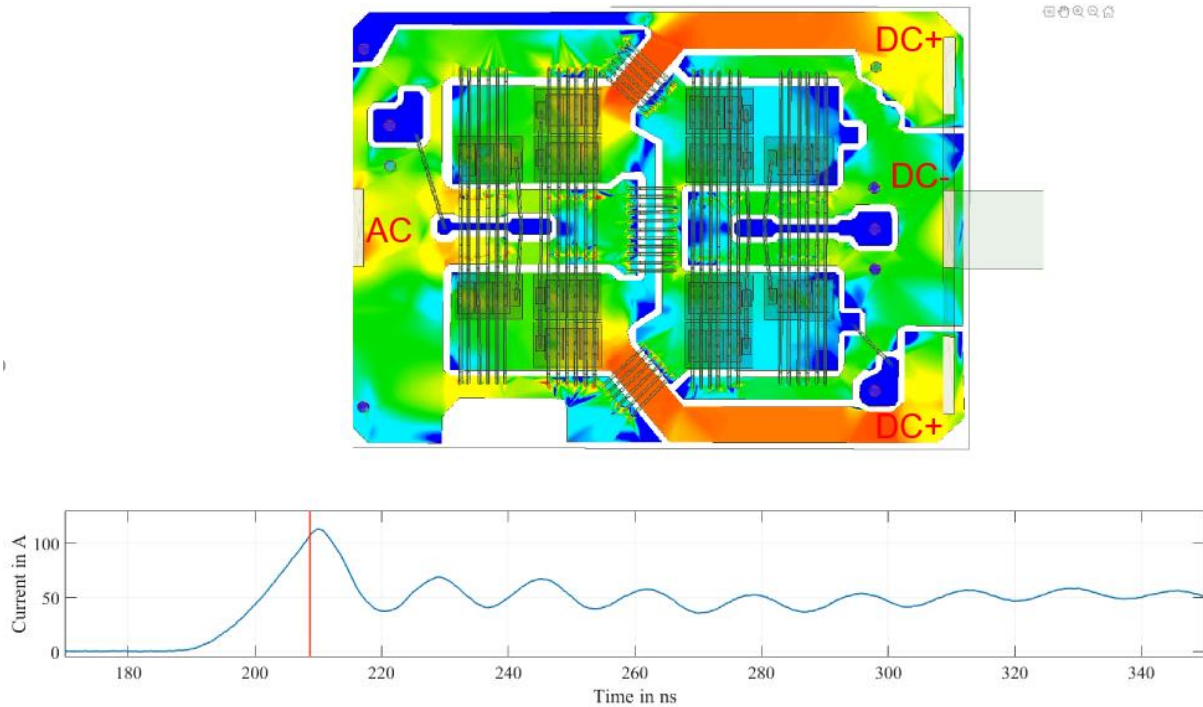


Abbildung 10: Simulationsergebnis der Stromdichte mit Anregung eines zuvor gemessenen Stromverlaufs

Eine spätere Version des Leistungsmoduls ist in Abbildung 11 zu sehen. Aus diesem Modell wurde ein Spice-Modell extrahiert, sodass die Stromaufteilung der einzelnen MOSFET Dies in Simetrix beurteilt werden kann. Die Dies der Low-Side MOSFETs sind durchnummeriert, um im Folgenden die einzelnen Ströme miteinander zu vergleichen.

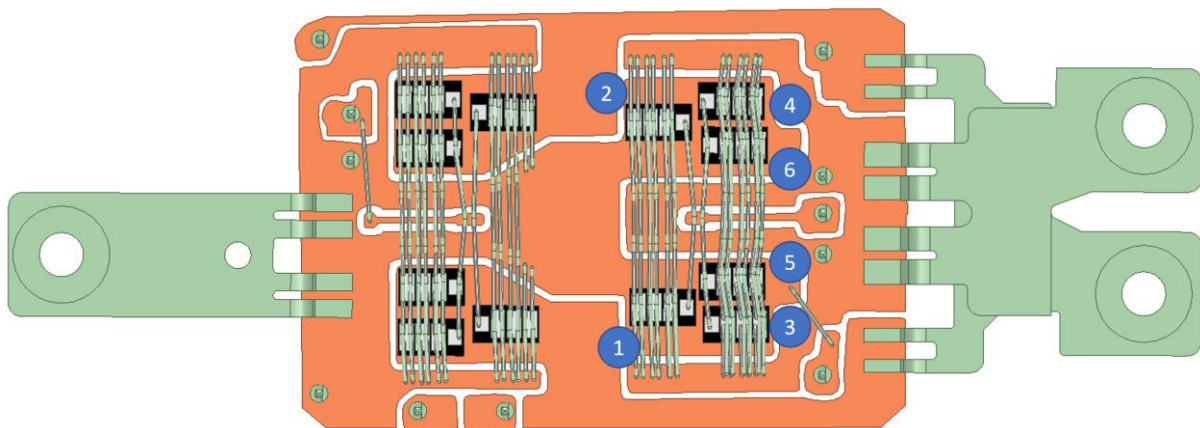


Abbildung 11: Spätere Leistungsmodulversion

In Abbildung 12 ist das Simulationsergebnis der einzelnen Low-Side Dies während des Einschaltvorgangs dargestellt. Im Stromverlauf ist die geometrische Symmetrie des Leistungsmoduls zu erkennen. Die Ströme $i_{D,LS1}$, $i_{D,LS2}$ sowie $i_{D,LS3}$, $i_{D,LS4}$, $i_{D,LS5}$, $i_{D,LS6}$ weichen nur geringfügig voneinander ab. Der Die 2 (Strom $i_{D,LS2}$) trägt während des Einschaltvorgangs den größten Strom. Den geringsten Strom führt der Die 3 ($i_{D,LS3}$). Zwar könnten die MOSFETs anders platziert werden, um die Ströme etwas weiter anzugleichen, allerdings würde der Aufbau des Leistungsmoduls dadurch weniger kompakt ausfallen.

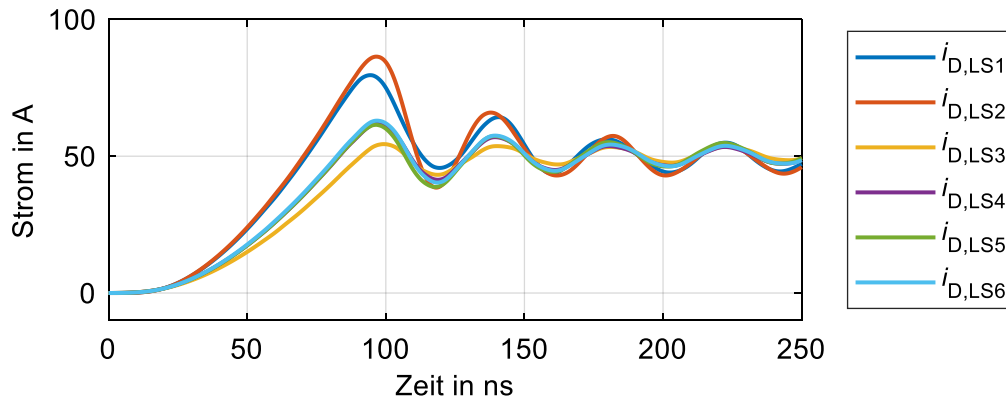


Abbildung 12: Simulationsergebnis der einzelnen Low-Side-Drain-Ströme während des Einschaltvorgangs

In dem Modul sind die Kelvin-Source-Anschlüsse nicht direkt an den Chip angeschlossen, sondern für einen kleinen Teil im Leistungspfad geführt. Zwar ist ein Kelvin-Source-Kontakt wichtig für die hohen zu erzielenden Schaltflanken und geringere Schaltverluste, allerdings verhindert ein Kelvin-Source-Anschluss im Kurzschlussfall die negative Rückkopplung auf die Gate-Source-Spannung und verringert somit die Kurzschlussstoleranz. Aus diesem Grunde wurde der Kompromiss gefunden, den Kelvin-Source-Kontakt nicht direkt an den Chip anzubinden, sodass im Fehlerfall eine höhere Robustheit erzielt wird. Dadurch bleibt die Auswirkung auf die Schaltvorgänge gering und eine gewisse Kurzschlussbegrenzung ist ebenfalls vorhanden.

2.4 AP 4 Ansteuerung

Im Rahmen dieses Arbeitspakets werden vom ISEA Ansteuerkonzepte für parallele SiC-MOSFETs mit hohen Schaltgeschwindigkeiten erforscht und entwickelt. Ziel ist es, die Auswirkungen von Asymmetrien und unterschiedlichen Bauteilcharakteristiken von parallelgeschalteten SiC-MOSFETs zu untersuchen. Außerdem soll ein Treiber entwickelt werden der es ermöglicht, die Schaltverluste der einzelnen parallelgeschalteten SiC-MOSFETs gleichmäßig zu verteilen.

2.4.1 Gate-Treiber für MOSFETs im TO247-4 Gehäuse

Um den Gate-Treiber mit möglichst steilen Spannungsflanken zu testen, wurde ein Aufbau entwickelt um MOSFETs im TO247-4 Gehäuse anzusteuern. Als MOSFETs werden dafür die gleichen Chips verwendet, die im späteren Leistungsmodul verbaut sind. In Abbildung 13 ist der Treiber dargestellt. Die Signalübertragung verläuft über LVDS um Störeinflüsse zu reduzieren. Außerdem isoliert der Treiber eine Spannung von 2150 V für 60 s und ist auch nach der Isolationsprüfung weiterhin funktionstüchtig, wie in den Spezifikationen (siehe AP 1) gefordert wurde. Es wurden zwei Treiberversionen mit unterschiedlichen DC/DC-Wandlern (MGJ2D12150SSC von Murata und R12P21503D von RECOM) aufgebaut, um die Koppelkapazitäten zu vergleichen. Das Messergebnis ist in Abbildung 14 dargestellt. Bis zu einer Frequenz von 5 MHz weist der Murata DC/DC-Wandler eine leicht geringere Koppelkapazität auf und wurde daher für den späteren Aufbau verwendet.

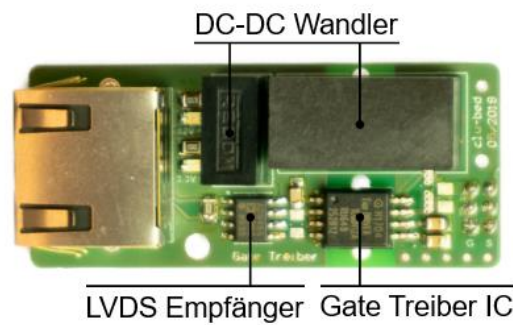


Abbildung 13: Treiber Aufbau

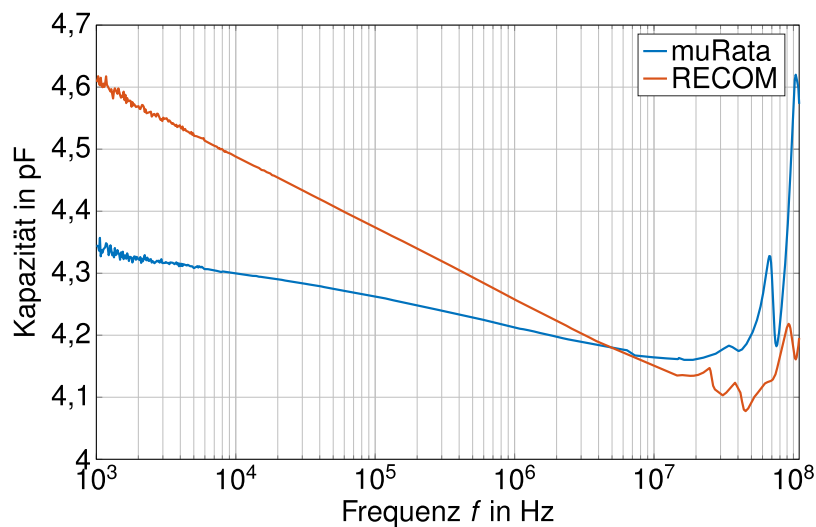


Abbildung 14: Messergebnis der Koppelkapazität

Als Gate-Treiber-IC wurde ein 1EDC60H12AH von Infineon gewählt. Dieser kann einen Spitzenstrom von 10 A zur Verfügung stellen und verfügt über getrennte Ausgänge für das Ein- und Ausschalten. Dadurch können die externen Gate-Widerstände für die Ein- und Ausschaltvorgänge unabhängig voneinander gewählt werden. Um die Funktion des Treibers zu verifizieren, werden zunächst Messungen mit einer einfachen Halbbrücke ohne Parallelschaltung von MOSFETs durchgeführt. In Abbildung 15 ist der Drain-Source-Spannungsverlauf mit verschiedenen Gate-Widerständen während des Ausschaltvorgangs dargestellt. Bei allen Messungen beträgt die Zwischenkreisspannung $U_{dc} = 400\text{ V}$. Für Messungen mit Gate-Widerständen von $R_G = 10\ \Omega$, $4,70\ \Omega$ und $2,20\ \Omega$ beträgt der Laststrom $I_{load} = 25\text{ A}$. Bei Messungen mit einem Gate-Widerstand $R_G = 0\ \Omega$ ist der Laststrom $I_{load} = 50\text{ A}$. Zu sehen ist, dass die Spannungsflanke mit einem Gate-Widerstand von $0\ \Omega$ eine Steilheit von $71\text{ kV}/\mu\text{s}$ erreicht und damit die Projektvorgaben erfüllt.

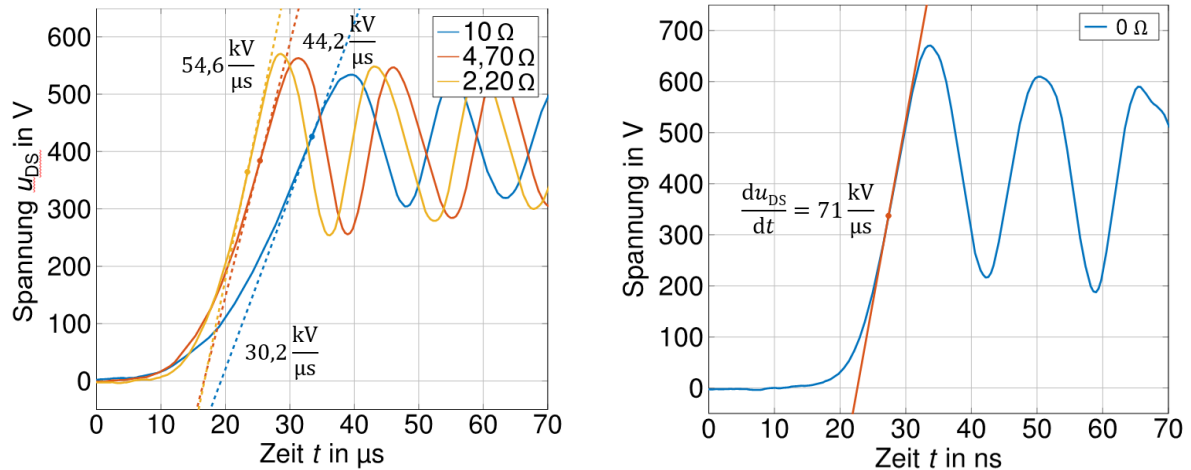


Abbildung 15: Ausschaltvorgang mit verschiedenen Gate-Widerständen

2.4.2 Gate-Treiber für Leistungsmodul

In Abbildung 16 ist der am ISEA entwickelte Treiber für das von Infineon zur Verfügung gestellte Leistungsmodul zu sehen. Als Gate-Treiber-IC wird ein UCC21710 von Texas Instruments verwendet. Der Kühlkörper des Moduls ist an eine Temperiereinheit angeschlossen, die es ermöglicht die Temperatur des Leistungsmoduls von -20 °C bis 120 °C einzustellen. Die Software des Prüfstands wurde so angepasst, dass die Messungen bei unterschiedlichen Strömen, Spannungen und Temperaturen automatisch durchgeführt werden können. In der Abbildung befindet sich der Kühlkörper bei einer Temperatur von -20 °C , was an dem vereisten Kühlkörper und dessen Zuleitungen deutlich erkennbar ist.

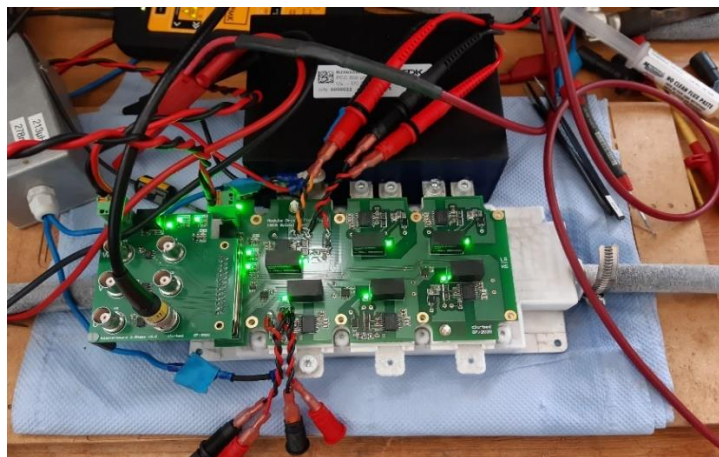


Abbildung 16: Treiber und Leistungsmodul bei -20 °C Vorlaufemperatur

Mit dem Treiber wurden zahlreiche Doppelpulsmessungen bei verschiedenen Betriebspunkten durchgeführt und mit den Projektpartnern besprochen.

In Abbildung 17 ist die Einschaltenergie E_{on} des Leistungsmoduls für verschiedene Lastströme I_{load} und verschiedene Temperaturen zu sehen. Die dc-Link Spannung ist $U_{dc} = 800\text{ V}$ und der Gate-Widerstand $R_G = 3,3\text{ }\Omega$. Zu erkennen ist, dass die Einschaltenergie linear mit dem Laststrom zunimmt. Mit zunehmender Temperatur sinkt die Einschaltenergie. In Abbildung 18 ist der Überschwinger \hat{I}_S des Source-Stroms abgebildet. Zu erkennen ist, dass der Überschwinger mit zunehmenden Temperaturen geringfügig zunimmt.

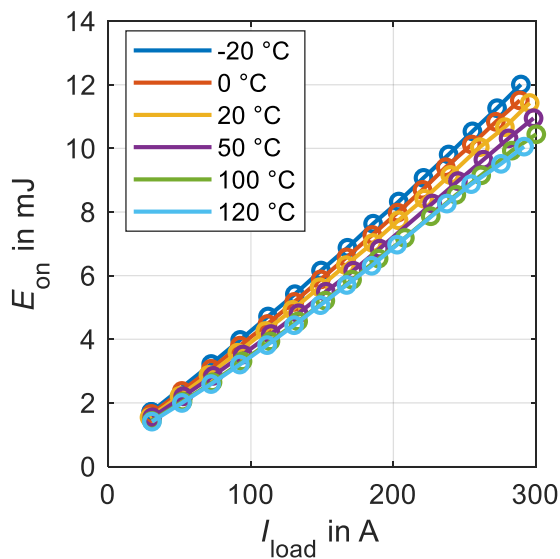


Abbildung 17: Messergebnisse der Einschaltenergie für verschiedene Laststromstärken und Temperaturen

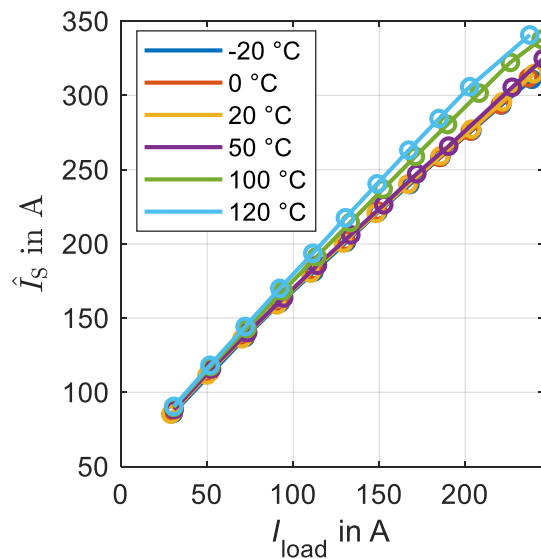


Abbildung 18: Messergebnisse des Stromüberschwingers für verschiedene Laststromstärken und Temperaturen

In Abbildung 19 ist der Überschwinger \hat{U}_{diode} der Diodenspannung zu sehen. Zu erkennen ist, dass der Überschwinger \hat{U}_{diode} mit steigender Temperatur und steigendem Laststrom zunimmt. Bei einem Laststrom von etwa $I_{\text{load}} = 300 \text{ A}$ und einer Temperatur von 120 °C erreicht die Diodenspannung bereits einen Wert von über 1000 V . Bei der Auslegung des Gate-Widerstands ist zu berücksichtigen, dass die Spannung der Halbleiter niemals die spezifizierte Sperrspannung (hier: 1200 V) überschreitet, damit das Leistungsmodul nicht beschädigt wird. In Abbildung 20 ist die Spannungssteilheit $\left| \frac{dU_{\text{DS}}}{dt} \right|$ während des Einschaltvorgangs dargestellt. Zu erkennen ist, dass die Spannungssteilheit mit steigendem Laststrom und sinkender Temperatur abnimmt.

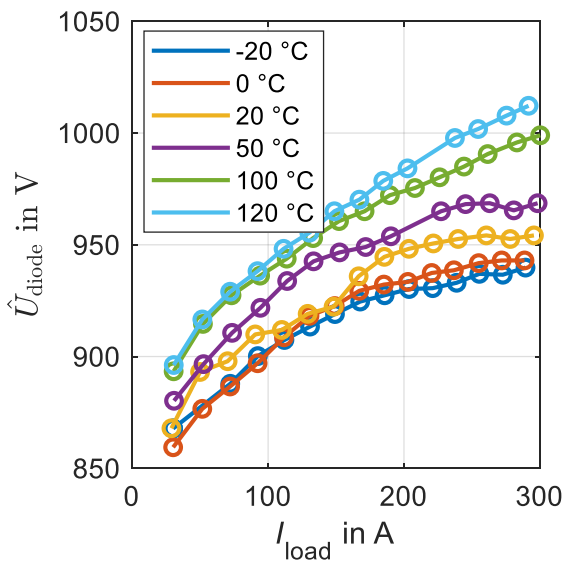


Abbildung 19: Messergebnisse des Diodenspannungsüberschwingers für verschiedene Laststromstärken und Temperaturen

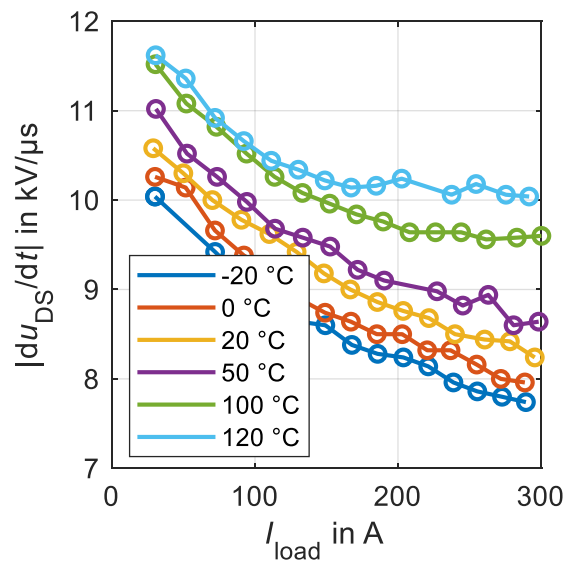


Abbildung 20: Messergebnisse der Spannungssteilheit für verschiedene Laststromstärken und Temperaturen

In Abbildung 21 und Abbildung 22 sind Doppelpulsergebnisse für den Ausschaltvorgang zu sehen. Bei der Ausschaltenergie E_{off} zeigt sich keine große Temperaturabhängigkeit. Der durch den Ausschaltvorgang verursachte Überschwinger \hat{U}_{DS} in der Drain-Source-Spannung nimmt mit sinkender Temperatur geringfügig zu. Im Gegensatz dazu ist die Abhängigkeit des Überschwingers vom Laststrom deutlich höher. Bei einem Laststrom von $I_{load} = 20 \text{ A}$ beträgt der Maximalwert der Drain-Source-Spannung lediglich 850 V. Mit ansteigendem Laststrom steigt der Überschwinger auf über 1050 V. Der Worst-Case Betriebspunkt ist demnach die minimale Betriebstemperatur und der maximale Laststrom. Bei der Auslegung des Gate-Widerstands muss dies berücksichtigt werden, da zu große Spannungsüberschwinger zur Zerstörung des Leistungsmoduls führen können.

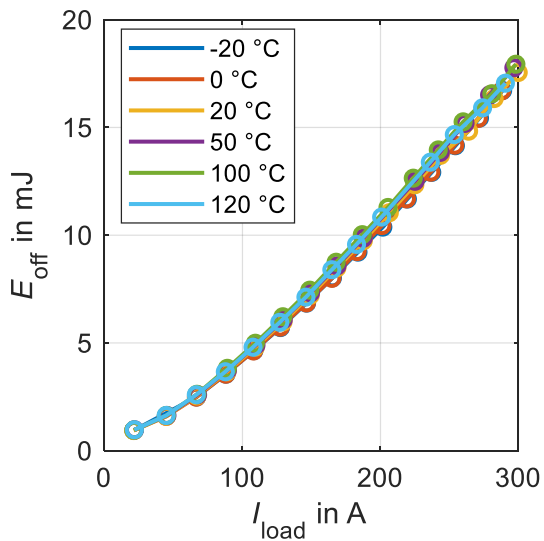


Abbildung 21: Messergebnisse der Ausschaltenergie für verschiedene Laststromstärken und Temperaturen

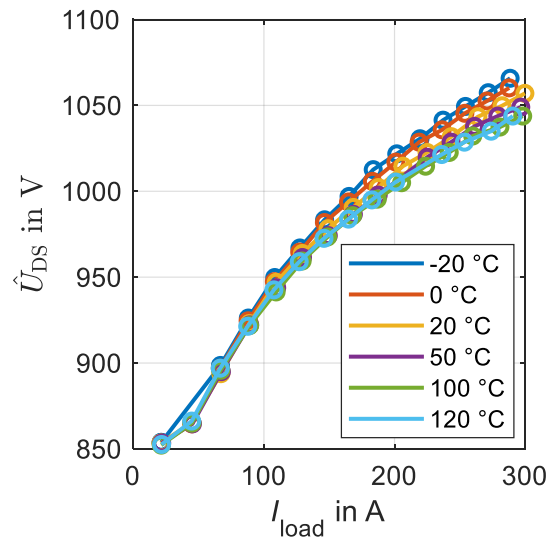


Abbildung 22: Messergebnisse des Spannungsüberschwingers für verschiedene Laststromstärken und Temperaturen

Die Spannungssteilheiten $\frac{du_{DS}}{dt}$ während des Ausschaltvorgangs sind in Abbildung 23 dargestellt. Zu erkennen ist, dass die Steilheit mit steigendem Laststrom und sinkender Temperatur zunimmt. Bei einem Laststrom $I_{load} = 300 \text{ A}$ beträgt die Spannungssteilheit etwa $18 \text{ kV}/\mu\text{s}$.

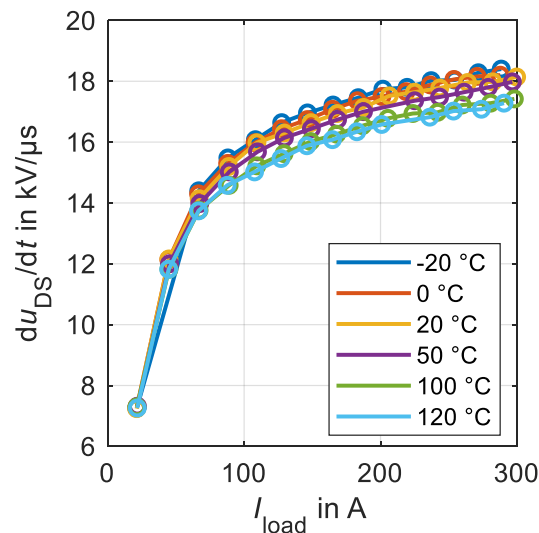


Abbildung 23: Messergebnisse der Spannungssteilheit für verschiedene Laststromstärken und Temperaturen

In Abbildung 24 und Abbildung 25 sind Doppelpulsergebnisse für den Einschaltvorgang für verschiedene Gate-Widerstände R_G und verschiedene Lastströme I_{load} abgebildet. Die dc-Link Spannung beträgt 800 V und die Modultemperatur 25 °C . Zwar sind die Einschaltverluste E_{on} mit dem Gate-Widerstand $R_G = 4,7 \Omega$ deutlich größer als mit einem Gate-Widerstand $R_G = 3,3 \Omega$, der Stromüberschwinger \hat{I}_S hingegen verändert sich kaum.

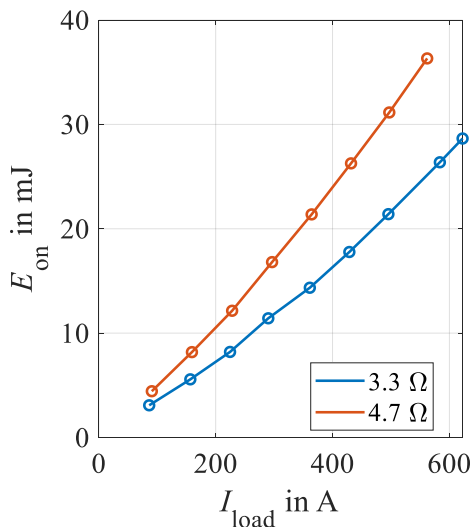


Abbildung 24: Messergebnisse der Einschaltenergie für verschiedene Laststromstärken und Gate-Widerstände

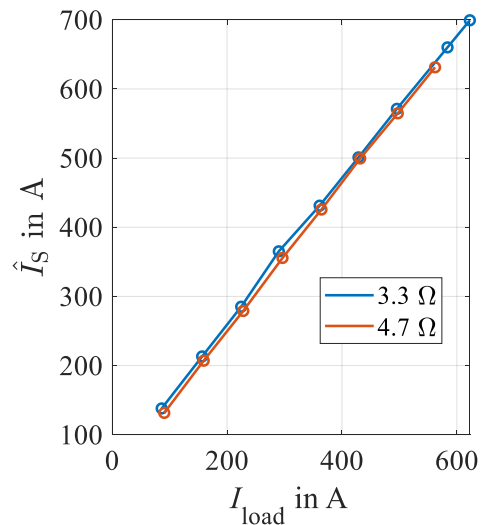


Abbildung 25: Messergebnisse des Stromüberschwingers für verschiedene Laststromstärken und Gate-Widerstände

In Abbildung 26 ist der Spannungsüberschwinger \hat{U}_{diode} der Diodenspannung dargestellt. Der Überschwinger wird mit einem größeren Gate-Widerstand deutlich reduziert. Zu erkennen ist ebenfalls, dass der Spannungsüberschwinger \hat{U}_{diode} für Lastströme über 400 A nicht weiter ansteigt. In Abbildung 27 ist die Spannungssteilheit $\left| \frac{du_{DS}}{dt} \right|$ während des Ausschaltvorgangs dargestellt. Mit einem größeren Gate-Widerstand wird das Gate des MOSFETs langsamer entladen, was zu einer geringeren Spannungssteilheit führt.

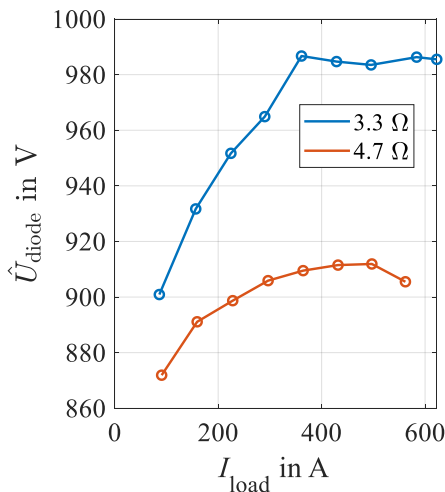


Abbildung 26: Messergebnisse des Diodenspannungsüberschwingers für verschiedene Laststromstärken und Gate-Widerstände

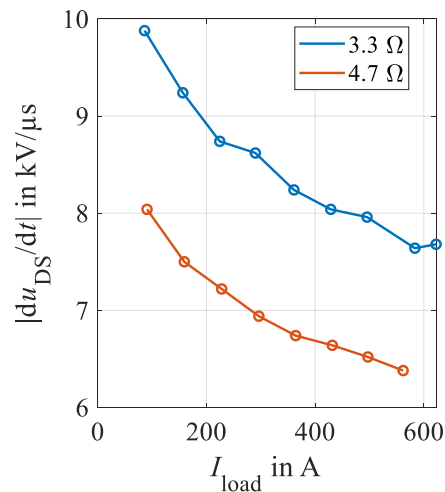


Abbildung 27: Messergebnisse der Spannungssteilheit für verschiedene Laststromstärken und Gate-Widerstände

In Abbildung 28 ist die Ausschaltenergie E_{off} für verschiedene Lastströme und verschiedene Gate-Widerstände dargestellt. Zu erkennen ist, dass die Ausschaltenergie E_{off} mit größerem Gate-Widerstand steigt. In Abbildung 29 ist der dazugehörige Drain-Source Spannungsüberschwinger zu sehen. Bei geringerem Gate-Widerstand ist der Überschwinger

größer. Bei einem Laststrom $I_{\text{load}} = 600 \text{ A}$ und einem Gate-Widerstand $R_G = 3,3 \Omega$ erreicht der Spannungsüberschwinger einen Wert von 1140 V . Da dieser Wert sehr nah an den erlaubten 1200 V liegt und geringere Temperaturen den Spannungsüberschwinger erhöhen, sollte der Gate-Widerstand für den Ausschaltvorgang größer als $3,3 \Omega$ gewählt werden.

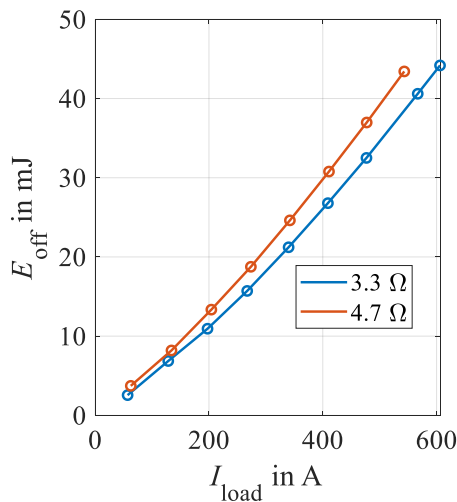


Abbildung 28: Messergebnisse der Ausschaltenergie für verschiedene Laststromstärken und Gate-Widerstände

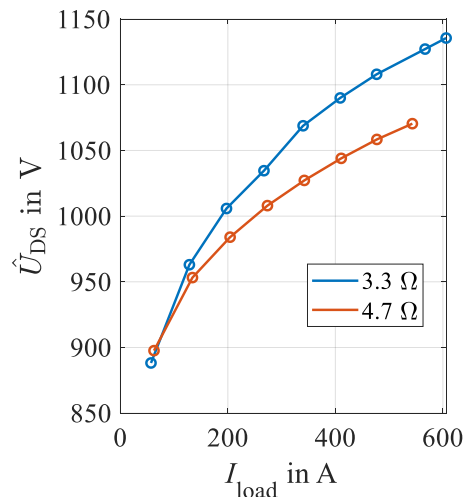


Abbildung 29: Messergebnisse des Spannungsüberschwingers für verschiedene Laststromstärken und Gate-Widerstände

In Abbildung 30 sind die Spannungssteilheiten $\frac{du_{\text{DS}}}{dt}$ während des Ausschaltvorgangs dargestellt. Bei einem Laststrom $I_{\text{load}} = 600 \text{ A}$ und einem Gate-Widerstand $R_G = 3,3 \Omega$ wird eine Spannungssteilheit von etwa $19 \text{ kV}/\mu\text{s}$ erreicht.

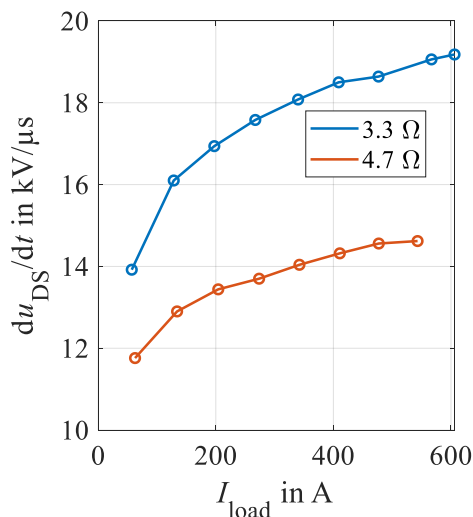


Abbildung 30: Messergebnisse der Spannungssteilheit für verschiedene Laststromstärken und Gate-Widerstände

Um den sicheren Betrieb des Inverters zu gewährleisten, muss der Gate-Treiber einen Überstrom und Kurzschluss erkennen und sicher ausschalten können. Um den Spannungsüberschwinger während des Ausschaltvorgangs im Kurzschlussfall zu reduzieren, kann der Gate-Treiber den Gate-Strom begrenzen um so den Ausschaltvorgang zu

verlangsamen. Gemeinsam mit den Projektpartnern wurde die Überstromerkennung auf einen Wert von $I_{\max} = 1200 \text{ A}$ festgelegt. In Abbildung 31 sind die Strom- und Spannungsverläufe eines Doppelpulsversuchs zu sehen. Zunächst wird der Laststrom i_{load} bis etwa 1200 A aufgebaut. Anschließend wird der MOSFET für $10 \mu\text{s}$ ausgeschaltet und anschließend wieder eingeschaltet. Kurz nach dem erneuten Einschalten erkennt der Treiber den Überstrom und schaltet den MOSFET langsam aus. Zu erkennen ist der deutlich reduzierte Spannungsüberschwinger in der Drain-Source Spannung $u_{\text{DS-LS}}$ beim zweiten Ausschaltvorgang, der durch das langsame Ausschalten des Treibers im Fehlerfall erzeugt wird.

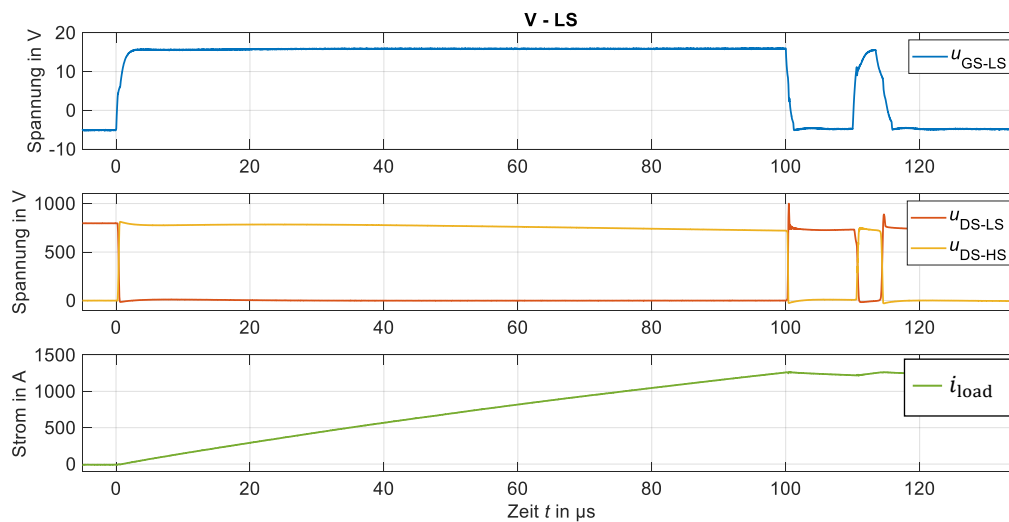


Abbildung 31: Doppelpulsversuch zur Validierung der Überstromerkennung des Treibers

2.4.3 Temperaturunterschiede im Leistungsmodul

Bei parallelgeschalteten MOSFETs kommt es durch Bauteiltoleranzen und Asymmetrien der parasitären Elemente zu unterschiedlichen Verlustverteilungen und dadurch zu unterschiedlichen Temperaturen der einzelnen MOSFETs. Die unterschiedlichen Temperaturen führen zu unterschiedlicher Alterung der einzelnen MOSFETs und zu einem Derating des Leistungsmoduls. Für das im Projekt entwickelte Leistungsmodul werden für die High-Side und Low-Side jeweils sechs SiC-MOSFET Dies parallelgeschaltet. Um die unterschiedlichen Temperaturen der Dies im Betrieb zu messen, wurde von Infineon ein Modul ohne das übliche Schutzgel bereitgestellt. Das Innere des Leistungsmoduls wurde mit schwarzem Lack gefärbt, um Temperaturmessungen mit einer Infrarotkamera zu ermöglichen und Reflektionen zu vermeiden. Da das Modul normalerweise vom Treiber abgedeckt wird und so Messungen mit der Infrarotkamera verhindert, wurde ein spezieller Treiber entwickelt und aufgebaut. Dieser ermöglicht die Ansteuerung der Phase W des Leistungsmoduls aber verdeckt die Dies der Phase W nicht und erlaubt somit die Beobachtung im Betrieb. Der Treiber mit dem geöffneten, schwarz lackierten Leistungsmodul ist in Abbildung 32 dargestellt. In den hier gezeigten Messergebnissen sind die Low-Side MOSFETs stets weich schaltend und die High-Side MOSFETs hart schaltend. Für eine detailliertere Beschreibung des Aufbaus und der Ergebnisse wird auf [3] verwiesen.

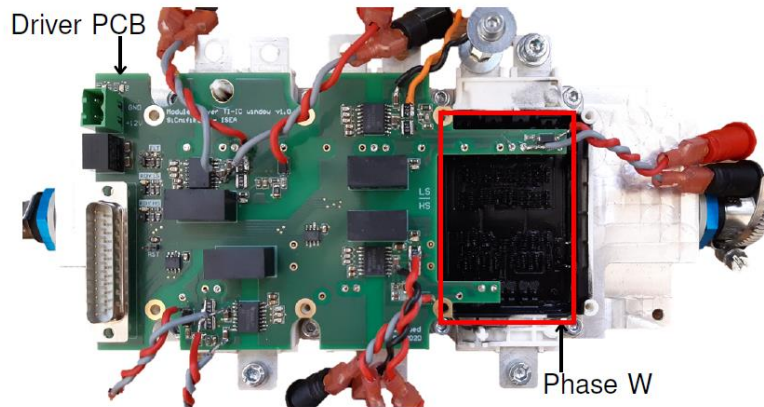


Abbildung 32: Geöffnetes Leistungsmodul mit Treiber [3]

In Abbildung 33 ist eine Infrarotaufnahme des Leistungsmoduls im Betrieb zu sehen. Deutlich zu erkennen sind die sechs Dies der Low-Side $S_{LS,x}$ sowie die sechs Dies der High-Side $S_{HS,x}$.

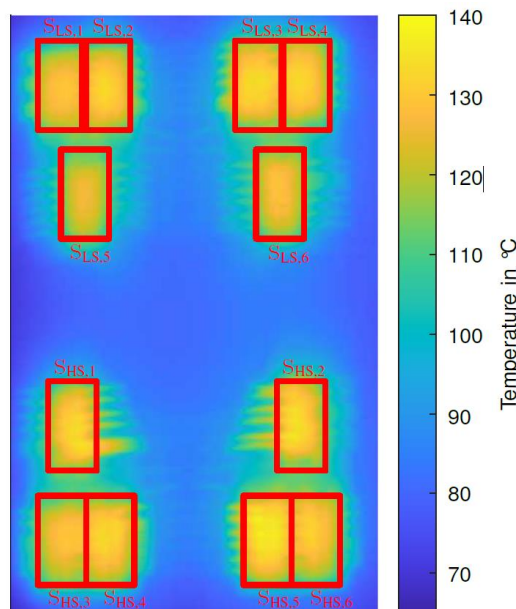


Abbildung 33: Infrarotaufnahme des Leistungsmoduls im Betrieb [3]

In Abbildung 34 ist der Temperaturverlauf der Low-Side Dies während einer Gleichstrombelastung von 300 A in Vorwärtsrichtung zu sehen. Zu erkennen sind die unterschiedlichen Temperaturverteilungen der einzelnen Dies. Der MOSFET $S_{LS,5}$ hat die geringste Temperatur und der MOSFET $S_{LS,3}$ hat die höchste Temperatur. Nach etwa 9 s beträgt die Temperaturdifferenz der beiden MOSFETs 7 °C. Die geringe Temperaturdifferenz ist auf den positiven Temperaturkoeffizienten des Einschaltwiderstands $R_{DS,on}$ zurückzuführen. Mit steigender Temperatur wird der Einschaltwiderstand größer. Dadurch leitet der MOSFET weniger Strom und die Leitverluste werden reduziert. Dementsprechend balanciert sich die Temperatur bei einer Gleichstromanregung zu einem gewissen Teil von allein.

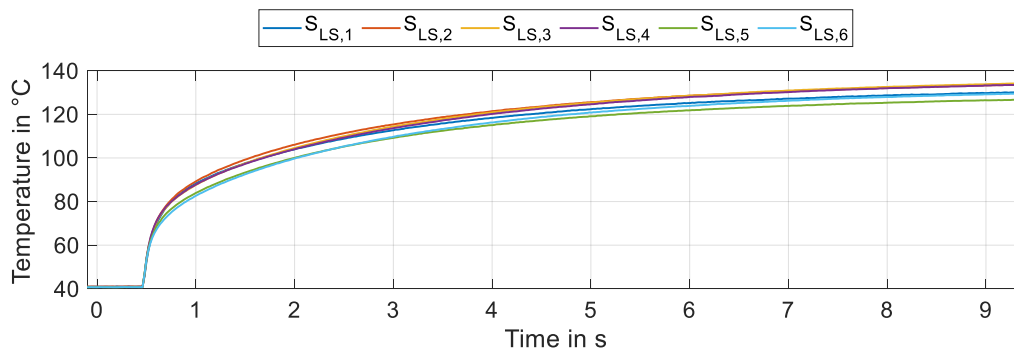


Abbildung 34: Temperaturverlauf einzelner Dies bei Gleichstrom durch die MOSFETs [3]

In Abbildung 35 ist der Temperaturverlauf der Low-Side Dies zu sehen. Für die Messung werden die Body-Dioden der SiC-MOSFETs ab dem Zeitpunkt 0 s mit einem Gleichstrom von 100 A belastet. Die Gate-Source Spannung ist $u_{GS} = -5$ V, die MOSFETs leiten somit nicht. Der Die $S_{LS,3}$ hat die geringste Temperatur und der Die $S_{LS,2}$ die höchste Temperatur. Die maximale Temperaturdifferenz der beiden Dies ist 33 °C. Die hohe Temperaturdifferenz ist auf den negativen Temperaturkoeffizienten der Vorwärtsspannung der Body-Dioden zurückzuführen. Je größer die Temperatur des Dies ist, desto geringer ist die Vorwärtsspannung. Bei den parallelgeschalteten Dies führt die Body-Diode mit der geringsten Vorwärtsspannung den meisten Strom und verursacht somit am meisten Verluste. Dadurch erhöht sich die Temperatur weiter und die Vorwärtsspannung sinkt abermals. Aus diesem Grund führt der negative Temperaturkoeffizient zu einer erhöhten Temperaturdifferenz der MOSFET Dies.

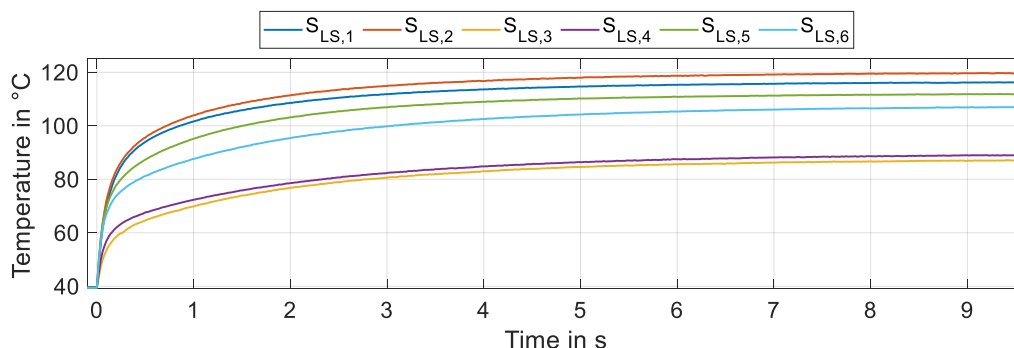


Abbildung 35: Temperaturverlauf einzelner Dies bei Gleichstrom durch die Body-Dioden [3]

In Abbildung 36 ist der Temperaturverlauf von zwei Low-Side Dies im getakteten Betrieb zu sehen. Die dc-Link Spannung beträgt 100 V, der Laststrom 100 A und die Schaltfrequenz ist 50 kHz. Die Totzeit t_{dead} wird zwischen 500 ns und 1,5 μ s variiert. Zu erkennen ist, dass der Temperaturunterschied der beiden Dies mit zunehmender Totzeit ebenfalls steigt. Dies ist darauf zurückzuführen, dass die Verluste in den Body-Dioden mit größerer Totzeit zunehmen. Wir bereits zuvor beschrieben führt der negative Temperaturkoeffizient der Vorwärtsspannung zu einem größeren Temperaturunterschied der beiden Dies.

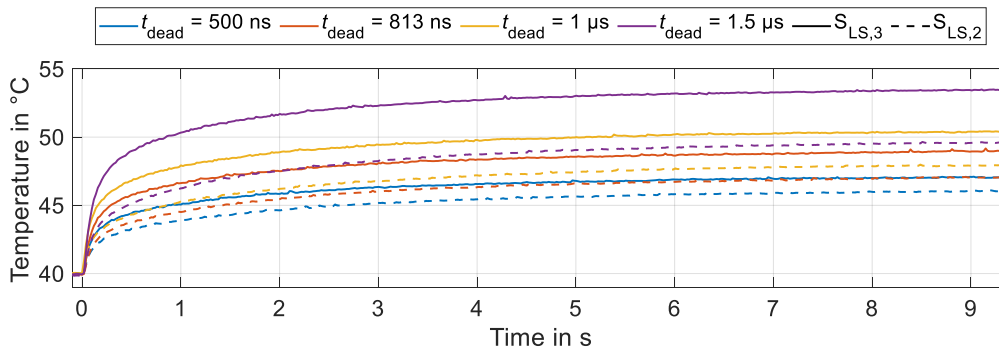


Abbildung 36: Temperaturverlauf einzelner Dies im getakteten Betrieb mit verschiedenen Totzeiten [3]

In Abbildung 37 ist der Temperaturverlauf für verschiedene Schaltfrequenzen f_{SW} dargestellt. Die dc-Link Spannung ist $U_{dc} = 100\text{ V}$ und der Laststrom $I_{load} = 100\text{ A}$. Die Totzeit ist $t_{dead} = 1,5\text{ }\mu\text{s}$. Zu erkennen ist, dass die Temperaturdifferenz der beiden MOSFETs $S_{LS,3}$ und $S_{LS,2}$ mit steigender Schaltfrequenz f_{SW} zunimmt. Der Grund für die größere Temperaturdifferenz ist, dass der Anteil der Totzeit t_{dead} pro Periode mit zunehmender Schaltfrequenz f_{SW} zunimmt. Dadurch nehmen die Leitverluste, die durch den Einschaltwiderstand $R_{DS,on}$ verursacht werden, ab und die Leitverluste, die durch die Body-Diode verursacht werden, steigen. Der negative Temperaturkoeffizient der Vorwärtsspannung führt dadurch zu einer größeren Temperaturdifferenz.

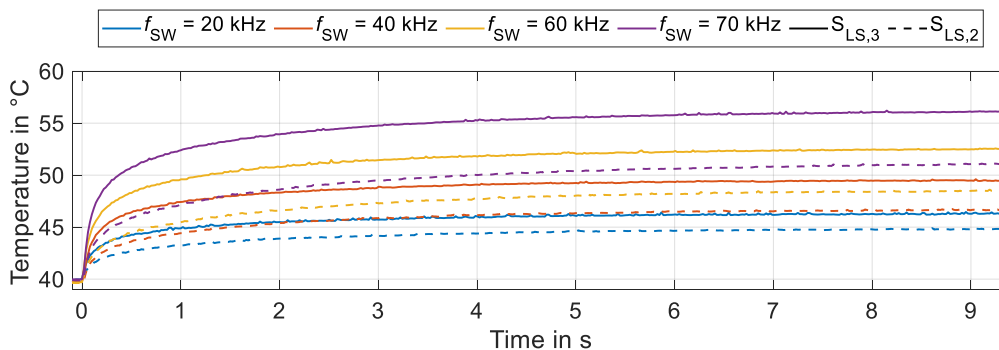


Abbildung 37: Temperaturverlauf einzelner Dies im getakteten Betrieb mit verschiedenen Schaltfrequenzen [3]

In Abbildung 38 ist der Temperaturverlauf der High-Side MOSFETs $S_{HS,1}$ und $S_{HS,3}$ für verschiedene Lastströme I_{load} dargestellt. Die dc-Link Spannung ist 400 V , die Totzeit ist $t_{dead} = 1,5\text{ }\mu\text{s}$ und die Schaltfrequenz ist $f_{SW} = 50\text{ kHz}$. Die Temperaturdifferenz zwischen den beiden MOSFETs nimmt mit steigendem Laststrom zu. Anders als bei den Low-Side MOSFETs treten bei den High-Side MOSFETs Schaltverluste auf. Die Temperaturdifferenzen sind unter anderem durch unterschiedliche Schwellspannungen der MOSFETs zu erklären. Der MOSFET mit der geringsten Schwellspannung schaltet zuerst ein und als letztes aus. Dadurch erzeugt der jeweilige MOSFET die größten Schaltverluste. Da die Schwellspannung einen negativen Temperaturkoeffizienten hat, steigt die Temperaturdifferenz bei größeren Temperaturen. Der negative Temperaturkoeffizient der Schwellspannung kann in diesem Fall

nicht vollständig vom positiven Temperaturkoeffizienten des Einschaltwiderstands kompensiert werden.

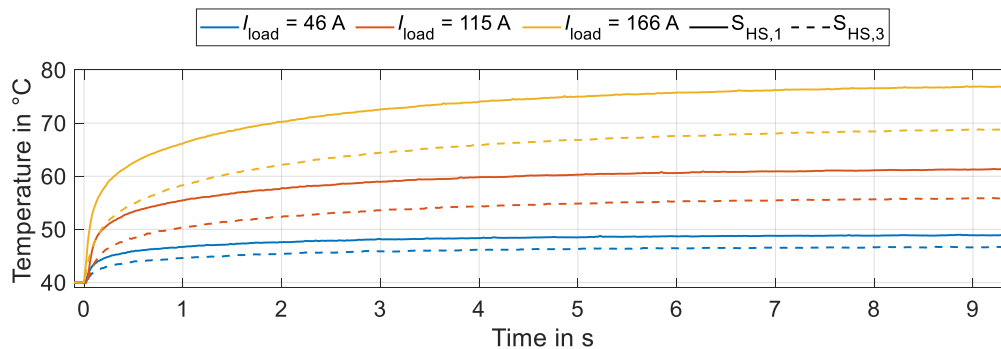


Abbildung 38: Temperaturverlauf einzelner Dies im getakteten Betrieb mit verschiedenen Lastströmen [3]

In Abbildung 39 ist der Temperaturverlauf der High-Side MOSFETs $S_{HS,1}$ und $S_{HS,3}$ für verschiedene dc-Link Spannungen U_{dc} zu sehen. Der Laststrom ist $I_{load} = 100\text{ A}$, die Totzeit ist $t_{dead} = 1,5\text{ }\mu\text{s}$ und die Schaltfrequenz ist $f_{SW} = 50\text{ kHz}$. Zu erkennen ist, dass die Temperaturdifferenz mit steigender dc-Link Spannung zunimmt. Dieses Verhalten ist wie zuvor erwähnt durch den negativen Temperaturkoeffizienten der Schwellspannung zu erklären. Durch die größere dc-Link Spannung steigen die Schaltverluste und damit die Temperatur der MOSFETs.

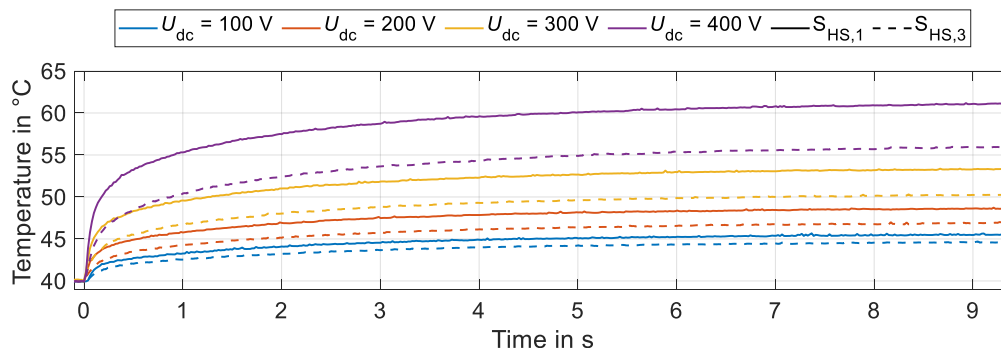


Abbildung 39: Temperaturverlauf einzelner Dies im getakteten Betrieb mit verschiedenen dc-Link Spannungen [3]

2.4.4 Untersuchung von Asymmetrien mit Messungen

Um die Auswirkungen von geometrischen Asymmetrien und unterschiedlichen Bauteilcharakteristiken bei parallelgeschalteten SiC-MOSFETs zu untersuchen, wurden zwei Platinen entwickelt, bei denen sich die verschiedenen Leitungsinduktivitäten variieren lassen. Dabei wurde eine Platine für MOSFETs im TO247-4 Gehäuse und eine Platine für MOSFETs ohne Gehäuse entwickelt und aufgebaut. In Abbildung 40 ist das Ersatzschaltbild mit den variablen parasitären Induktivitäten und zwei parallelgeschalteten Halbbrücken dargestellt.

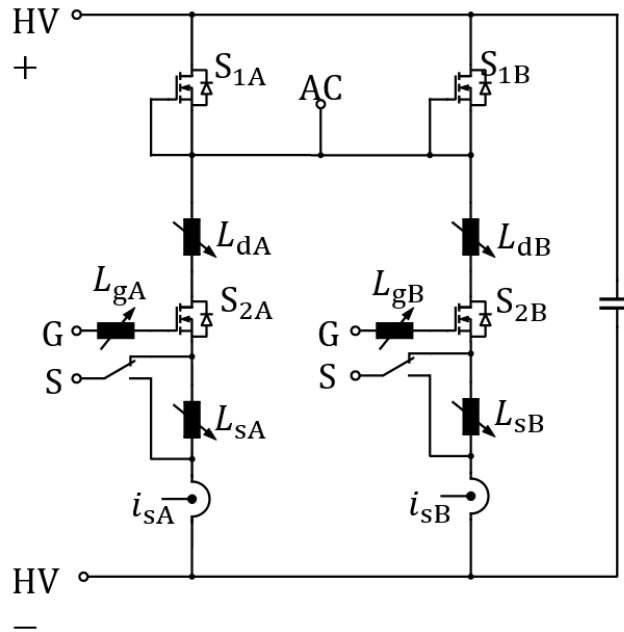
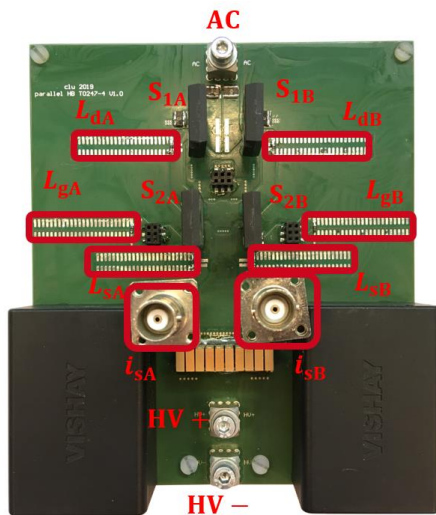
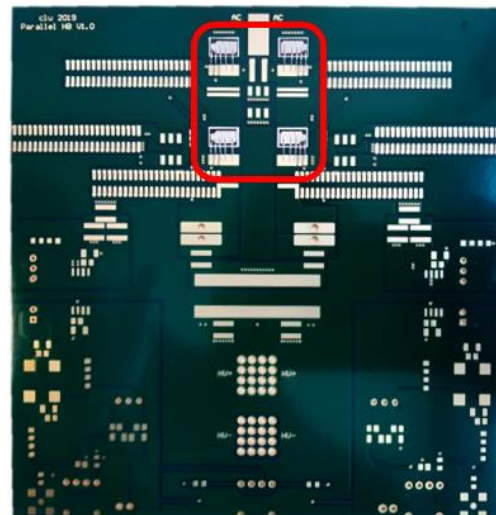


Abbildung 40: Schaltplan von zwei parallelgeschalteten Halbbrücken

In Abbildung 41 sind beide Platinen dargestellt. Die Platine mit den MOSFETs ohne Gehäuse wurde von Infineon mit MOSFETs bestückt und drahtgebondet. Am ISEA wurden die Chips mit einem Silikongel vergossen, um vor Staub und Feuchtigkeit zu schützen und eine größere Isolationsfestigkeit zu bieten. Anschließend wurde die Platine bestückt. Die Induktivitäten lassen sich jeweils über eine Jumper-Leiste variieren. Je nachdem an welcher Stelle der Jumper eingefügt wird, ergibt sich eine bestimmte Fläche für den Strompfad. Je größer die Fläche ist, die der Strompfad aufspannt, desto größer ist die Induktivität.



Halbbrücke mit TO-247-4 MOSFETs



Halbbrücke mit MOSFETs ohne Gehäuse

Abbildung 41: Aufbau der Halbbrücken

In Abbildung 42 ist beispielhaft der Verlauf der Induktivität L_{dA} bei Variation der Jumper-Position dargestellt. Zu sehen ist, dass sich die Induktivität pro Jumper-Position um etwa 600 pH erhöht.

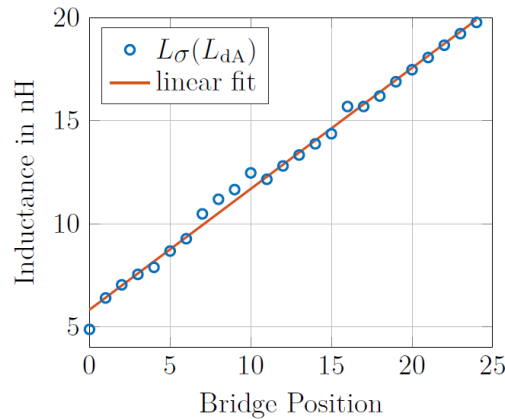


Abbildung 42: Variation der Drain-Induktivität L_{dA}

Die beiden Lowside-MOSFETs werden jeweils über einen eigenen Treiber angesteuert. Die Highside-MOSFETs sind dauerhaft ausgeschaltet, indem die Gate- und Source-Kontakte miteinander kurzgeschlossen sind.

Die Chips ohne Gehäuse bieten den Vorteil, dass parasitäre Einflüsse der Gehäuse auf die Schaltvorgänge vermieden werden. Allerdings müssen diese Chips von Infineon direkt auf die Platine drahtgebondet werden. Am ISEA gibt es somit keine Möglichkeit unterschiedliche Chips miteinander zu kombinieren. Insgesamt wurden von Infineon vier mit MOSFETs bestückte Platinen zu Verfügung gestellt. Mit diesen wurden Messungen durchgeführt, um die Auswirkungen der parasitären Induktivitäten zu untersuchen.

Um die Auswirkungen von unterschiedlichen parasitären Induktivitäten in parallelgeschalteten Halbbrücken zu untersuchen, werden Messungen mit den Chips ohne Gehäuse bei unterschiedlichen Induktivitäten durchgeführt.

In Abbildung 43 ist der Ein- und Ausschaltvorgang bei einer Zwischenkreisspannung von $U_{dc} = 200 \text{ V}$ und einem Laststrom von $I_{load} = 40 \text{ A}$ dargestellt. Es sind zwei Halbbrücken parallelgeschaltet, wobei die Halbbrücke A eine Drain-Induktivität $L_{dA} = 15 \text{ nH}$ und die Halbbrücke B eine Drain-Induktivität von $L_{dB} = 5 \text{ nH}$ aufweist. Die Drain-Source-Spannung u_{DS} und der Source-Strom i_S der Halbbrücke A weisen für den Einschaltvorgang eine etwas langsamer abklingende Schwingung auf als die Halbbrücke B. Die Einschaltverluste sind $E_{on,A} = 6,6 \text{ }\mu\text{J}$ und $E_{on,B} = 6,8 \text{ }\mu\text{J}$. Der Schalter der Halbbrücke A weist also leicht größere Einschaltverluste auf. Für den Ausschaltvorgang hat die Halbbrücke B die stärkeren Schwingungen, wenn auch die Unterschiede der beiden Halbbrücken nicht so signifikant sind wie beim Einschaltvorgang. Für die Ausschaltverluste ergibt sich $E_{off,A} = E_{off,B} = 2,9 \text{ }\mu\text{J}$.

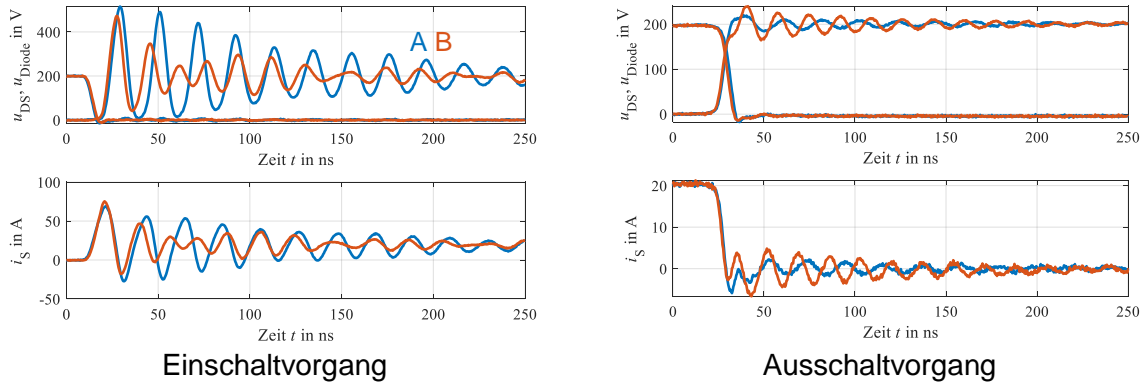


Abbildung 43: Messungen mit verschiedenen Drain-Induktivitäten $L_{dA} = 15 \text{ nH}$ (blau) und $L_{dB} = 5 \text{ nH}$ (orange)

In Abbildung 44 ist der Ein- und Ausschaltvorgang dargestellt, bei denen die Drain-Induktivitäten zu $L_{dA} = 15 \text{ nH}$ und $L_{dB} = 25 \text{ nH}$ gesetzt wurden. Während des Einschaltvorgangs tritt bei der Halbrücke B ein etwas größerer Spannungsüberschwinger auf und die Schwingung klingt langsamer ab als bei der Halbrücke A. Beim Source-Strom hat die Halbrücke A einen leicht größeren Überschwinger. Die Einschaltverluste für diese Messung sind $E_{on,A} = 6,7 \mu\text{J}$ und $E_{on,B} = 3,9 \mu\text{J}$. Für den Ausschaltvorgang unterscheiden sich die Messungen kaum. Der Source-Strom i_{sA} ist zu Beginn des Schaltvorgangs etwas größer und schwingt geringfügig weiter unter als der Source-Strom i_{sB} . Die Ausschaltverluste belaufen sich zu $E_{off,A} = 4,0 \mu\text{J}$ und $E_{off,B} = 4,2 \mu\text{J}$.

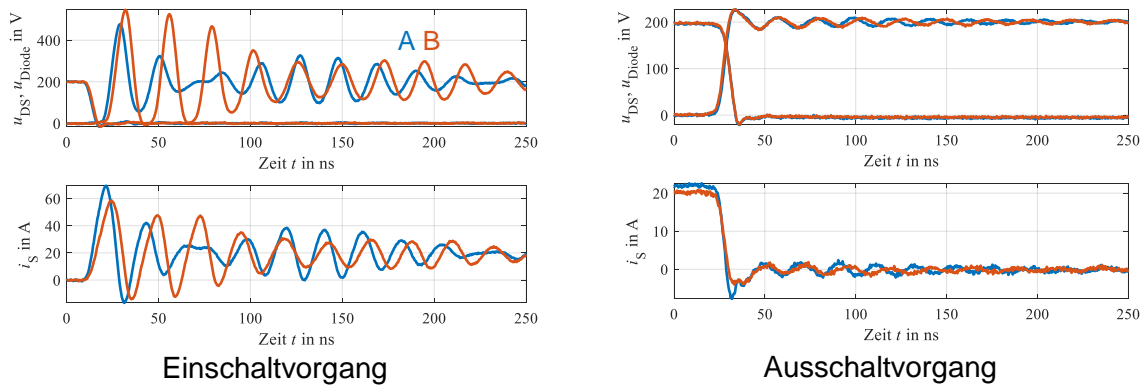


Abbildung 44: Messungen mit verschiedenen Drain-Induktivitäten. $L_{dA} = 15 \text{ nH}$ (blau) und $L_{dB} = 25 \text{ nH}$ (orange)

Die Auswirkungen von verschiedenen Bauteilcharakteristiken werden durch die Kombination von verschiedenen MOSFETs im TO247-4 Gehäuse untersucht. Es wurden insgesamt 20 MOSFETs im TO247-4 Gehäuse hinsichtlich ihrer elektrischen Charakteristiken vermessen. Im Folgenden werden Messungen von zwei MOSFETs mit den Bauteilcharakteristiken aus Tabelle 2 gezeigt.

Tabelle 2: Bauteilcharakteristiken der MOSFETs 9 und 3

	MOSFET 9	MOSFET 3
Schwellspannung U_{th}	3,67 V	3,56 V
Einschaltwiderstand $R_{ds,on}$	22,4 m Ω	16,7 m Ω

In Abbildung 45 ist der gemessene Ausschaltvorgang der parallelgeschalteten MOSFETs 9 und 3 dargestellt. Darin ist zu erkennen, dass der MOSFET 3 mit dem geringeren Einschaltwiderstand vor dem Ausschaltvorgang mehr Strom führt, da die MOSFETs als Stromteiler mit zwei unterschiedlichen Widerständen zu betrachten sind. Ebenfalls auffallend ist, dass der Drain-Strom des MOSFETs 3 später zu fallen beginnt als der des MOSFETs 9. Dies ist auf die geringere Schwellspannung zurückzuführen. Die Gate-Source-Spannung benötigt mehr Zeit, um unter die Schwellspannung zu sinken, was zum Ausschalten des MOSFETs führt. Im Spannungsverlauf sind lediglich geringe Unterschiede bemerkbar. So ist die Schwingung der Drain-Source-Spannung des MOSFETs 9 etwas mehr gedämpft als die des MOSFETs 3.

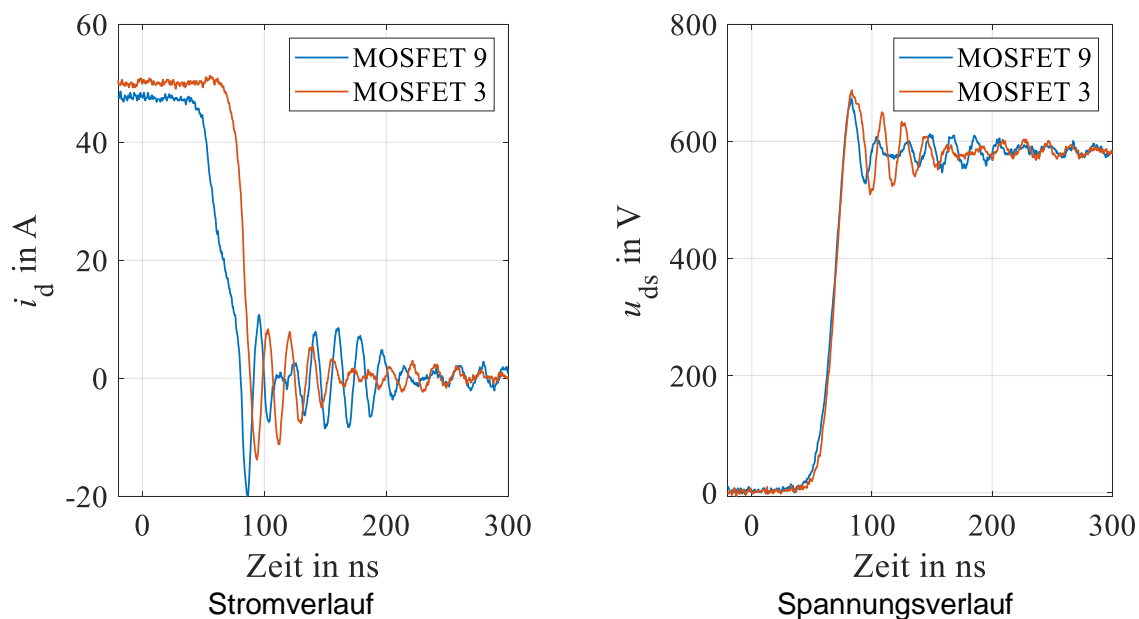


Abbildung 45: Messungen mit den verschiedenen MOSFETs 9 und 3

2.4.5 Untersuchung von Asymmetrien durch Simulationen

Um die Auswirkungen von Asymmetrien genauer zu untersuchen, wurden etliche Simulationen mit der Software Simetrix durchgeführt. Die simulative Untersuchung bietet den Vorteil, dass parasitäre Elemente und Bauteilcharakteristiken beliebig und unabhängig von anderen Größen variiert werden können. In diesem Kapitel werden einige Simulationsergebnisse vorgestellt. Es werden jeweils die Drain-Ströme $i_{D,S1}$ und $i_{D,S2}$ von den zwei parallelgeschalteten MOSFETs $S_{L,1}$ und $S_{L,2}$ gezeigt. Außerdem werden die Auswirkungen auf die Schaltenergien $E_{on,S1}$, $E_{on,S2}$, sowie $E_{off,S1}$ und $E_{off,S2}$ diskutiert. Weitere Ergebnisse und eine detailliertere Beschreibung sind in [4] nachzulesen.

In Abbildung 46 ist die Auswirkung von verschiedenen Drain-Induktivitäten $L_{D,S2}$ während des Einschaltvorgangs zu sehen. Die Drain-Induktivität $L_{D,S1}$ beträgt 30 nH. Zu erkennen ist, dass der MOSFET mit der geringeren Drain-Induktivität während des Schaltvorgangs den größeren Drain-Strom führt. Die Steigung des Drain-Stroms $i_{D,S1}$ bleibt während der Schaltflanke unbeeinflusst. Die Steigung des Drain-Stroms $i_{D,S2}$ hingegen nimmt mit größeren Drain-Induktivitäten ab. In Abbildung 47 ist der Einschaltvorgang über einen längeren Zeitraum abgebildet. Zu erkennen ist der anschließende Kommutierungsvorgang der Drain-Ströme. Der MOSFET mit der geringeren Drain-Induktivität im Pfad führt zunächst den größeren Drain-

Strom. Die Drain-Ströme kommutieren innerhalb mehrerer 100 ns zu ihrem Endwert von 50 A. Für den Fall, dass beide Drain-Induktivitäten den gleichen Wert haben, also $L_{D,S1} = L_{D,S2} = 30 \text{ nH}$ wird der Endwert bereits innerhalb von etwa 100 ns erreicht.

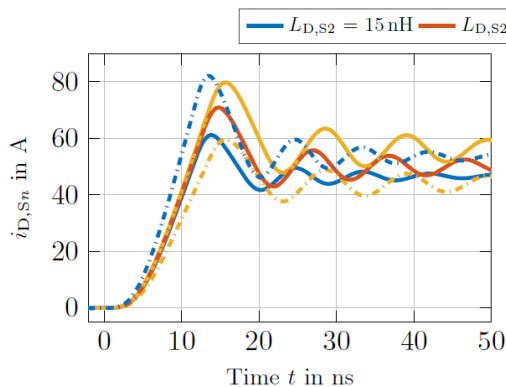


Abbildung 46: Drain-Strom Verläufe für verschiedene Drain-Induktivitäten [4]

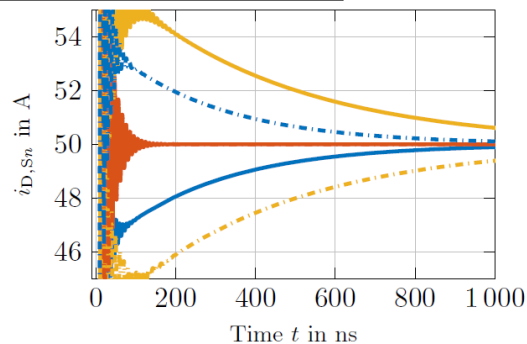


Abbildung 47: Kommutierungsphase der Drain-Strom Verläufe für verschiedene Drain-Induktivitäten [4]

In Abbildung 48 ist das Verhältnis der Einschaltenergien $E_{on,S1}$ und $E_{on,S2}$ für verschiedene Drain-Induktivitäten $L_{D,S2}$ und Gate-Widerstände R_G dargestellt. Als Drain-Induktivität $L_{D,S1}$ werden 10 nH verwendet. Zu erkennen ist, dass der MOSFET mit der größeren Drain-Induktivität im Kommutierungspfad geringere Einschaltenergien aufweist. Der Einfluss der Drain-Induktivität auf das Verhältnis der Einschaltenergien sinkt mit zunehmendem Gate-Widerstand R_G .

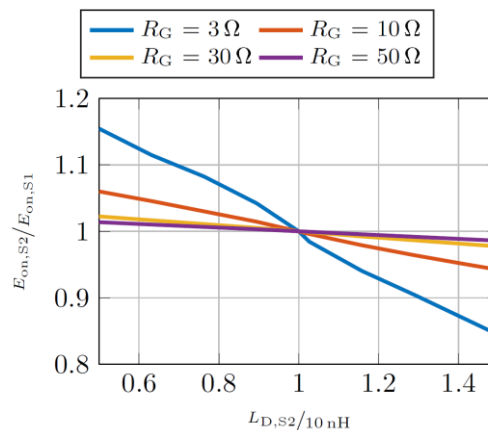


Abbildung 48: Verhältnis der Einschaltenergien für verschiedene Drain-Induktivitäten [4]

In Abbildung 49 ist die Auswirkung auf die Drain-Ströme während des Ausschaltvorgangs für verschiedene Einschaltwiderstände $R_{DS,S2}$ dargestellt. Während des eigentlichen Schaltvorgangs ist kein Unterschied zwischen den beiden Drain-Strömen zu erkennen. In Abbildung 50 ist der anschließende Kommutierungsvorgang dargestellt. Zu sehen ist, dass sich die Drain-Ströme nach dem Schaltvorgang langsam ihrem finalen Wert nähern. Der MOSFET mit dem geringeren Einschaltwiderstand trägt dabei den größeren Strom.

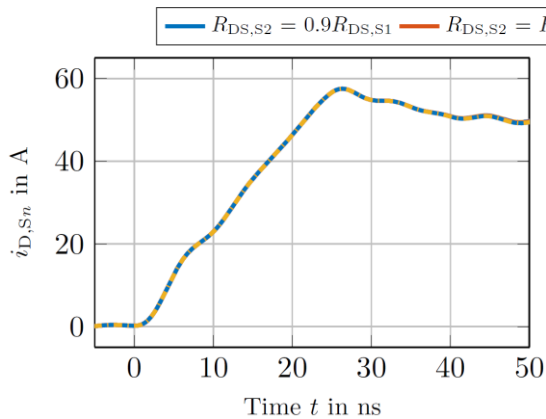


Abbildung 49: Drain-Strom Verläufe für verschiedene Einschaltwiderstände R_{DS} [4]

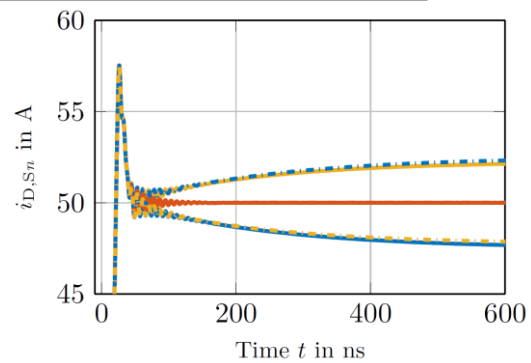


Abbildung 50: Kommutierungsphase der Drain-Strom Verläufe für verschiedene Einschaltwiderstände R_{DS} [4]

In Abbildung 51 ist das Verhältnis der Einschaltenergien $E_{on,S1}$ und $E_{on,S2}$ dargestellt. Der Einschaltwiderstand von MOSFET $S_{L,1}$ beträgt $R_{DS,S1} = 27,4 \text{ m}\Omega$. Zu erkennen ist, dass sich die Einschaltenergien kaum unterscheiden. Dies ist darauf zurückzuführen, dass sich die Drain-Ströme während der Einschaltvorgänge ebenfalls nicht unterscheiden.

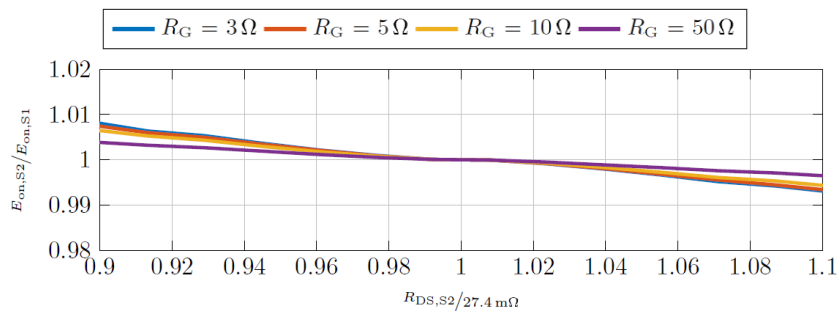


Abbildung 51: Verhältnis der Einschaltenergien für verschiedene Einschaltwiderstände [4]

In Abbildung 52 sind die Drain-Ströme während des Ausschaltvorgangs für verschiedene Schwellspannungen $U_{th,S2}$ zu sehen. Der Drain-Strom $i_{D,S1}$ wird kaum durch die unterschiedlichen Schwellspannungen $U_{th,S2}$ beeinflusst. Dahingegen nimmt der Drain-Strom $i_{D,S2}$ mit steigender Schwellspannung $U_{th,S2}$ schneller ab.

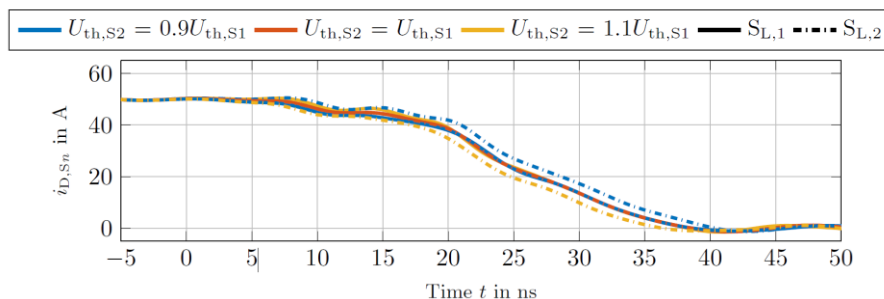


Abbildung 52: Drain-Strom Verläufe für verschiedene Schwellspannungen [4]

In Abbildung 53 ist das Verhältnis der Ausschaltenergien $E_{off,S1}$ und $E_{off,S2}$ für verschiedene Schwellspannungen $U_{th,S2}$ und verschiedene Gate-Widerstände R_G zu sehen. Die Schwellspannung $U_{th,S1}$ beträgt $4,79 \text{ V}$. Zu erkennen ist, dass der MOSFET mit der geringeren

Schwelspannung die größere Einschaltenergie verursacht. Mit steigendem Gate-Widerstand wird dieser Einfluss verstärkt.

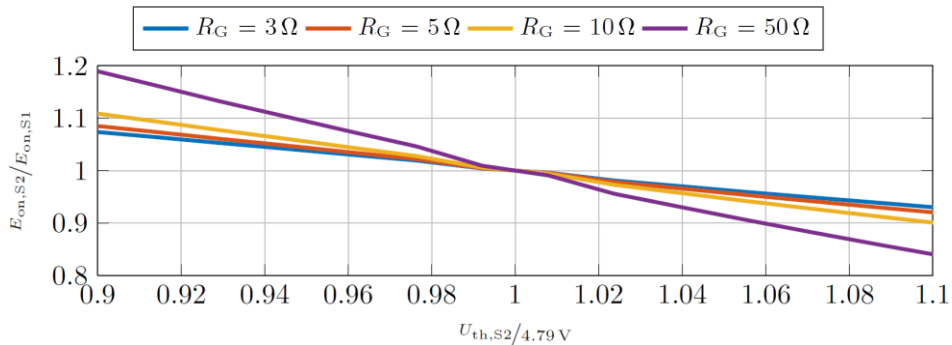


Abbildung 53: Verhältnis der Einschaltenergien für verschiedene Schwellspannungen [4]

2.4.6 Gate-Treiber zum Balancieren von Verlusten durch Gate-Signalverzögerung

Um die ungleichmäßig verteilten Verluste von parallelgeschalteten SiC-MOSFETs auszugleichen, wurde am ISEA ein Treiber entwickelt, der es ermöglicht, die Gate-Signale der einzelnen MOSFETs im Bereich von Picosekunden zu verzögern. Um die Funktion des Treibers zu verifizieren wurden zwei Halbbrücken parallel verschaltet. Der Aufbau sowie die Funktionsweise des Treibers ist in [5] detailliert beschrieben. Das vereinfachte Ersatzschaltbild des Messaufbaus ist in Abbildung 54 dargestellt.

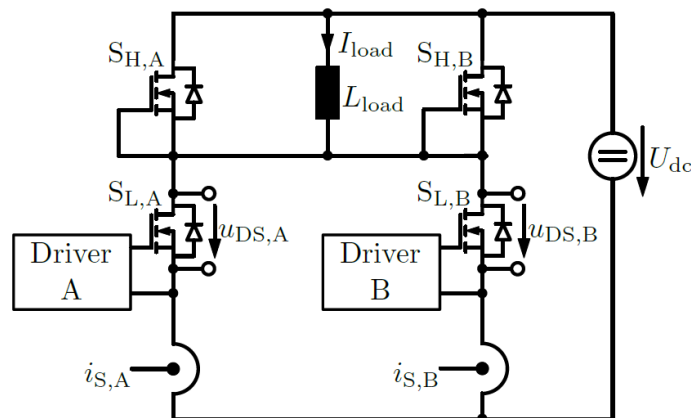


Abbildung 54: Vereinfachtes Ersatzschaltbild zur Parallelschaltung zweier Halbbrücken [5]

Die Steuerplatine, die Gate-Treiber und die Platine mit den zu vermessenden MOSFETs sind in Abbildung 55 zu sehen.

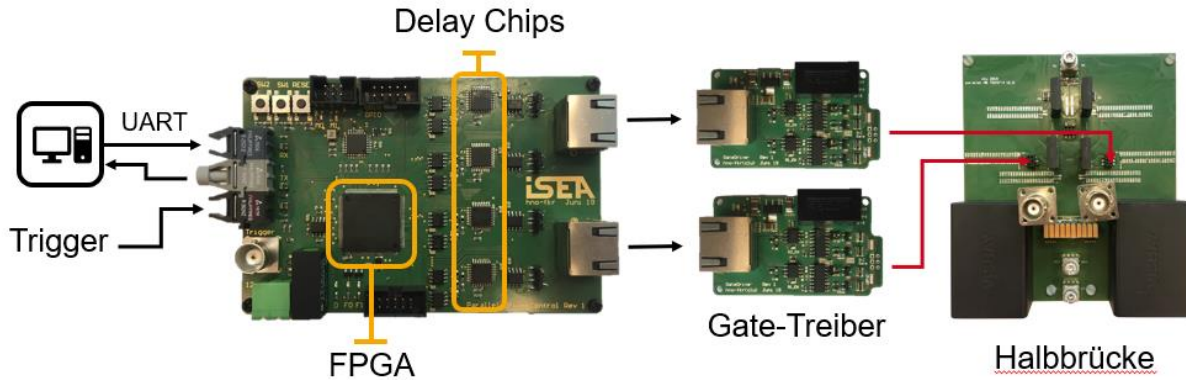


Abbildung 55: Aufbau des Gate-Treibers mit gezielt verzögerten Gate-Signalen [5]

In Abbildung 56 sind die Auswirkungen der Gate-Signalverzögerung für den Ein- und Ausschaltvorgang abgebildet. Bei einer Verzögerung $t_{\text{delay}}^{\text{on,A}} = 0 \text{ ns}$ ist zu erkennen, dass der Überschwinger im Strom $i_{S,A}$ deutlich größer ist als der Überschwinger im Strom $i_{S,B}$. Mit zunehmender Verzögerung $t_{\text{delay}}^{\text{on,A}}$ sinkt der Überschwinger im Strom $i_{S,A}$, während der Überschwinger im Strom $i_{S,B}$ zunimmt.

Bei dem Ausschaltvorgang ist zu erkennen, dass der Strom $i_{S,A}$ kurz vor der fallenden Flanke zunimmt und eine Erhöhung bildet. Dies ist darauf zurückzuführen, dass der Schalter $S_{L,B}$ bereits ausschaltet und der Strom $i_{S,B}$ in den Schalter $S_{L,A}$ kommutiert. Mit zunehmender Verzögerung $t_{\text{delay}}^{\text{off,A}}$ nimmt die Erhöhung im Stromverlauf $i_{S,B}$ ab. Stattdessen bildet sich eine ähnliche Erhöhung im Stromverlauf $i_{S,A}$.

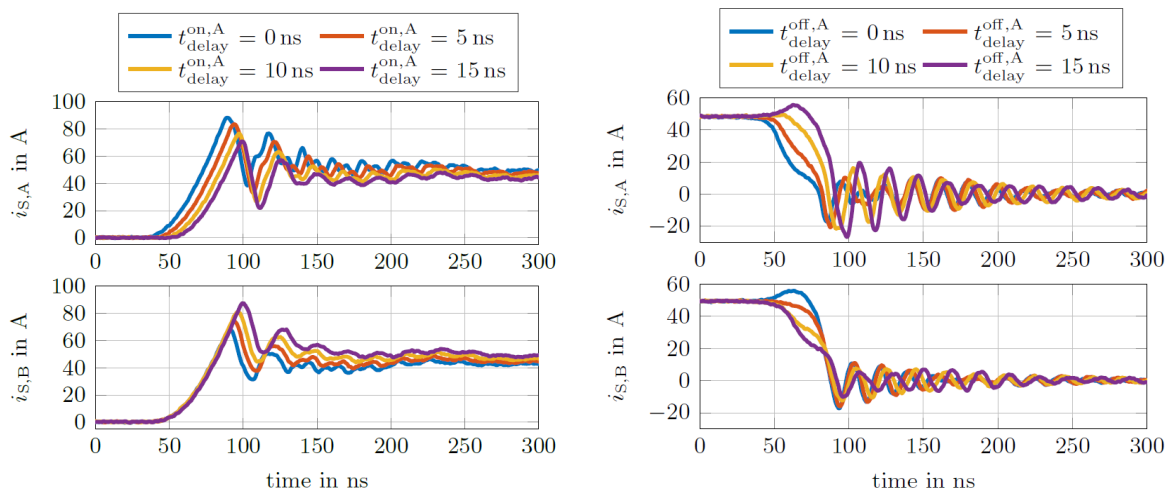


Abbildung 56: Auswirkungen der Gate-Signalverzögerung auf Ein- und Ausschaltvorgang [5]

In Abbildung 57 ist die Summe der Ein- und Ausschaltverluste E_A^{SW} und E_B^{SW} der beiden Schalter $S_{L,A}$ und $S_{L,B}$ dargestellt. Es ist zu erkennen, dass mit den Signalverzögerungen $t_{\text{delay}}^{\text{on,A}}$ und $t_{\text{delay}}^{\text{off,A}}$ die Schaltverluste der beiden Schalter beeinflusst werden können. Die Stelle, an der sich die beiden Flächen in der Abbildung schneiden, ist mit einer roten Linie markiert. Auf dieser Linie sind die Schaltverluste der beiden Schalter gleich. Mit diesem Treiber ist es also

möglich, die Schaltverluste von parallelgeschalteten SiC-MOSFETs gleichmäßig aufzuteilen und die Schalter somit optimal zu betreiben.

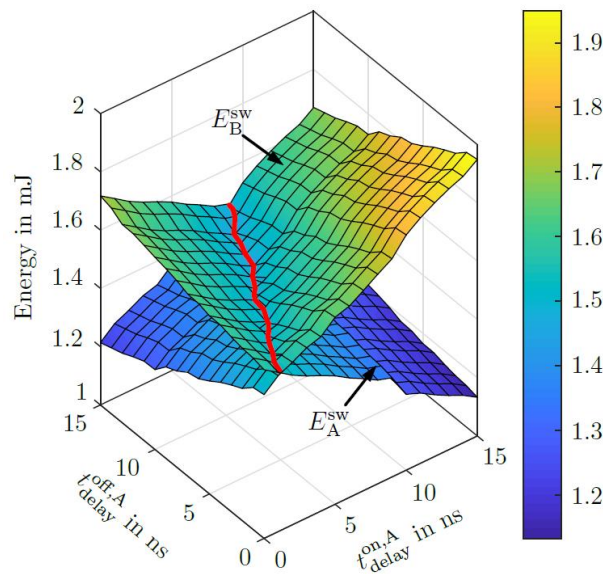


Abbildung 57: Auswirkungen der Gate-Signalverzögerung auf die Schaltverluste [5]

2.4.7 Gate-Treiber zum Balancieren von Verlusten durch Variation der Gate-Widerstände

Neben der in Kapitel 2.4.6 vorgestellten Methode zum Balancieren von Verlusten durch Gate-Signalverzögerung wurde ein weiteres Gate-Treiberkonzept entwickelt. Bei diesem Konzept hat jeder der parallelgeschalteten MOSFETs seinen eigenen Gate-Widerstand, der während des Schaltvorgangs variiert werden kann. Eine detailliertere Beschreibung ist in [6] nachzulesen. In Abbildung 58 ist ein beispielhafter Verlauf der beiden Gate-Widerstände $R_{G,A}$ und $R_{G,B}$ dargestellt. Der Schaltvorgang wird in zwei Stufen unterteilt. Zu Beginn des Schaltvorgangs wird ein geringer Gate-Widerstand R_{S1} für beide MOSFETs verwendet. Nach der Zeit $T_{S1,A}$, beziehungsweise $T_{S1,B}$ beginnt die zweite Stufe und der Gate-Widerstand wird auf den Wert R_{S2} erhöht. Dadurch wird der Schaltvorgang abgebremst und Überschwinger werden reduziert. Die vereinfachte Darstellung des Gate-Treibers ist in Abbildung 59 dargestellt.

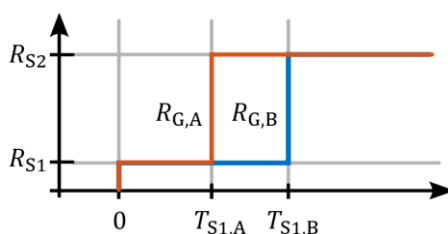


Abbildung 58: Beispielhafter Verlauf des Gate-Widerstands [6]

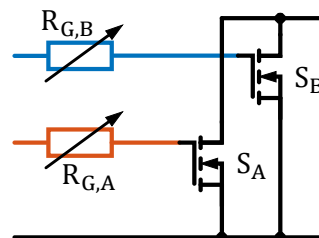


Abbildung 59: Vereinfachte Darstellung des Gate-Treibers

In Abbildung 60 und Abbildung 61 ist der Ausschaltvorgang der beiden MOSFETs S_A und S_B für verschiedene Zeiten $T_{S1,B}^{off}$ und einer Dauer $T_{S1,A}^{off} = 10$ ns zu sehen. Zu erkennen ist, dass der Strom $i_{S,B}$ bei einer Dauer $T_{S1,B}^{off} = 12$ ns zunächst steigt während der Strom $i_{S,A}$ sinkt. Mit

steigender Dauer $T_{S1,B}^{off}$ beginnt der Strom $i_{S,A}$ später zu sinken und der Anstieg im Strom $i_{S,B}$ flacht ab. Ab einer Dauer $T_{S1,B}^{off} = 16 \text{ ns}$ beginnt der Strom $i_{S,A}$ zu steigen, während der zuvor beobachtete initiale Anstieg des Stroms $i_{S,B}$ bereits nicht mehr vorhanden ist. Zu erklären ist dies damit, dass der Ausschaltvorgang vom MOSFET S_B mit steigender Dauer $T_{S1,B}^{off}$ beschleunigt wird, da der geringere Gate-Widerstand für eine längere Zeit verwendet wird. Dadurch schaltet der MOSFET S_B schneller aus als der MOSFET S_A und der Strom kommutiert von MOSFET S_B in den MOSFET S_A wodurch es zu einem Anstieg im Strom $i_{S,A}$ kommt. Zwischen den Drain-Source Spannungen $u_{DS,A}$ und $u_{DS,B}$ ist kaum ein Unterschied sichtbar, was auf die Parallelschaltung zurückzuführen ist.

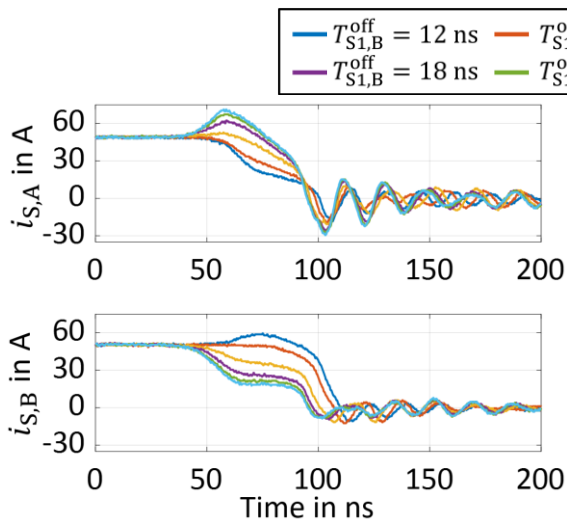


Abbildung 60: Stromverläufe während des Ausschaltvorgangs für verschiedene Zeiten $T_{S1,B}^{off}$ [6]

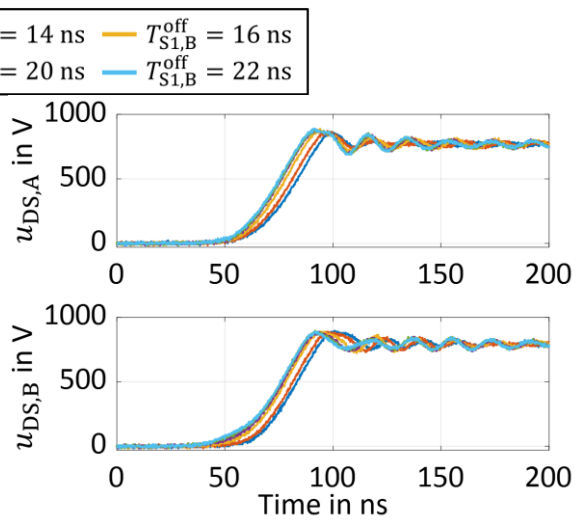


Abbildung 61: Spannungsverläufe während des Ausschaltvorgangs für verschiedene Zeiten $T_{S1,B}^{off}$ [6]

In Abbildung 62 sind die Ausschaltenergien E_A^{off} und E_B^{off} für verschiedene Zeiten $T_{S1,B}^{off}$ dargestellt. Für eine Dauer $T_{S1,B}^{off} = 10 \text{ ns}$ ist die Ausschaltenergie E_B^{off} mehr als fünf Mal größer als die Ausschaltenergie des MOSFETs S_A . Mit steigender Dauer $T_{S1,B}^{off}$ sinkt die Ausschaltenergie E_B^{off} und die Ausschaltenergie E_A^{off} nimmt zu. Bei einer Dauer von etwa $T_{S1,B}^{off} = 16,5 \text{ ns}$ haben beide Schalter die gleichen Ausschaltenergien. Für eine größere Dauer $T_{S1,B}^{off}$ ist die Ausschaltenergie E_A^{off} größer als die Ausschaltenergie E_B^{off} .

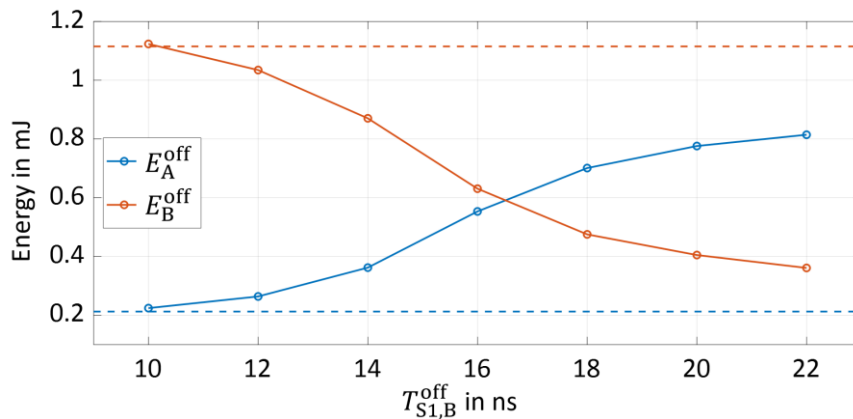


Abbildung 62: Ausschaltenergien für verschiedene Zeiten $T_{S1,B}^{off}$ [6]

In Abbildung 63 und Abbildung 64 sind die Strom- und Spannungsverläufe während des Einschaltvorgangs für verschiedene Zeiten $T_{S1,B}^{on}$ dargestellt. Die Dauer $T_{S1,A}^{on}$ entspricht 10 ns. Zu erkennen ist, dass der Strom $i_{S,A}$ bei einer Dauer $T_{S1,B}^{on} = 14$ ns deutlich früher beginnt zu steigen und einen deutlich größeren Spitzenwert hat als der Strom $i_{S,B}$. Mit steigender Dauer $T_{S1,B}^{on}$ sinkt der Überschwinger vom Strom $i_{S,A}$, während der Überschwinger vom Strom $i_{S,B}$ zunimmt. Dieses Verhalten ist dadurch zu erklären, dass der Schaltvorgang von MOSFET S_B mit zunehmender Dauer $T_{S1,B}^{on}$ beschleunigt wird. Dadurch beginnt der Schaltvorgang früher und der Strom von MOSFET S_B kann schneller aufgebaut werden. Aufgrund der Parallelschaltung gibt es bei den Drain-Source Spannungen $u_{DS,A}$ und $u_{DS,B}$ bis auf eine Verzögerung kaum Unterschiede im Verlauf.

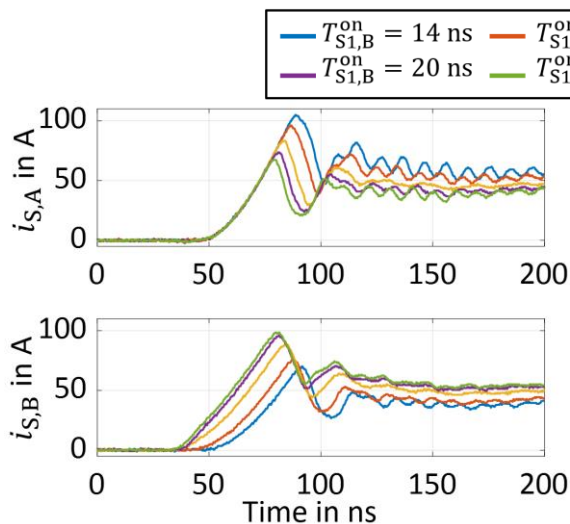


Abbildung 63: Stromverläufe während des Ausschaltvorgangs für verschiedene Zeiten $T_{S1,B}^{on}$ [6]

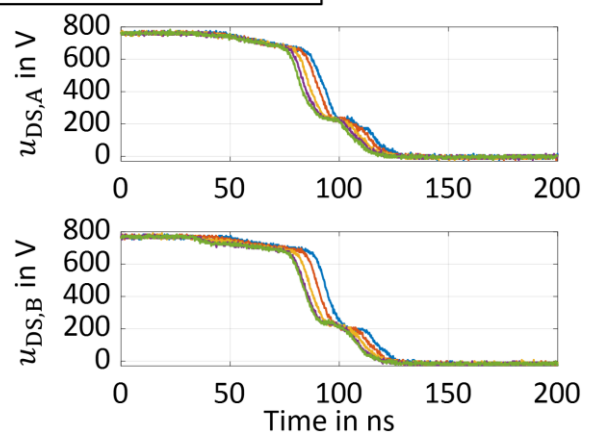


Abbildung 64: Spannungsverläufe während des Ausschaltvorgangs für verschiedene Zeiten $T_{S1,B}^{on}$ [6]

In Abbildung 65 sind die Einschaltenergien E_A^{on} und E_B^{on} für verschiedene Zeiten $T_{S1,B}^{on}$ dargestellt. Zu erkennen ist, dass die Einschaltenergie E_A^{on} für eine Dauer $T_{S1,B}^{on} = 14$ ns etwa 80 % größer ist als die Einschaltenergie E_B^{on} . Bei ungefähr $T_{S1,B}^{on} = 16,5$ ns sind die Einschaltenergien E_A^{on} und E_B^{on} etwa gleich groß. Für längere Zeiten $T_{S1,B}^{on}$ ist die Einschaltenergie E_B^{on} größer als die Einschaltenergie E_A^{on} .

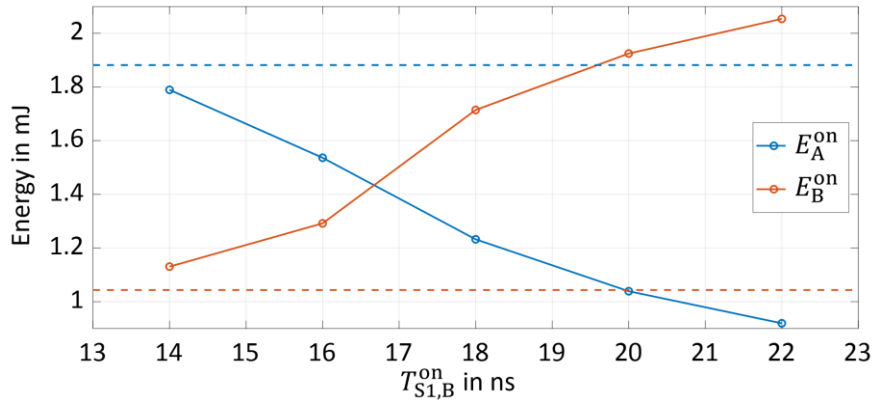


Abbildung 65: Einschaltenergien für verschiedene Zeiten $T_{S1,B}^{on}$ [6]

2.4.8 Gate-Treiber zum Balancieren von Temperaturen im PWM Betrieb

Um die Funktionstüchtigkeit der Gate-Treiber im kontinuierlichen Betrieb zu untersuchen, wurde ein Prüfstand aufgebaut, mit dem die MOSFET-Temperaturen während des PWM Betriebs gemessen werden können. Eine detaillierte Beschreibung der Messungen und des Aufbaus ist in [7] gegeben. Die verwendete Topologie ist in Abbildung 66 dargestellt. Es werden insgesamt drei Halbbrücken verwendet, wobei die MOSFETs der Halbbrücken HB A und HB B parallelgeschaltet sind. Die Halbbrücke Auxiliary HB dient dazu, den Strom in der Induktivität i_{load} aufzubauen. Die Halbbrücken HB A und HB B bestehen aus C3M0045065K MOSFETs im TO247-4 Gehäuse von Cree. Die MOSFETs $S_{L,A}$ und $S_{L,B}$ wurden so ausgewählt, dass sich der Einschaltwiderstand und die Schwellspannung um weniger als 1% voneinander unterscheiden. Dadurch soll gewährleistet werden, dass Asymmetrien der Bauteilcharakteristiken in den Messungen zu vernachlässigen sind. Die Temperaturen der Low-Side MOSFETs $S_{L,A}$ und $S_{L,B}$ werden mit einer Infrarotkamera im Betrieb gemessen. Die MOSFETs werden über den in Kapitel 2.4.6 beschriebenen Gate-Treiber angesteuert. Die beispielhaften Gate-Signale sind in Abbildung 67 dargestellt. Der MOSFET $S_{L,A}$ bekommt das gleiche Gate-Signal wie MOSFET $S_{L,B}$, allerdings etwas verzögert um die Schaltverluste zu beeinflussen.

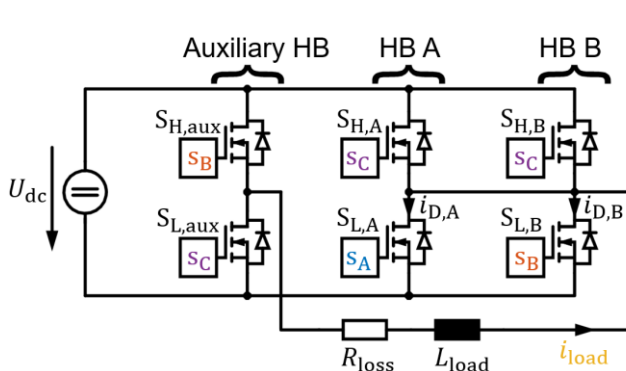


Abbildung 66: Verwendete Topologie [7]

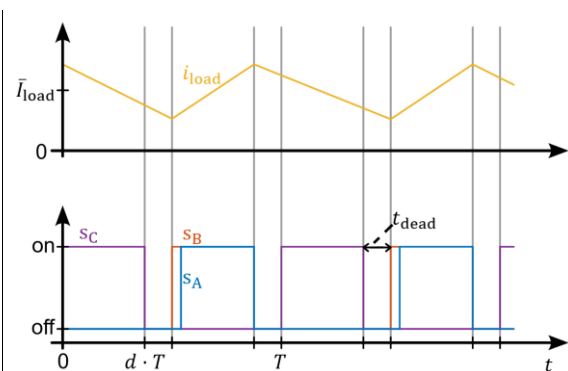


Abbildung 67: Beispielhafter Verlauf der PWM Signale [7]

Der Aufbau ist in Abbildung 68 dargestellt. Die MOSFETs $S_{L,A}$ und $S_{L,B}$ befinden sich auf der rechten Seite. Der MOSFET $S_{L,B}$ ist etwas weiter vom Zwischenkreiskondensator entfernt und hat dadurch eine größere Induktivität und einen größeren Widerstand in seiner Kommutierungszelle.

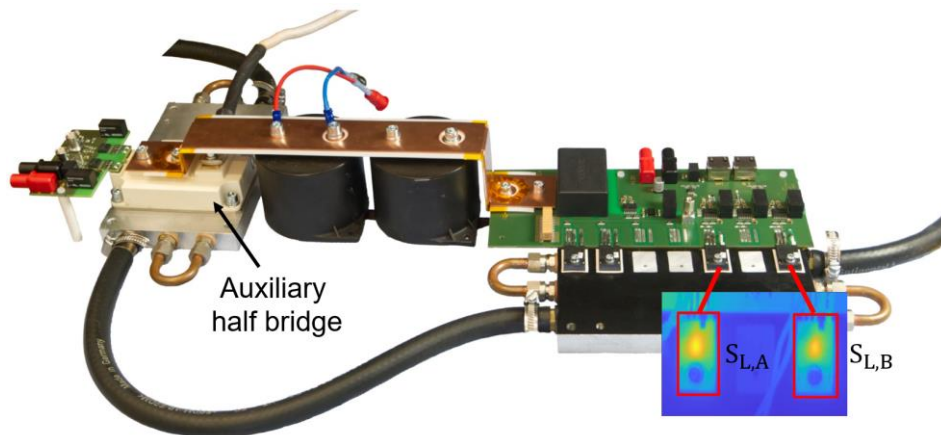


Abbildung 68: Prüfstand zur Vermessung der Temperatur von MOSFETs im TO247-4 Gehäuse [7]

In Abbildung 69 und Abbildung 70 sind die Drain Ströme $i_{D,A}$ und $i_{D,B}$ der beiden MOSFETs $S_{L,A}$ und $S_{L,B}$ während des Ein- und Ausschaltvorgangs bei der Verwendung eines push-pull Gate-Treibers dargestellt. Es ist zu erkennen, dass der MOSFET $S_{L,A}$ beim Einschalten einen etwas größeren Strom als der MOSFET $S_{L,B}$ führt. Dies ist auf die geringere Streuinduktivität des MOSFETs $S_{L,A}$ zurückzuführen. Unmittelbar vor dem Ausschaltvorgang ist zu sehen, dass der Strom $i_{D,A}$ größer ist als der Strom $i_{D,B}$. Dies ist auf den geringeren Widerstand im Kommutierungspfad von MOSFET $S_{L,A}$ zurückzuführen. Durch den größeren Strom treten im MOSFET $S_{L,A}$ höhere Leitverluste auf. Der Ausschaltvorgang von MOSFET $S_{L,A}$ dauert etwas länger als der Ausschaltvorgang von MOSFET $S_{L,B}$, wodurch größere Ausschaltverluste entstehen. Der MOSFET $S_{L,A}$ hat also größere Einschalt-, Ausschalt- und Leitverluste.

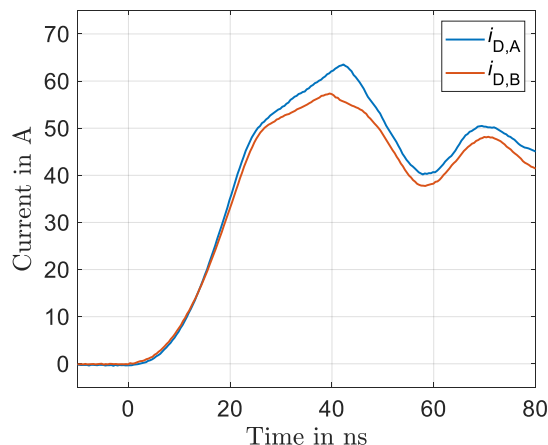


Abbildung 69: Stromverlauf während des Einschaltvorgangs mit konventionellem Treiber [7]

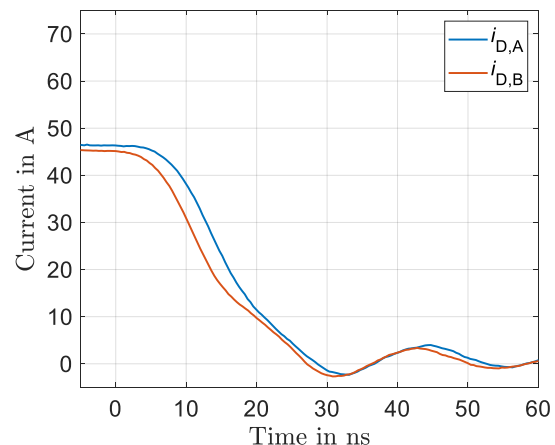


Abbildung 70: Stromverlauf während des Ausschaltvorgangs mit konventionellem Treiber [7]

Um die Verluste der beiden MOSFETs anzugleichen, wird nun das Einschaltsignal von MOSFET $S_{L,A}$ um 9,36 ns verzögert. Die Ausschaltsignale bleiben unverändert. Der Einschaltvorgang mit dem modifizierten Treiberprofil ist in Abbildung 71 dargestellt. Zu erkennen ist der deutlich geringere Stromanteil während des Schaltvorgangs von MOSFET

$S_{L,A}$: Erst nach etwa 650 ns ist der Strom $i_{D,A}$ größer als der Strom $i_{D,B}$ und nach etwa 1200 ns haben die beiden Ströme $i_{D,A}$ und $i_{D,B}$ ihren stationären Wert erreicht.

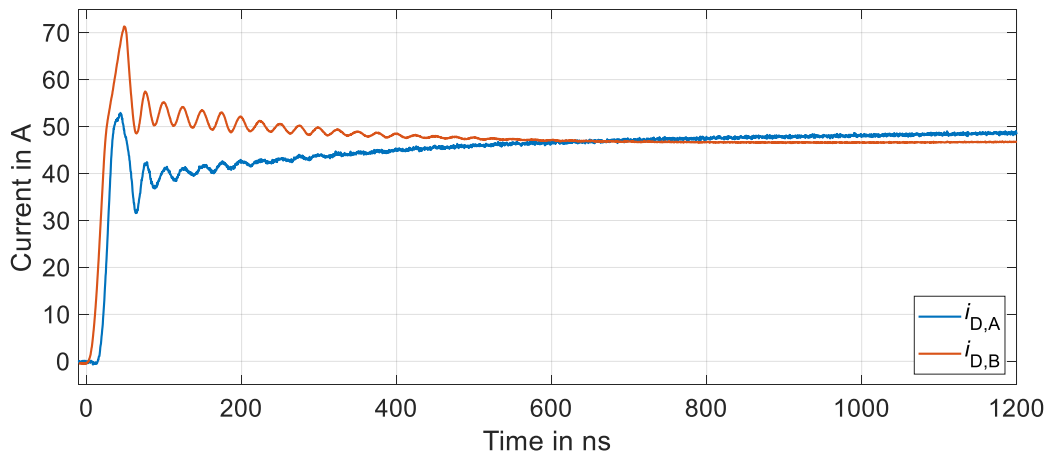


Abbildung 71: Stromverlauf während des Einschaltvorgangs mit einer Gate-Signalverzögerung $T_{S1,B}^{on} = 9,36 \text{ ns}$ [7]

In Abbildung 72 ist der Temperaturverlauf der beiden MOSFETs $S_{L,A}$ und $S_{L,B}$ im PWM Betrieb mit einer Schaltfrequenz von 30 kHz dargestellt. Bei den gestrichelten Linien wird eine konventionelle Push-Pull-Treiberstufe zur Ansteuerung der MOSFETs verwendet, die durchgezogenen Linien stellen den Temperaturverlauf mit einer Gate-Signalverzögerung von 9,36 ns für den MOSFET $S_{L,A}$ dar. Zu erkennen ist, dass sich die Temperaturen der beiden MOSFETs mit der Verwendung eines Push-Pull-Gate-Treibers um 8 K unterscheiden. Bei der Verwendung des Treibers mit der Signalverzögerung wird die Temperatur des MOSFETs $S_{L,A}$ um 7 K reduziert, während die Temperatur des MOSFETs $S_{L,B}$ um 1 K steigt. Nach 120 s liegt daher kein Temperaturunterschied zwischen den beiden MOSFETs mehr vor.

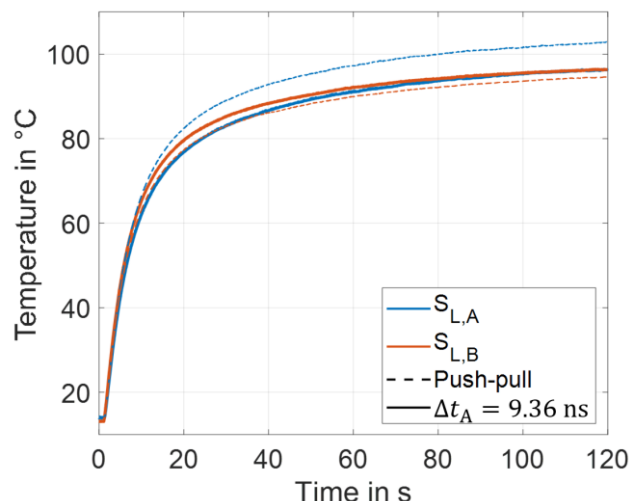


Abbildung 72: Temperaturverlauf [7]

Die Messungen zeigen, dass es durch gezieltes Ansteuern der einzelnen MOSFETs möglich ist, Verluste und Temperaturen von parallelgeschalteten MOSFETs anzugleichen. Bei unterschiedlichen Temperaturen würden die MOSFETs unterschiedlich schnell altern und die

Leistung der Schaltung müsste herabgesetzt werden, da bei der Auslegung Worst-Case-Fälle zu berücksichtigen sind. Durch den entwickelten Treiber ist ein Derating nicht mehr nötig und das Potential der SiC-MOSFETs kann besser ausgenutzt werden.

2.5 AP 5 Thermisches Design & Umrichter

In diesem Arbeitspaket geht es um das Design des Umrichtersystems, in dem die einzelnen Komponenten zusammengeführt werden. Dabei soll das System so kompakt wie möglich gebaut werden. Andererseits muss eine ausreichende Entwärmung gewährleistet sein. Außerdem muss der Aufbau hinsichtlich Streukapazitäten optimiert werden, damit Ableitströme möglichst gering bleiben, die durch steile Spannungsflanken hervorgerufen werden. Aufgaben des ISEA sind dabei, die Entwicklung des Inverters zu unterstützen und die Ansteuerungselektronik bereitzustellen.

Um den Gate-Treiber passend in das System zu integrieren wurde eine CAD Zeichnung der Treiberplatine (siehe Abbildung 73) angefertigt, den Projektpartnern zur Verfügung gestellt und darauf basierend der Treiber iterativ optimiert. Weiterhin wurde das Umrichterdesign in enger Zusammenarbeit mit den Projektpartnern erarbeitet.

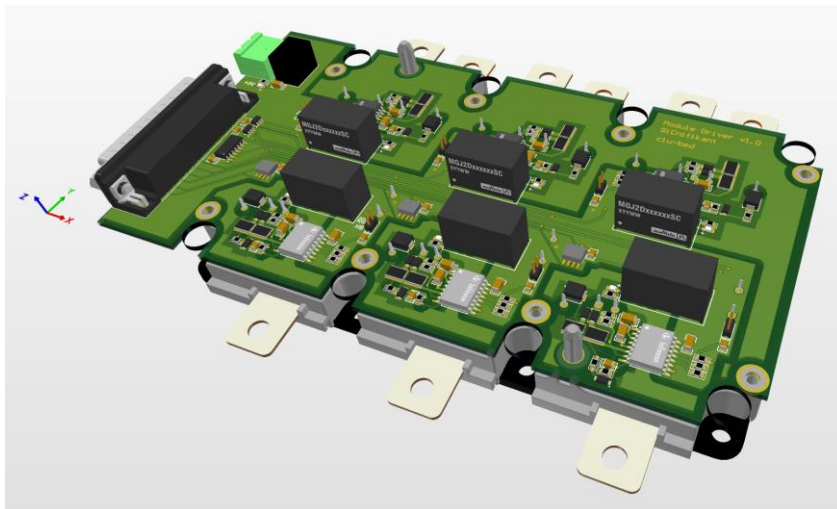


Abbildung 73: CAD Modell der Treiberplatine

Um einen sicheren Betrieb des Inverters zu gewährleisten wurde in der Gate-Treiberplatine eine Sensorik zur dc-Link Spannungsmessung implementiert. In Abbildung 74 sind zwei Messreihen zur Überprüfung der Sensorik dargestellt. Die Messreihen wurden mit zwei verschiedenen Gate-Treiberplatten durchgeführt um eventuelle Abweichungen, die durch Bauteiltoleranzen entstehen könnten zu überprüfen. Auf der x-Achse ist die angelegte dc-Link Spannung U_{DC} aufgetragen, auf der y-Achse ist die Ausgangsspannung U_{out} des Sensors aufgetragen. Zu erkennen ist, dass die beiden Messreihen nicht signifikant voneinander abweichen. Ebenfalls abgebildet ist der Linearisierung der Messpunkte, die mit der Formel $U_{DC} = 108,4 \cdot U_{out}$ berechnet wird.

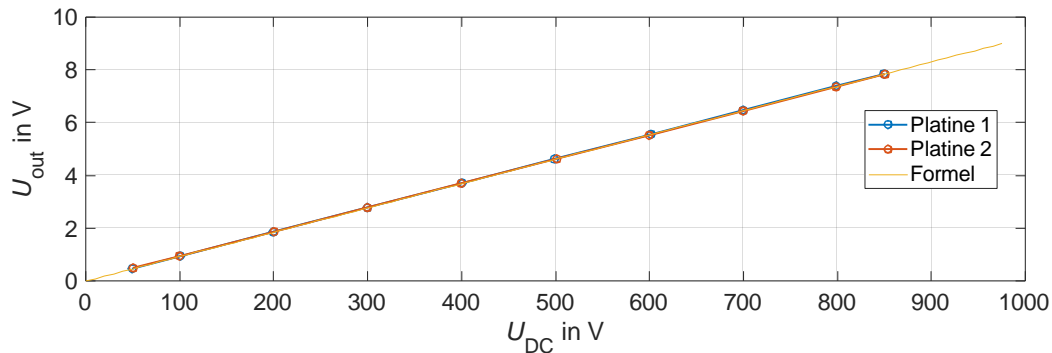


Abbildung 74: Messreihe der dc-Link Spannungssensoren

2.6 AP 6 Aufbau E-Motor & Systemtest

Ziel dieses Arbeitspakets ist es, die Anforderungen und Spezifikationen mit den dazugehörigen Tests des E-Motors zusammenzuführen. Die Hauptaufgabe des ISEA in diesem Arbeitspaket besteht darin, den Testumfang für den Treiber festzulegen, der für die Inbetriebnahme des Antriebsstrangs notwendig ist.

In diesem Arbeitspaket wurden mit den Projektpartnern Systemtests für den Gate-Treiber festgelegt und durchgeführt. Dazu gehören unter anderem die Doppelpulstests für verschiedene Betriebspunkte sowie Isolationsprüfungen, um die Sicherheit des Treibers sicherzustellen. Außerdem wurden die Projektpartner bei der Inbetriebnahme des Umrichters unterstützt. So konnte das ISEA durch Fehlerbeschreibungen der Projektpartner verschiedene Fehlerquellen ausfindig machen, und durch die iterative Entwicklung des Gate-Treibers die Fehlerursachen beheben.

2.7 Voraussichtlicher Nutzen, Verwertbarkeit der Ergebnisse und Erfahrungen

In SiCnifikant wurde ein neuer Antriebsumrichter mit hoher Effizienz und Leistungsdichte für Elektrofahrzeuge entwickelt. Aufgrund der Zusammenarbeit des Konsortiums aus unterschiedlichsten Fachbereichen war es möglich, einzelne Forschungsaspekte aus verschiedenen Perspektiven zu beurteilen. Nur dadurch konnte ein Gesamtkonzept für einen Antriebsumrichter entworfen werden, der sämtlichen industriellen Spezifikationen für ein marktfähiges Produkt genügt und gleichzeitig aktuelle Forschungsthemen berücksichtigt. Durch die Betriebsspannung von 800 V ergeben sich insbesondere Vorteile für große Fahrzeuge.

In dem Projekt konnte gezeigt werden, dass sich unterschiedliche Bauteilcharakteristiken von Leistungshalbleitern und Layout-Asymmetrien stark auf die Verlustverteilung von parallelgeschalteten MOSFETs auswirken. Die unterschiedlichen Verluste in den Leistungshalbleitern führen zu unterschiedlichen Temperaturen und damit zu einer unterschiedlichen Alterung der MOSFETs. Zwar können Asymmetrien in den parasitären Elementen durch gezielte geometrische Anordnung minimiert und Asymmetrien der Bauteilcharakteristiken durch Fertigungsprozesse reduziert werden, allerdings ist die Parallelschaltung von perfekt symmetrischen Schaltzellen nur in der Theorie möglich. Die erforschten Gate-Treiberkonzepte bieten eine Lösung für dieses Problem, da die Temperaturunterschiede durch Beeinflussung

der Schaltverluste eliminiert werden können. Dadurch ist es möglich, das Potential von SiC-Leistungshalbleitern deutlich besser ausnutzen zu können.

Weiterhin wurden die Themen und Inhalte von SiCnifikant in die Lehre einbezogen und somit für die Ausbildung künftiger Ingenieure verwendet. Die Ergebnisse des Projekts wurden im Rahmen von Vorlesungen als auch von Bachelor-, Master-, Projekt-, und Doktorarbeiten verwertet, wodurch der Forschungsstandort Deutschland nachhaltig gestärkt werden kann.

Das Projekt SiCnifikant beteiligte sich aktiv an nationalen und internationalen Konferenzen (CIPS, PCIM Europe, PCIM Asia, ECCE, WIPDA), wodurch die Sichtbarkeit des Projekts erhöht wird und ein langfristiger wissenschaftlicher Dialog erreicht werden kann.

2.8 Fortschritt anderer Stellen auf dem Gebiet während der Durchführung des Vorhabens

Dem Zuwendungsempfänger sind während der Projektlaufzeit keine Fortschritte auf den vom Zuwendungsempfänger untersuchten Forschungsgebieten durch andere Stellen bekannt geworden.

2.9 Erfolgte/geplante Veröffentlichungen des Ergebnisses

- Paper: C. Lüdecke et al., „System integration and analysis of SiC-based high power inverter with up to 250 kW and switching slopes of up to 50 kV/ μ s for novel powertrain concepts,“ CIPS 2020, Print ISBN:978-3-8007-5225-6
- Paper: C. Lüdecke et al. „Balancing the Switching Losses of Paralleled SiC MOSFETs Using an Intelligent Gate Driver,“ PCIM Asia 2020, Print ISBN: 978-3-8007-5387-1
- Paper: C. Lüdecke et al. „Identifying Unequal Temperature Distributions in SiC MOSFET Power Modules,“ PCIM Europe 2021, Print ISBN: 978-3-8007-5515-8
- Paper: C. Lüdecke et al. „Balancing the Switching Losses of Paralleled SiC MOSFETs Using a Stepwise Gate Driver,“ ECCE 2021, DOI: 10.1109/ECCE47101.2021.9595091
- Paper: C. Lüdecke et al. „Balancing Unequal Temperature Distributions of Parallel Connected SiC MOSFETs Using an Intelligent Gate Driver,“ WIPDA 2021
- Transaction: C. Lüdecke et al. „Intelligent Gate Drivers for Future Power Converters,“ IEEE Transactions on Power Electronics March 2022, DOI: 10.1109/TPEL.2021.3112337
- Paper: C. Lüdecke et al. „Design Tool for Rapid 3D Modelling of SiC Power Modules and Simulation of Parasitic Inductances with Experimental Verification,“ PCIM Europe 2022, to be published
- Dissertation: C. Lüdecke „Compensating Asymmetries of Parallel Connected SiC MOSFETs Using Intelligent Gate Drivers,“ RWTH Aachen University, 2022, to be published

3 Literaturverzeichnis

- [1] M. Hofmann, „Evaluation of potentials for Infineon SiC-MOSFETs in automotive inverter applications, part 2,“ Fraunhofer IISB, 2015.
- [2] K. Vogel und A. J. Rossa, „Improving Efficiency in AC drives: Comparison of Topologies and Device Technologies,“ *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, 2014.
- [3] C. Lüdecke, M. Laumen, N. Fritz und R. W. De Doncker, „Identifying Unequal Temperature Distributions in SiC MOSFET Power Modules,“ *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2021.
- [4] C. Lüdecke, Compensating Asymmetries of Parallel Connected SiC MOSFETs Using Intelligent Gate Drivers, Aachen: RWTH Aachen University, 2022 to be published.
- [5] C. Lüdecke, F. Krichel, M. Laumen und R. W. De Doncker, „Balancing the Switching Losses of Paralleled SiC MOSFETs Using an Intelligent Gate Driver,“ *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 16 November 2020.
- [6] C. Lüdecke, A. Aghdaei, M. Laumen und R. W. De Doncker, „Balancing the Switching Losses of Paralleled SiC MOSFETs Using a Stepwise Gate Driver,“ *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2021.
- [7] C. Lüdecke, M. Laumen und R. W. De Doncker, „Balancing Unequal Temperature Distributions of Parallel-Connected SiC MOSFETs Using an Intelligent Gate Driver,“ *IEEE 8th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2021.