i-FPS

Kompakte, performante und hoch-integrierte Faint Pulse Source bei 850 nm

Teilvorhaben: E/O-Hardware-Plattform für Faint Pulse Sources

Abschlussbericht FKZ: 50 YH 2121

Laufzeit:	01.08.2021 – 31.05.2022 (Phase 1)
Projektleitung:	Prof. Dr. Jens Müller, TU Ilmenau (FG Elektroniktechnologie, Projektkoordinator TUIL)
	Prof. Dr. Matthias Hein, TU Ilmenau (FG Hochfrequenz- und Mikrowellentechnik)
Ko-Autoren:	Dr. Shraddha Supreeti, Dipl.-Ing. Uwe Stehr
Projektpartner:	Dr.-Ing. Erik Beckert, Fraunhofer IOF
	Dr. Michael Jetter, Universität Stuttgart (Institut für Halbleiteroptik und funktionelle Grenzflächen)

TECHNISCHE UNIVERSITÄT
ILMENAU

Inhaltsverzeichnis

1. Kurzfassung 3
2. Kurze Beschreibung des Projekts 3
2.1 Beschreibung der Aufgabe 3
2.2 Stand der Wissenschaft und Technik 3
2.3 Planung, Durchführung und Zusammenarbeit 4
3. Aufzählung der wichtigsten wissenschaftlich-technischen Ergebnisse und anderer wesentlicher Ereignisse 4
3.1 Designphase 4
3.2 Technologiephase 5
AP 2.2 Digital/Digital- und Digital/Analog-Elektronik (TUIL HMT) 5
AP 2.3 - LTCC-Schaltungsträger (TUIL ET, TUIL HMT, Uni-S, F-IOF) 6
4. Zusammenfassung der Ergebnisse 9
5. Verwertbarkeit der Ergebnisse 10
Verweise 10
Abkürzungsverzeichnis 10

1. Kurzfassung

Das vom Raumfahrtmanagement des DLR geförderte Verbundprojekt i-FPS - "Kompakte, performante und hoch-integrierte Faint Pulse Source bei 850 nm" hat das Gesamtziel der Realisierung einer kompakten Photonenquelle mit abgeschwächten Pulsen, einer sogenannten Faint Pulse Source, zur Erzeugung von Quantenschlüsseln mit hohen Schlüsselraten in der satellitengestützten Kommunikation. Die zu entwickelnde FPS-Architektur soll eine neue Generation einer FPS ermöglichen, die sich durch GHz-Photonenraten, Kompaktheit, Skalierbarkeit und hohe Schlüsselraten unter allen sicherheitsrelevanten Aspekten auszeichnet. Die 10-monatige Phase 1 des Projekts wurde in enger Zusammenarbeit zwischen den Partnern des Konsortiums bestehend aus Universität Stuttgart, Fraunhofer IOF und TU Ilmenau durchgeführt.

Im Verlauf des Projekts wurden erste Konzeptstudien für den strukturellen und elektrischen Aufbau eines kompakten Moduls durchgeführt und Designparameter für die LTCC-Plattform festgelegt. Darüber hinaus wurden Experimente durchgeführt, um die Parameter für eine erfolgreiche Integration der VCSEL-Chips zu testen. Diese experimentellen Tests bestanden u.a. aus der Untersuchung verschiedener Temperatureffekte auf die VCSEL-Linse während der Aushärtung des Klebstoffs für die Chipplatzierung auf der LTCC. Für die Verbindung des Chips mit dem Treiber wurden Tests mit Forward- und Reverse-Wire-Bonding-Verfahren durchgeführt. Für die Ansteuerung der Laserdioden wurde ein Aufbaukonzept für die Einstellung der Arbeitspunkte und die elektronische bzw. photonische Signalübertragung erarbeitet. Alle in der Projektbeschreibung der Phase 1 definierten Arbeitsziele wurden umfassend und vollständig erreicht.

2. Kurze Beschreibung des Projekts

2.1 Beschreibung der Aufgabe

In Phase 1 wurden die technischen Voraussetzungen für die Forschungsarbeiten des Projektes geschaffen und im Detail geplant. Ziel der Untersuchungen war die Entwicklung eines keramischen Schaltungsträgers für das Packaging des VCSEL-Array-Chips inkl. dessen Kontaktierung, der Aufbau der Strahlkombinationsoptik, das Packaging der HF- und Digital-Analog-Wandler-Elektroniken für die Bereitstellung der Pulssignale der einzelnen VCSEL im Array, sowie das Packaging von Teilen der digitalen Elektronik (z.B. FPGA-basiert) für die Verteilung der Steuersignale des VCSEL-Arrays.

2.2 Stand der Wissenschaft und Technik

Das Projekt i-FPS zielte auf die Anpassung und Entwicklung der Anwendung von VCSEL-Arrays in FPS-Architekturen. Statt vier sollen acht VCSEL im Array angeordnet werden, da Täuschungs- und Signalpulse leicht unterschiedliche Anforderungen an die Ununterscheidbarkeit stellen und dies durch eine individuelle D/A-Elektronik für Signal- und Täuschungspegel besser gelöst werden kann. Durch die Beibehaltung einer hohen Pulsrate wird die Tastrate erheblich beeinflusst, während das hochintegrierte Ein-Chip-Design des VCSEL-Arrays selbst besonders attraktiv ist, um die Ununterscheidbarkeit der Emitter zu maximieren. Die Integration von VCSEL-Bauelemente oder -Arrays in photonische Systeme erfordert eine sehr hohe Montagegenauigkeit (Platzierung und Bonding) oder passive oder aktive Ausrichtungsmaßnahmen [1]. Die Anforderungen an die mechanische bzw. thermomechanische sowie elektrische Stabilität erfordern die Montage auf stabilen Trägersystemen auf Siliziumbasis (Interposer) oder Keramiksubstraten auf LTCC [2] [3] [4] [5].

2.3 Planung, Durchführung und Zusammenarbeit

Das Projekt wurde entsprechend der im Projektvorschlag definierten Arbeitspakete durchgeführt. Der Fortschritt wurde im Zwischenbericht dokumentiert. Änderungen der Zielsetzung waren nicht erforderlich. Das Projekt verlief in Übereinstimmung mit der bisherigen Arbeits-, Zeit- und Kostenplanung. Es wurde eine intensive Zusammenarbeit zwischen allen Projektpartnern in Form von regelmäßigen zweiwöchentlichen Treffen etabliert, bei denen die verschiedenen technischen Herausforderungen diskutiert, Ideen ausgetauscht und Aufgaben und Termine festgelegt wurden. Zusätzliche bi- und multilaterale Austausche dienten der Klärung spezifischer Einzelfragen. Im Laufe des Projekts wurden VCSEL-Chips von den Partnern der Universität Stuttgart zur Verfügung gestellt, die für Untersuchungen zur Kompatibilität mit dem Die-Placement-Prozess für LTCC verwendet wurden.

3. Aufzählung der wichtigsten wissenschaftlich-technischen Ergebnisse und anderer wesentlicher Ereignisse

Die Aktivitäten und Ergebnisse im Berichtszeitraum sind nach Arbeitspaketen gegliedert. Auf die Teilvorhabenbeschreibung wird Bezug genommen. Ausgangspunkt ist die in der Teilvorhabensbeschreibung dargestellte Systemarchitektur, wie sie in Abb. 1 wiedergegeben ist.

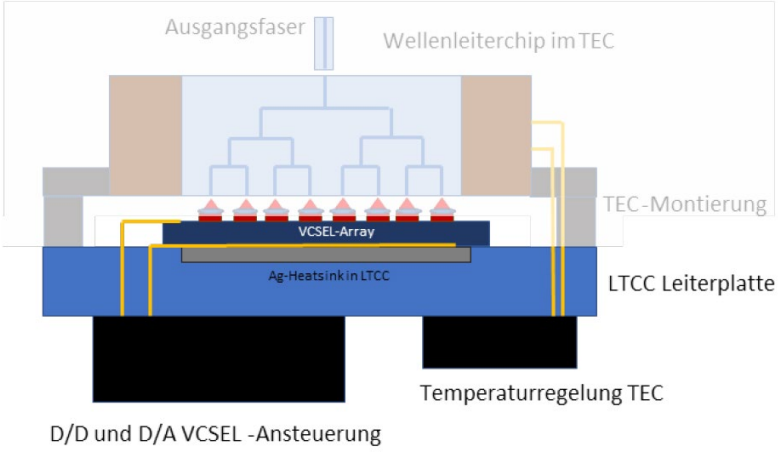

Abb. 1: Querschnitt durch das opto-mechatronische System der vorgeschlagenen i-FPS Systemarchitektur (Arbeitsschwerpunkte der anderen Teilvorhaben sind transparent überdeckt dargestellt)

Das i-FPS System besteht aus einem VCSEL-Array, das auf einem keramischen Schaltungsträger montiert ist. Die schnellen Datenimpulse werden in einem FPGA erzeugt und über HF-Leitungen auf die VCSEL verteilt. Zusätzlich ist eine Temperaturregelung vorgesehen, um die VCSEL auf einer konstanten Temperatur zu halten, die Grundvoraussetzung für die Ununterscheidbarkeit der Emitter ist.

3.1 Designphase

Es wurden geeignete Lösungen für die Teilsysteme der laserbasierten Lichtquelle ermittelt. Geeignete Digital/Digital- und Digital/Analog-Elektronik wurde ausgewählt:

- FPGA Board (Evaluation Board ZCU208, Xilinx)
- VCSEL Driver (12 Channel 16Gb/s VCSEL Driver HXT6112, Renesas)

Die Lösungsvorschläge zur Integration der Subsysteme Treiber, VCSEL-Array und Polarisatoren, Mikrolinsen und Signalkombination auf geeigneten LTCC Schichten und metallischen Unterlagen wurden diskutiert und eine bevorzugte Variante bestimmt (siehe Abb. 5).

3.2 Technologiephase

AP 2.2 Digital/Digital- und Digital/Analog-Elektronik (TUIL HMT)

Komponenten der FPGA-Messschaltung mit ihren wichtigsten Schnittstellen sind in Abb. 1 dargestellt. Dieses FPGA-Board verfügt über die notwendigen Leistungsmerkmale, die Treiberelektronik mit den entsprechenden Signalen und in der geforderten Geschwindigkeit zu versorgen. Schnittstellen zur Datenquelle (RNG: random number generator) sind vorhanden.

Abb. 2 zeigt eine schematische Übersicht des VCSEL Treibers. Der Treiber kann bis zu 12 Dioden ansteuern. Die Kontakte zur Leiterplatte werden mit Bonddrähten hergestellt. In der schematischen Darstellung sind die Bondpads sichtbar.

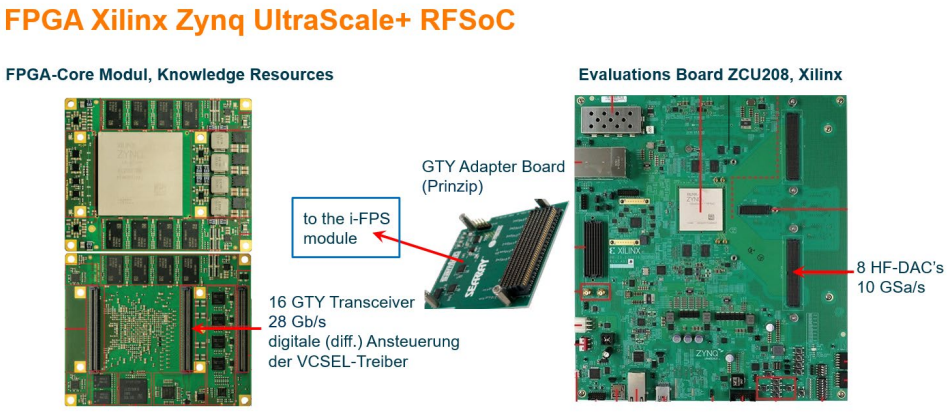

Abb. 2: Evaluation Board ZCU208 zur Beschaltung des VCSEL-Arrays mit ausgewählten Kenngrößen

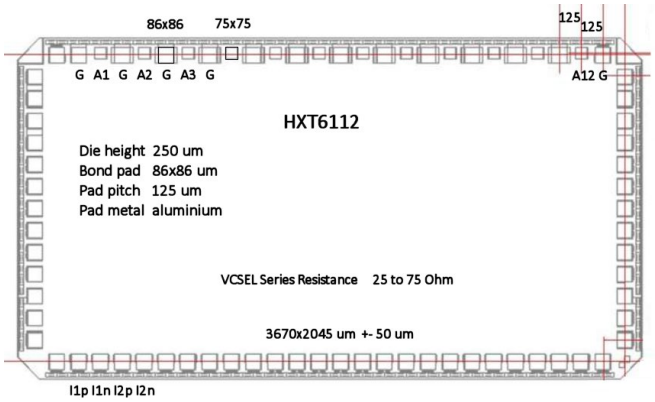

Abb. 3: Schematische Darstellung des ausgewählten VCSEL Treibers mit ausgewählten Kenngrößen

Die für einen Funktionsnachweis erforderlichen Signalgeneratoren (AWG: arbitrary waveform generator) wurden im Rahmen eines regelkonformen Ausschreibungsverfahrens beschafft und ersten Einrichtungstests unterzogen. Beschafft wurden zwei Signalgeneratoren AWG7000B der Firma Tektronix (Abb. 3). Diese zeichnen sich durch eine hohe Samplingrate von 50 GS/s bei einer vertikalen Auflösung von 10 Bit aus. Damit lassen sich die im Projekt benötigten Signalformen komfortabel bereitstellen.

Abb. 4: Im Projekt beschaffter Signalgenerator AWG70000B der Firma Tektronix

AP 2.3 - LTCC-Schaltungsträger (TUIL ET, TUIL HMT, Uni-S, F-IOF)

Für die Montage des VCSEL-Arrays mit anderen Komponenten auf dem LTCC-Modul wurde ein geeignetes Aufbaukonzept entworfen (Abb. 5). Das VCSEL-Array befindet sich auf einer Kupfer- oder Molybdänplatte, die in das LTCC-Substrat eingebettet ist. Zusätzlich werden ein Peltier-Kühlelement und ein Kühlkörper für die Wärmeableitung hinzugefügt, da die Funktionseigenschaften der Laserdioden stark temperaturabhängig sind. Das VCSEL-Array (Universität Stuttgart) wird mit dem nach ausführlicher Recherche als geeignet identifizierten VCSEL-Treiber (12-Kanal 16Gb/s VCSEL-Treiber HXT6112 von Renesas; TUIL HMT) auf dem LTCC mit Bonddrähten kontaktiert. Die Aufbauhöhe des Treibers beträgt 250 µm, während die Dicke des VCSEL-Arrays etwa 350 µm beträgt. Der Lichtwellenleiter wird in unmittelbarer Nähe oberhalb der Linsen aufgebaut. Zu diesem Zweck wird ein Drahtbond-Prinzip aus dem Stacked Bonden für ultraflache Gehäuse, die so genannte Reverse-Bonden-Technik, eingesetzt. Bei diesem Verfahren wird zunächst ein Stud-Bump auf das Pad gebondet. Im zweiten Schritt wird der Ball-Wedge-Bond von der unteren Position aus durchgeführt. Der Grund dafür, dass der Wedge nicht direkt auf das Bondpad geklebt wird, liegt in der diffusionsbedingten Verarmung des Goldes an der Schnittstelle zum AlSi-Bondpad. Der Wedge ist relativ dünn im Vergleich zum dicken Au-Bump (Abb. 6). Diese Technik sorgt für eine starke und stabile Bindung. Außerdem wird die Schleifenhöhe der Bindung verringert, was

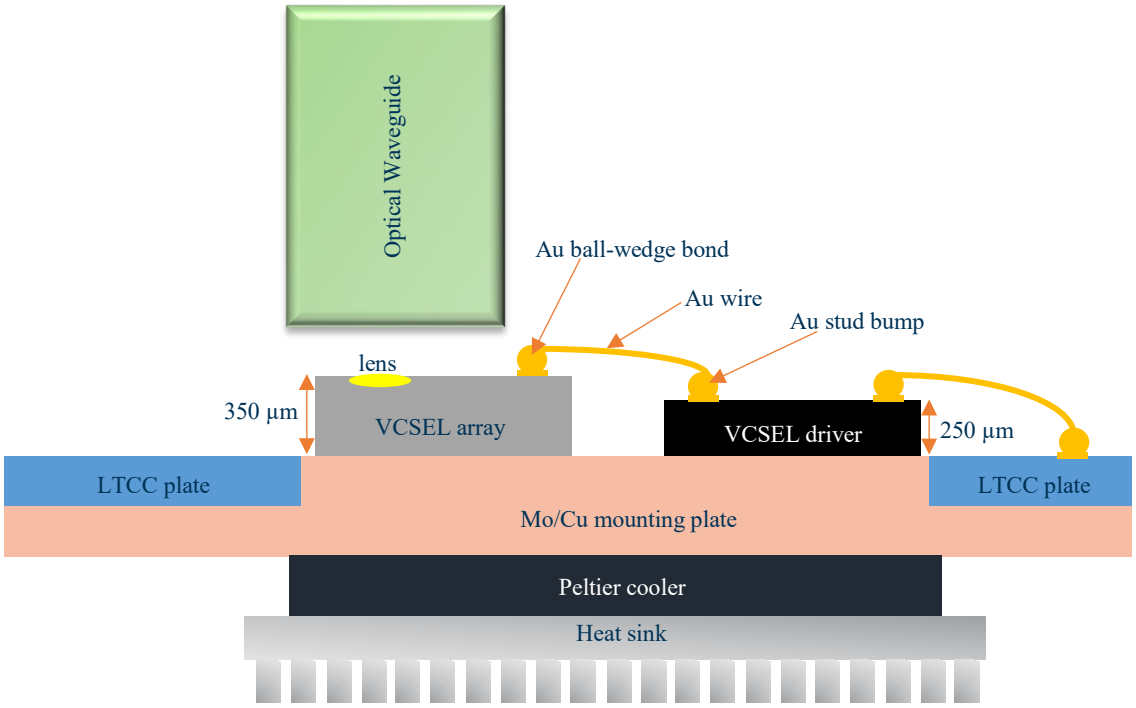

Abb. 5: Aufbaukonzept für das VCSEL-Array auf LTCC unter Berücksichtigung geeigneter Verbindungstechnologien

eine Kollision des Drahtes mit dem Lichtwellenleiter verhindert. Ein Vergleich der größeren Schleifenhöhe beim Forward-Bonden im Vergleich zum Reverse-Bonden ist in den REM-Aufnahmen in Abb. 7 zu sehen.

Um die Durchführbarkeit der Reverse-Bonding-Technik für den vorgeschlagenen Aufbau zu untersuchen, wurden erste Versuche mit Leerchips durchgeführt, die nach den Spezifikationen der von der Universität Stuttgart zur Verfügung gestellten VCSEL-Arrays hergestellt wurden.

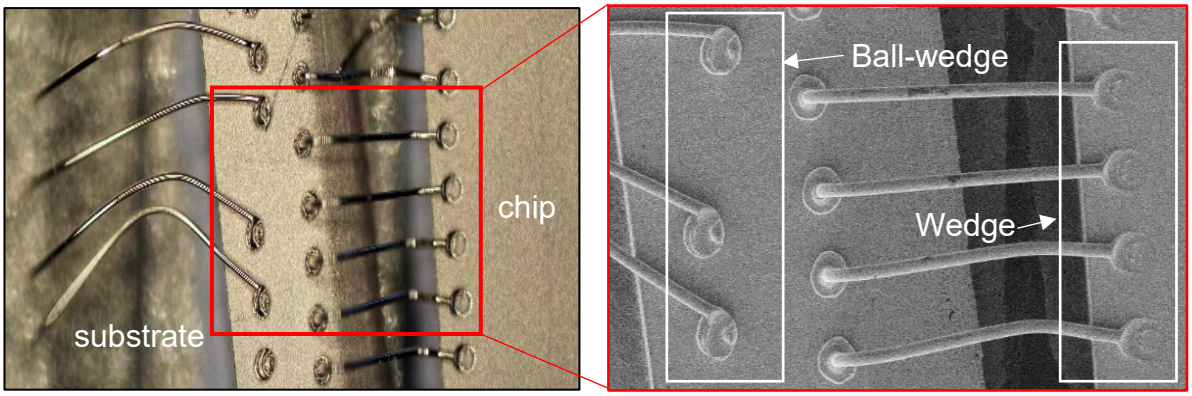

Abb. 6: Optische und rasterelektronenmikroskopische Aufnahmen der Ball-Wedge-Bindung beim Reverse-Bonding und Wedge-Bindung beim Forward-Bonding

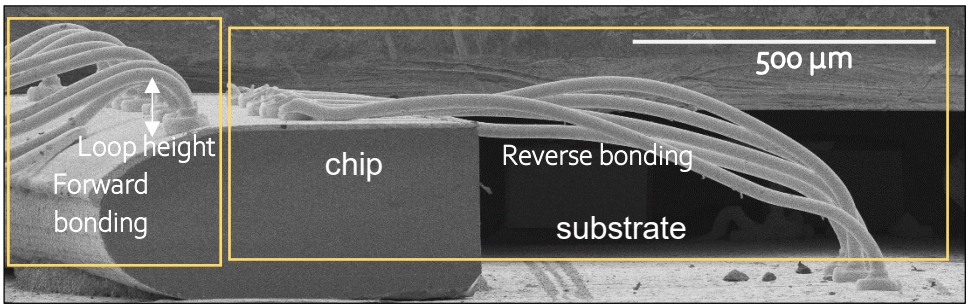

Abb. 7: Rasterelektronenmikroskopische Darstellung unterschiedlicher Schleifenhöhen beim Vorwärtsbonden, das eine größere Schleifenhöhe aufweist (links) und beim Rückwärtsbonden, das eine geringere Schleifenhöhe aufweist (rechts)

Die Chips bestehen aus einer 10 µm dicken Goldschicht auf 300 µm dickem Siliziumträger und werden auf eine Goldpadschicht auf einem LTCC-Substrat geklebt. Der Prozess wird in zwei Abschnitten durchgeführt:

- Für die Chipplatzierung werden zunächst einige Tropfen Klebstoff (DM6030 Silber-Epoxid-Klebstoff, NAMICS) auf das Goldpad auf dem LTCC-Substrat aufgetragen. Dann wird der Chip mit Hilfe eines pick-and-place-Werkzeugs präzise darauf platziert. Das Substrat wird dann in einen Ofen gelegt, um den Klebstoff bei einer Temperatur von 175 °C für 120 Minuten auszuhärten. Danach ist der Chip bereit für das Drahtbonden. Die Aushärtungstemperatur kann auch entsprechend den Anforderungen des VCSEL-Arrays angepasst werden.
- Das Drahtbonden erfolgt mit einem Drahtbonder (F&S Bondtec), da die Bondpads 80 µm x 80 µm für das VCSEL-Array und 86 µm x 86 µm für den Treiber groß sind, wird Golddraht mit einer Bump-Größe von weniger als 80 µm und einer Drahtstärke von ~25 µm verwendet. Es wird die Technik des umgekehrten Bondens verwendet, d.h. die Verbindung wird vom Substrat zum Chip hergestellt. Abb. 8 zeigt die rasterelektronenmikroskopischen Bilder des Golddrahtes (links) und die Abmessungen des Drahtes (rechts).

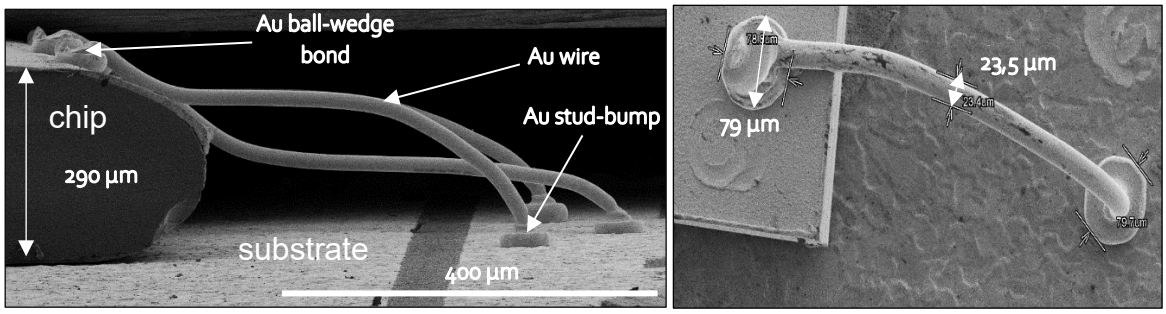

Abb. 8: Rasterelektronenmikroskopische Aufnahme der Golddrähte für das Reverse Bonden vom Substrat zum Chip

Ein kritischer Punkt bei der Prüfung der Kompatibilität der von der Universität Stuttgart zur Verfügung gestellten VCSEL-Chips war die Temperaturtoleranz der VCSEL-Linsen. Während der Platzierung der Chips auf LTCC, die mit Fineplacer Pico (Finetech) erfolgt, wird der Klebstoff bei bestimmten Temperaturen in einem Standardheizprofil ausgehärtet. Die von den Partnern an der Universität Stuttgart angegebene Reflow-Temperatur für die Linsen betrug 140°C und wurde als Testtemperatur festgelegt. Für die Tests wurden drei verschiedene Temperaturprofile verwendet, wie in Tabelle 1 dargestellt. Diese Profile lagen bei Temperaturen von 140°C, weniger als 140°C und mehr als 140°C und wurden in einem Ofen realisiert.

Tabelle 1: Verschiedene Aushärtungstemperaturprofile für die Chipplatzierung (VCSEL-Chips)

	Curing temp. > 140°C		Curing temp. at 140°C		Curing temp. < 140°C	
	Temp. (°C)	Time (s)	Temp. (°C)	Time (s)	Temp. (°C)	Time (s)
Pre-Heat 1	100	600	100	0	100	300
Pre-Heat 2	100	4500	100	0	120	7200
Pre-Heat 3	175	450	140	100	100	0
Reflow	175	2700	140	3600	100	0

Die Auswirkungen der verschiedenen Temperaturprofile wurden mit Hilfe der Laser-Scanning-Mikroskopie (LEXT 4100, Olympus) und der optischen Mikroskopie untersucht. Die Profilmessung der Linsen zeigte minimale Veränderungen der physikalischen Eigenschaften der Linsen nach der Aushärtung/Erwärmung bei einer höheren Temperatur als der Reflow-Temperatur. Die Höhe der Linsen, wie in Tabelle 2 zu sehen, zeigte bei allen Profilen Veränderungen im Bereich von wenigen hundert Nanometern und wies bei einer Temperatur von mehr als 140°C keine signifikanten Veränderungen auf.

Tabelle 2: Gemessene Änderung der Höhe der VCSEL-Linse vor und nach der Aushärtung des Klebstoffs für die Chipplatzierung

VCSEL lens	Height (µm) at >140°C		Height (µm) at 140°C		Height (µm) at <140°C
Before curing	23.93	23.1	20.6	19.1	22.4
After curing	23.29	22	19.2	20.6	22.3

Neben der Messung der Veränderung der physikalischen Eigenschaften der Linse wurde auch die Veränderung der optischen Eigenschaften beobachtet. Zu diesem Zweck wurde die Farbveränderung der Linse unter dem Lichtmikroskop beobachtet. Bei Linsen, die bei einer Temperatur von mehr als 140°C gehärtet wurden, wurde eine Farbveränderung festgestellt, während bei einer Härtung bei 140°C keine Farbveränderung beobachtet wurde (siehe Abb. 9). Der Brechungsindex des Photoresists wurde ebenfalls mit einem Ellipsometer gemessen. Zu diesem Zweck wurden zwei Glassubstrate, die mit dem Reflow-Linsen-Fotoresist AZ-12xT (Microchemicals GmbH) beschichtet waren, untersucht. Eines der Substrate wurde bei einer Temperatur von 175°C und das andere bei 120°C ausgehärtet. Neben der Farbveränderung änderte sich auch der Brechungsindexwert des bei 175°C gehärteten Substrats.

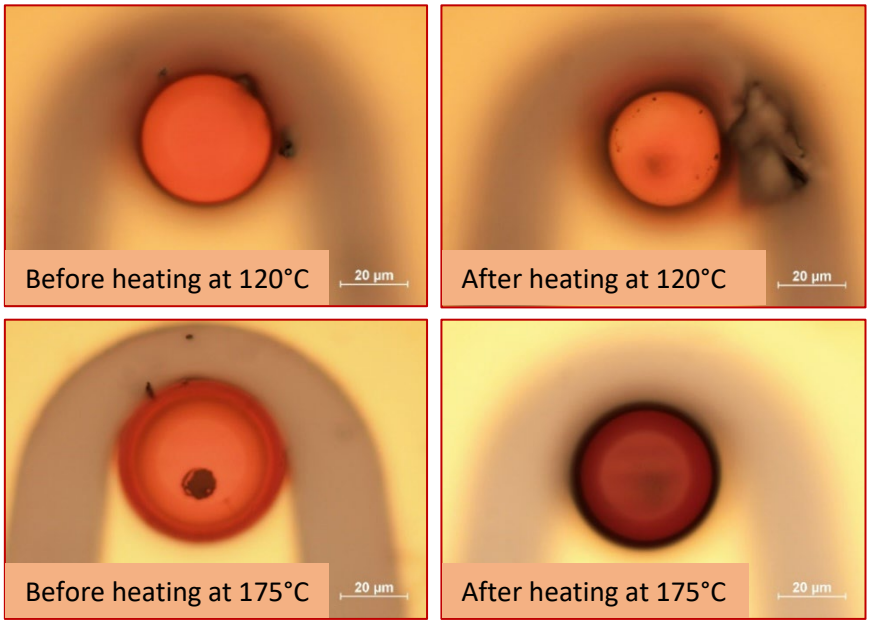

Abb. 9: Mikroskopische Aufnahmen von VCSEL-Linsen vor und nach dem Aushärten bei verschiedenen Temperaturen

Aufgrund der beobachteten Veränderungen in den optischen Eigenschaften der Linsen wurde für die weitere Verarbeitung der VCSEL-Chips eine Temperatur unterhalb der Reflow-Linsentemperatur von 140 °C verwendet. Da die Haftung des Chips auf dem Substrat durch die niedrigere Aushärtungstemperatur nicht beeinträchtigt wurde, kann man davon ausgehen, dass diese Temperatur für die Aushärtung geeignet ist.

4. Zusammenfassung der Ergebnisse

Die konzeptionelle Entwicklung für die LTCC-Schaltung besteht aus einer Hochfrequenz-Verdrahtungstechnik für die VCSELs im Mehrschichtsystem der LTCC. Diese wurden in Phase 1 konzipiert, bzgl. Aufbau- und Verbindungstechnik sowie elektrischer und photonischer Signalführung konfiguriert, prinzipiell getestet und parametrisiert. Dazu wurden verschiedene Bondtechniken wie Reverse- und Forward Wire Bonding durchgeführt und entsprechend dem Chip und dem integrierten Gesamtsystem LTCC-VCSEL angepasst. Die grundlegenden Tests für die Integration des VCSEL-Arrays in das LTCC-System sind abgeschlossen und zeigen vielversprechende Ergebnisse. In Zusammenarbeit mit den Partnern am Fraunhofer-IOF wurde das gesamte LTCC-VCSEL-Arraysystem einschließlich des Lichtwellenleiters entwickelt. Zu diesem Zweck wurden, wie in A.P.2.3 erwähnt, notwendige Optimierungen im Drahtbondprozess vorgenommen. Gleichzeitig wurde der Die-Platzierungsprozess entsprechend den Einschränkungen der VCSEL-Chips optimiert.

5. Verwertbarkeit der Ergebnisse

Vor dem Hintergrund der rasanten Einwicklung auf den Gebieten Quantencomputing und Quanten-kommunikation werden hochleistungsfähige Quantenquellen benötigt. Die wirtschaftlichen Erfolgsaussichten der Phase 1 sind daher als gut einzuschätzen. Der erhöhte Bedarf an Quantenquellen resultiert vor allem aus den gegenwärtigen Aktivitäten zur Etablierung europäischer, amerikanischer und asiatischer Netze zur Quantenkommunikation. Neben lokalen Fasernetzwerken sind dabei auch Long-Distance Satellitennetzwerke in Planung, die z.B. Europa abdecken, aber auch interkontinental ausgelegt werden können. Die Herausforderung besteht daher darin, kompakte und potenziell weltraumtaugliche Quantenquellen für reale Einsatzumgebungen zu entwickeln, ein Schritt, der im Rahmen des i-FPS-Phase-1-Projekts als Teil des grundlegenden Entwurfs anspruchsvoller Demonstratoren genau genommen wurde. Hierin bestehen auch die konkreten wirtschaftlichen Erfolgsaussichten, denn im Ergebnis der Phase 1 ergeben sich für die F&E- bzw. industriellen Partner reale Verwertungsaussichten in der konkreten physischen Umsetzung und Verwertung der Designs.

Verweise

[1] V. Bardinal, T. R. B. Camps, D. Barat, E. Daran und J. Doucet, „Collective Micro-Optics Technologies for VCSEL Photonic Integration," *Advances in Optical Technologies*, p. 609643, 2011.

[2] D. R, F. T, G. J und G. J, „New Assembly Technology for VCSEL arrays comprising ultra-thin diodes," in *22nd European Microelectronics and Packaging Conference & Exhibition*, Pisa, 2019.

[3] Y. X. G. e. al., „An LTCC optical transceiver for radio-over-fiber," in *European Microwave Conference*, Paris, 2005.

[4] M. K. e. al., „Passively aligned fiber-optic transmitter integrated into LTCC module," in *Proceedings 51th Electronic Components and Technology Conference*, Orlando, 2001.

[5] C. Wang, C. Li, J. Dai, T. Lan, G. Zhou, J. Meng und Z. Wang, „Thermal analysis of VCSEL arrays based on first principle theory and finite element method," *Optical and Quantum Electronics*, Bd. 51, Nr. 6, pp. 1-14, 2019.

Abkürzungsverzeichnis

AWG	Arbitrary Waveform Generator
DLR	Deutsches Zentrum für Luft- und Raumfahrt
ET	Elektroniktechnologie
FPGA	Field-programmable gate array
FPS	Faint pulse source
HF	Hochfrequenz
HMT	Hochfrequenz- und Mikrowellentechnik
LTCC	Low Temperature Co-fired Ceramics
REM	Rasterelektronenmikroskop
TUIL	Technische Universität Ilmenau
VCSEL	Vertical-cavity surface-emitting laser

Berichtsblatt

1. ISBN oder ISSN	2. Berichtsart Abschlussbericht
3. Titel Kompakte, performante und hoch-integrierte Faint Pulse Source bei 850 nm	
4. Autor(en) [Name(n), Vorname(n)] Müller, Jens Hein, Matthias Stehr, Uwe Supreeti, Shraddha	5. Abschlussdatum des Vorhabens 31.05.2022 6. Veröffentlichungsdatum 28.11.2022 7. Form der Publikation Gedruckt und elektronisch
8. Durchführende Institution(en) (Name, Adresse) Technische Universität Ilmenau Fachgebiet Elektroniktechnologie, Fachgebiet Hochfrequenz- und Mikrowellentechnik Postfach 100565 98684 Ilmenau	9. Ber. Nr. Durchführende Institution 10. Förderkennzeichen 50 YH 2121 11. Seitenzahl 10
12. Fördernde Institution (Name, Adresse) Deutsche Raumfahrtagentur im Deutschen Zentrum für Luft- und Raumfahrt e.V. Königswinterer Str. 522-524 53227 Bonn	13. Literaturangaben 5 14. Tabellen 2 15. Abbildungen 9
16. Zusätzliche Angaben	
17. Vorgelegt bei (Titel, Ort, Datum) Leibniz Informationszentrum Technik und Naturwissenschaften Universitätsbibliothek (TIB) Hannover, November 2022	

18. Kurzfassung

Das vom Raumfahrtmanagement des DLR geförderte Verbundprojekt i-FPS - "Kompakte, perfor-mante und hoch-integrierte Faint Pulse Source bei 850 nm" hat das Gesamtziel der Realisierung einer kompakten Photonenquelle mit abgeschwächten Pulsen, einer sogenannten Faint Pulse Source, zur Erzeugung von Quantenschlüsseln mit hohen Schlüsselraten in der satellitengestützten Kommunika-tion. Die zu entwickelnde FPS-Architektur soll eine neue Generation einer FPS ermöglichen, die sich durch GHz-Photonenraten, Kompaktheit, Skalierbarkeit und hohe Schlüsselraten unter allen sicher-heitsrelevanten Aspekten auszeichnet. Die 10-monatige Phase 1 des Projekts wurde in enger Zu-sammenarbeit zwischen den Partnern des Konsortiums bestehend aus Universität Stuttgart, Fraun-hofer IOF und TU Ilmenau durchgeführt.
Im Verlauf des Projekts wurden erste Konzeptstudien für den strukturellen und elektrischen Aufbau eines kompakten Moduls durchgeführt und Designparameter für die LTCC-Plattform festgelegt. Darüber hinaus wurden Experimente durchgeführt, um die Parameter für eine erfolgreiche Integrati-on der VCSEL-Chips zu testen. Diese experimentellen Tests bestanden u.a. aus der Untersuchung verschiedener Temperatureffekte auf die VCSEL-Linse während der Aushärtung des Klebstoffs für die Chipplatzierung auf der LTCC. Für die Verbindung des Chips mit dem Treiber wurden Tests mit Forward- und Reverse-Wire-Bonding-Verfahren durchgeführt.

19. Schlagwörter LTCC, VCSEL, Hochfrequenz, FPGA, Drahtbonden	
20. Verlag	21. Preis

Document Control Sheet

1. ISBN or ISSN	2. type of document (e.g. report, publication) Final report
3. title Compact, high-performance and highly integrated faint pulse source at 850 nm	
4. author(s) (family name, first name(s)) Müller, Jens Hein, Matthias Stehr, Uwe Supreeti, Shraddha	5. end of project 31.05.2022 6. publication date 28.11.2022 7. form of publication Printed and electronic
8. performing organization(s) (name, address) Technische Universität Ilmenau Electronics Technology Group, RF & Microwave Research Group P.O. Box 100565 98684 Ilmenau	9. originator's report no. 10. reference no. 50 YH 2121 11. no. of pages 10
12. sponsoring agency (name, address) Deutsche Raumfahrtagentur im Deutschen Zentrum für Luft- und Raumfahrt e.V. Königswinterer Str. 522-524 53227 Bonn	13. no. of references 5 14. no. of tables 2 15. no. of figures 9
16. supplementary notes	
17. presented at (title, place, date) Leibniz information centre for science and technology, University library (TIB) Hannover, November 2022	

18. abstract

The joint project i-FPS - "Compact, perfor-manent and highly-integrated Faint Pulse Source at 850 nm" funded by the DLR Space Agency has the overall goal of realizing a compact photon source with attenuated pulses, a so-called Faint Pulse Source, for the generation of quantum keys with high key rates in satellite-based communication. The FPS architecture to be developed is expected to enable a new generation of an FPS characterized by GHz photon rates, compactness, scalability and high key rates under all security-related aspects. The 10-month phase 1 of the project was carried out in close cooperation between the partners of the consortium consisting of the University of Stuttgart, Fraunhofer IOF and TU Ilmenau.
During the project, initial concept studies for the structural and electrical design of a compact module were carried out and design parameters for the LTCC platform were defined. In addition, experiments were conducted to test the parameters for successful integration of the VCSEL chips. These experimental tests consisted of, among other things, studying various temperature effects on the VCSEL lens during curing of the adhesive for chip placement on the LTCC. Forward and reverse wire bonding tests were performed to connect the chip to the driver.

19. keywords
LTCC, VCSEL, high frequency, FPGA, wire bonding

20. publisher	21. price